# Lothar Höllt

# Quantenmechanische und ballistische Nanobauelemente auf Siliziumbasis





UNIVERSITÄT DER BUNDESWEHR MÜNCHEN Fakultät für Elektrotechnik und Informationstechnik

# Quantenmechanische und ballistische Nanobauelemente auf Siliziumbasis

## Lothar Höllt

Vorsitzender des Promotionsausschusses:	Prof. DrIng. H. Baumgärtner
1. Berichterstatter:	Prof. Dr. rer. nat. I. Eisele
2. Berichterstatter:	Prof. DrIng. W. Hansch

Tag der Prüfung: 19.03.2009

Mit der Promotion erlangter akademischer Grad: Doktor-Ingenieur (Dr.-Ing.)

München, 7. Mai 2009

### Bibliografische Information der Deutschen Nationalbibliothek

Die Deutsche Nationalbibliothek verzeichnet diese Publikation in der Deutschen Nationalbibliografie; detaillierte bibliografische Daten sind im Internet über <u>http://dnb.ddb.</u>de abrufbar.

1. Aufl. - Göttingen : Cuvillier, 2009 Zugl.: München, Univ. der Bundeswehr, Diss., 2009

978-3-86727-969-7

Universität der Bundeswehr München Werner-Heisenberg-Weg 39 85577 Neubiberg

© CUVILLIER VERLAG, Göttingen 2009 Nonnenstieg 8, 37075 Göttingen Telefon: 0551-54724-0 Telefax: 0551-54724-21 www.cuvillier.de

Alle Rechte vorbehalten. Ohne ausdrückliche Genehmigung des Verlages ist es nicht gestattet, das Buch oder Teile daraus auf fotomechanischem Weg (Fotokopie, Mikrokopie) zu vervielfältigen. 1. Auflage, 2009 Gedruckt auf säurefreiem Papier

978-3-86727-969-7

# Symbole

α	Skalierungsfaktor für die CMOS-Technologie	. 11
$\bar{\lambda}$	mittlere freie Weglänge	. 68
$\bar{\mathcal{V}}$	mittlere thermische Geschwindigkeit	68
δ	Ausdehnung des Konzentrationsgradienten	. 68
$\epsilon_0$	Elektrische Feldkonstante (8.8542 $\cdot$ 10 <sup>-12</sup> C V <sup>-1</sup> m <sup>-1</sup> )	6
$\epsilon_{BOX}$	Dielektrizitätskonstante der BOX-Region	. 22
$\epsilon_{ox}$	Dielektrizitätszahl von SiO <sub>2</sub> (3.9)	6
$\epsilon_{Si}$	Dielektrizitätszahl von Silizium (11.9)	. 20
η	Gitterfehlanpassung	. 74
λ	Wellenlänge	112
μ	Beweglichkeit der Ladungsträger	9
$\mu_0$	maximale Beweglichkeit der Ladungsträger im Kanal	126
$\mu_{\rm chem}$	chemisches Potential	6
ν	Poissonverhältnis	. 74
$v_{th}$	thermische Ladungsträgergeschwindigkeit	. 84
$\phi_F$	Potenzialdifferenz zwischen intrinsischer und Fermienergie	7
$\phi_M$	Austrittsarbeit von Metall	6
$\phi_S$	Austrittsarbeit von Silizium	6
$\phi_{MS}$	Austrittsarbeitsdifferenz von Metall und Silizium	6
$\phi_{s1}$	Oberflächenpotential an der Grenzschicht Kanal/GOX	. 22
$\phi_{s2}$	Oberflächenpotential an der Grenzschicht Kanal/BOX	. 22
$\phi_{Su}$	Oberflächenpotential an der Grenzfläche Si/SiO <sub>2</sub>	6
$\psi$	Dosis für Implantation	. 65
$\sigma$	spezifischer Leitwert	9
$\sigma_n$	Einfangquerschnitt der Störstellen	. 84
$ au_s$	mittlere Zeit zwischen zwei Stößen	9
$ au_T$	Transistorlaufzeit	. 11
Α	Åtzstrecke	105
$A_F$	Arrhenius-Faktor	114
$A_T$	Transistorfläche	. 11
$A_{\text{Mesa}}$	Mesafläche von pin-Dioden	. 84
a <sub>Ge</sub>	Gitterkonstante von Germanium (0.5658 nm)	. 74
$a_{Si_{1-x}Ge_x}$	Gitterkonstante einer SiGe-Schicht	. 74
$a_{Si}$	Gitterkonstante von Silizium (0.5431 nm)	. 74
С	Gatekapazität	. 11
c(x,t)	Konzentration	. 60
CG	Einspeiskonzentration des Gases	. 68
$c_I(x)$	Dotierstoffverteilung der Implantation	. 65

CS	Konzentration des Präkursors auf der Substratoberfläche	68
$c_{\rm ges}$	Gesamtmenge der Dotierstoffkonzentration von SOD	61
$\tilde{C}_{\text{RLZ}}$	Kapazität der Raumladungszone pro Fläche	10
$c_{\rm SOD}$	Dotierstoffkonzentration von SOD	61
$C_{BOX}$	Kapazität der BOX-Region für den VFD SONFET pro Fläche	21
C <sub>eq</sub>	Gleichgewichtskonzentration	68
c <sub>I,max</sub>	maximale Dotierkonzentration der Implantation	65
$C_{OvD}$	Überlappkapazität zwischen Gate und Drain	21
$C_{OvS}$	Überlappkapazität zwischen Gate und Source	21
$C_{ox,w}$	Gatekapazität pro Weite	22
$C_{ox}$	Gateoxidkapazität pro Fläche	. 6
$C_{Si,d}$	Kapazität des Kanalgebiets pro Fläche in Depletion	22
CVD	modifizierte Sherwood-Zahl	69
D	Diffusionskoeffizient	60
$D_0$	Materialkonstante	60
$D_{\rm eff}$	effektiv übergehenden Stoffmenge	69
$d_{\text{Target}}$	Abstand zwischen Target und Substrat	54
$d_{BOX}$	Abstand zwischen Sourceschicht und intrinsischem Kanal	22
Ε	elektrisches Feld	. 9
е	Elementarladung $(1.6022 \cdot 10^{-19} \text{ C})$	. 4
$E_{ox}$	elektrisches Feld zwischen Gate und Kanal	11
F	Teilchenfluss	60
f(W)	Fermiverteilung	. 4
G	Schermodul der epitaktischen Schicht	74
$g_m$	Steilheit des Transistors	11
h	Schichtdicke einer SiGe-Schicht	74
$h_c$	kritischen Schichtdicke	74
$I_P$	Strom durch Substrat beim Felddurchgriff	15
I <sub>Dioden</sub>	parasitärer Strom der Dioden	125
I <sub>Mess</sub>	gemessener Strom des VFD SONFETs	125
I <sub>off</sub>	Drainstrom im ausgeschaltetem Zustand des Transistors	12
I <sub>on</sub>	Drainstrom im angeschaltetem Zustand des Transistors	12
ID	Drainstrom	10
j(V)	Stromdichte-Spannungs-Charakteristik	84
<i>j</i> o	Sperrstromdichte	84
j <sub>chem</sub>	Flussdichte der chemische Reaktion	69
<i>j</i> diff	Dichtediffusionsfluss	68
<i>j</i> Diode	Stromdichte durch eine Diode	84
j <sub>gen</sub>	Generationsstromdichte	84
j <sub>Ges</sub>	Gesamtstromdichte einer pin-Diode	84
<i>j</i> Pass	Stromdichte durch die Passivierung	84
$j_{ m Therm}$	Stromdichte durch thermisch generierte Ladungsträger	84
ĴD	Stromdichte im Kanal	. 9
$k_0$	Frequenzfaktor	69
$k_B$	Boltzmannkonstante (1.3807 $\cdot$ 10 <sup>-23</sup> J K <sup>-1</sup> )	. 4
k <sub>r</sub>	Reaktionsgeschwindigkeit der langsamsten chem. Umsetzung	69
k <sub>etch</sub>	Atzrate	114
L	Kanallänge	11

1	Seitenlänge von pin-Dioden	84
$L_{\rm eff}$	effektive Kanallänge durch Roll-off	14
$L_{\min}$	minimale Kanallänge	14
l <sub>ad</sub>	Adsorptionslänge	69
m <sub>e</sub>	Elektronenmasse	9
Ν	Anzahl der Siliziumtargetatome pro Einheitsvolumen	64
п	Ladungsdichte	9
$N_A$	Akzeptordichte	7
$N_D$	Donatordichte	16
n <sub>i</sub>	intrinsische Ladungsträgerdichte $(1.45 \cdot 10^{10} \text{ cm}^{-3})$	84
$N_L$	effektive Zustandsdichte im Leitungsband	129
$N_V$	Versetzungsdichte	84
$N_{A,K}$	Akzeptordichte des Kanalgebiets	13
$N_{D,K}$	Donatordichte des Kanalgebiets	24
n <sub>id</sub>	Idealitätsfaktor einer pin-Diode	84
$n_{Si_3N_4}$	Brechungsindex für Nitrid	112
N <sub>TD</sub>	Anzahl an Störstellen pro Versetzungslänge	84
$N_{Va}$	effektive Zustandsdichte im Valenzband	129
р	Druck	54
$p_G$	Partialdruck Gases	68
$p_S$	Partialdruck auf der Substratoberfläche	68
$p_{H_2}$	Wasserstoffpartialdruck	70
$p_{O_2}$	Sauerstoffpartialdruck	49
$p_{PH_3}$	Phosphinpartialdruck	92
$p_{tot}$	Gesamtdruck	70
q	Elementarladung von Elektron oder Loch	25
$Q_D$	Depletionsladung der Raumladungszone	7
$Q_{inv}$	Inversionsladung im Kanal	9
$Q_{it}$	Ladungen an der Grenzfläche Si/SiO <sub>2</sub>	9
$Q_{ox}$	effektive Gesamtladungen des Oxids	9
Q <sub>Si,d</sub>	Depletionsladungen im Kanalgebiet für den VFD SONFET	22
R	allgemeine Gaskonstante (8.3145 J $K^{-1}$ mol <sup>-1</sup> )	114
$R_p$	Reichweite der Implantation	64
<i>R</i> <sup>'</sup> <sub>Sputter</sub>	Sputterrate	54
$\gamma_{Ni}$	Ätzrate von Nitrid	112
R <sub>SD</sub>	Serielle Widerständen der Zuleitungen	127
r <sub>SiGe</sub>	Ätzrate für SiGe	112
r <sub>Si</sub>	Ätzrate für Silizium	112
S	Subthreshold Swing	10
$S_e(W)$	Streuwahrscheinlichkeit pro Wegstrecke für Elektronenhülle	64
$S_n(W)$	Streuwahrscheinlichkeit pro Wegstrecke für Atomkerne	64
Sh	Sherwood-Zahl	69
Т	absolute Temperatur	4
$T_G$	absolute Gastemperatur	68
$t_S$	Sourceschichtdicke	22
t <sub>BOX</sub>	Sourcebreite	22
$T_{G,k}$	Gastemperatur im konvektiven Gasstrom	69
$t_{ox}$	Gateoxiddicke	6

$t_{Si}$ Kanaldicke.22 $V_0$ Referenzspannung.16 $V_S$ Sourcespannung.5 $V_x$ vergleichende Betriebsspannung.16 $V_{Bias}$ Bias-Spannung.54 $V_{Early}$ Early-Spannung.54 $V_{oxid}$ Spannungsabfall über das Gateoxid.7 $V_{vat}$ Sättigungsspannung.10 $V_{bi}$ Build-in Spannung eines pn-Überganges.4 $V_{DD}$ Versorgungsspannung.11 $V_{FB}$ Flachbandspannung für Felddurchgriff.15 $V_{th}$ kritische Spannung für moderate Inversion.7 $V_{GS}$ Gatespannung für moderate Inversion.7 $W_{Analweite.$ 11 $W_A$ Aktivierungsenergie69 $W_F$ Fermienergie.64 $W_i$ intrinsische Energie7 $W_L$ Energie der Leitungsbandkante5 $W_V$ Energie der Leitungsbandkante5 $W_V$ Energie der Leitungsbandkante5 $W_{cap}$ Energie der Leitungsbandkante74 $W_{cl}$ elastische Verspannungsenergie74 $W_{th}$ thermisches Budget .74 $M_{rh}$ Nitridätzstrecke114 $x_{pmax}$ maximale Weite der Raumladungszone74 $x_{fi}$ SiGe-Ätzstrecke112 $x_{pm}$ Raumladungszone bei einem pn-Übergang13 $x_{siGe}$ SiGe-Ätzstrecke112 $Y_{pm}$ Raumladungszone bei einem pn-Übergang13 $x_{si}$ <td< th=""><th><math>T_{Si}</math></th><th>Suszeptortemperatur</th><th>69</th></td<>	$T_{Si}$	Suszeptortemperatur	69
$V_0$ Referenzspannung16 $V_S$ Sourcespannung5 $V_x$ vergleichende Betriebsspannung5 $V_{\text{Bias}}$ Bias-Spannung6 $V_{\text{Early}}$ Early-Spannung15 $V_{\text{Oxid}}$ Spannungsabfall über das Gateoxid7 $V_{\text{sat}}$ Sättigungsspannung10 $V_{bi}$ Build-in Spannung eines pn-Überganges4 $V_{DD}$ Versorgungsspannung11 $V_{FB}$ Flachbandspannung7 $V_{GS}$ Gatespannung für Felddurchgriff15 $V_{th}$ Einsatzspannung für moderate Inversion7 $W_K$ Kanalweite11 $W_A$ Aktivierungsenergie69 $W_F$ Fermienergie4 $W_l$ Implantationsenergien64 $W_i$ intrinsische Energie7 $W_L$ Energie der Valenzbandkante5 $W_V$ Energie der Leitungsbandkante5 $W_V$ Energie der Leitungsbandlücke5 $W_{ver}$ Aktivierungsenergie für Versetzungen74 $W_{el}$ elastische Verspannungsenergie74 $W_{th}$ thermisches Budget74 $W_{th}$ maximale Weite der Raumladungszone77 $X_{ji}$ Tiefe der Anschlussgebiete (Source und Drain)14 $x_{Dmax}$ maximale Weite der Raumladungszone12 $X_{ii}$ Siliziumätzstrecke112 $Y_{ji}$ Siliziumätzstrecke112 $Y_{ij}$ Sputterausbeute54 $W_{ih}$ Kap	$t_{Si}$	Kanaldicke	22
$V_S$ Sourcespannung5 $V_x$ vergleichende Betriebsspannung16 $V_{Bias}$ Bias-Spannung54 $V_{Early}$ Early-Spannung sabfall über das Gateoxid7 $V_{Sat}$ Sättigungsspannung10 $V_{bi}$ Build-in Spannung eines pn-Überganges4 $V_{DD}$ Versorgungsspannung11 $V_{FB}$ Flachbandspannung7 $V_{CS}$ Gatespannung für Felddurchgriff15 $V_{FB}$ Kritische Spannung für Felddurchgriff15 $V_{FB}$ Kritische Spannung für Telddurchgriff15 $V_{FB}$ Kanalweite11 $W_A$ Aktivierungsenergie69 $W_F$ Fermienergie4 $W_I$ Implantationsenergien64 $W_i$ intrinsische Energie7 $W_L$ Energie der Leitungsbandlücke5 $W_{Cap}$ Energie der Leitungsbandlücke5 $W_{Ver}$ Aktivierungsenergie für Versetzungen74 $W_{el}$ elastische Verspannungsenergie74 $W_{th}$ thermisches Budget74 $W_{th}$ thermisches Budget74 $M_{T}$ Raumladungszone74 $X_{III}$ Tiefe der Aanschlussgebiete (Source und Drain)14 $X_{Dmax}$ maximale Weite der Raumladungszone122 $X_{III}$ Siliziumätzstrecke112 $X_{III}$ Siliziumätzstrecke112 $Y$ Sputterausbeute54 $K_{Dmax}$ Siliziumätzstrecke122 $Y$	$V_0$	Referenzspannung	16
$\begin{array}{llllllllllllllllllllllllllllllllllll$	$V_S$	Sourcespannung	. 5
$ \begin{array}{llllllllllllllllllllllllllllllllllll$	$V_x$	vergleichende Betriebsspannung	16
$\begin{array}{lll} V_{\text{Early}} & \text{Early-Spannung} & & 15 \\ V_{\text{Oxid}} & \text{Spannungsabfall über das Gateoxid} & & 7 \\ V_{\text{sat}} & \text{Sättligungsspannung} & & & 10 \\ V_{bi} & \text{Build-in Spannung eines pn-Überganges} & & 4 \\ V_{DD} & \text{Versorgungsspannung} & & & 11 \\ V_{FB} & \text{Flachbandspannung} & & & 7 \\ V_{GS} & \text{Gatespannung für Felddurchgriff} & & & 15 \\ V_{P} & \text{kritische Spannung für moderate Inversion} & & & 7 \\ W & \text{Kanalweite} & & & & 11 \\ W_A & \text{Aktivierungsenergie} & & & 69 \\ W_F & \text{Fermienergie} & & & & & & & & & & \\ W_I & \text{Implantationsenergien} & & & & & & & & & & \\ W_i & \text{intrinsische Energie} & & & & & & & & & & & \\ W_U & \text{Energie der Leitungsbandkante} & & & & & & & & & & \\ W_{Gap} & \text{Energie der Valenzbandkante} & & & & & & & & & & \\ W_{el} & \text{elastische Verspannungsenergie} & & & & & & & & & \\ W_{el} & \text{elastische Verspannungsenergie} & & & & & & & & & \\ W_{th} & \text{thermisches Budget} & & & & & & & & & & \\ & M_{I} & \text{Implantationsgenergie für Versetzungen} & & & & & & & & & & \\ & M_{Gap} & \text{Energie der Leitungsbandlücke} & & & & & & & & & & & & \\ & M_{el} & \text{elastische Verspannungsenergie} & & & & & & & & & & & & & & & & & \\ & M_{th} & \text{thermisches Budget} & & & & & & & & & & & & & & & & & & &$	$V_{\rm Bias}$	Bias-Spannung	54
$      V_{\text{Oxid}}  \begin{array}{lllllllllllllllllllllllllllllllllll$	$V_{\rm Early}$	Early-Spannung	15
$V_{sat}$ Sättigungsspannung10 $V_{bi}$ Build-in Spannung eines pn-Überganges4 $V_{DD}$ Versorgungsspannung11 $V_{FB}$ Flachbandspannung7 $V_{GS}$ Gatespannung für Felddurchgriff15 $V_{th}$ Einsatzspannung für moderate Inversion7 $W$ Kanalweite11 $W_A$ Aktivierungsenergie69 $W_I$ Fermienergie4 $W_I$ Implantationsenergien64 $W_i$ intrinsische Energie7 $W_L$ Energie der Leitungsbandkante5 $W_V$ Energie der Leitungsbandkante5 $W_Ver$ Aktivierungsenergie für Versetzungen74 $W_{el}$ elastische Verspannungsenergie74 $W_{th}$ thermisches Budget49 $x_D$ Weite der Raumladungszone74 $x_D$ Weite der Raumladungszone71 $x_N$ Nitridätzstrecke112 $x_{II}$ Nitridätzstrecke112 $x_{II}$ Nitridätzstrecke112 $x_{Si}$ Siliziumätzstrecke112 $Y$ Sputterausbeute54 $X_{A^*}$ modifizierte Akzeptordichte im VDT-Modell25 $M_{eff}$ effektive Depletionsladung im Kanal durch Roll-off.14	V <sub>Oxid</sub>	Spannungsabfall über das Gateoxid	. 7
$ \begin{array}{llllllllllllllllllllllllllllllllllll$	V <sub>sat</sub>	Sättigungsspannung	10
$\begin{array}{llllllllllllllllllllllllllllllllllll$	$V_{bi}$	Build-in Spannung eines pn-Überganges	. 4
$ \begin{array}{llllllllllllllllllllllllllllllllllll$	$V_{DD}$	Versorgungsspannung	11
$\begin{array}{llllllllllllllllllllllllllllllllllll$	$V_{FB}$	Flachbandspannung	. 7
$\begin{array}{llllllllllllllllllllllllllllllllllll$	$V_{GS}$	Gatespannung	. 6
$ \begin{array}{llllllllllllllllllllllllllllllllllll$	$V_P$	kritische Spannung für Felddurchgriff	15
WKanalweite11 $W_A$ Aktivierungsenergie69 $W_F$ Fermienergie64 $W_I$ Implantationsenergien64 $W_i$ intrinsische Energie7 $W_L$ Energie der Leitungsbandkante5 $W_V$ Energie der Valenzbandkante5 $W_V$ Energie der Leitungsbandlücke5 $W_{Ver}$ Aktivierungsenergie für Versetzungen74 $W_{el}$ elastische Verspannungsenergie74 $W_{th}$ thermisches Budget49 $x$ Ort in x-Richtung61 $x_D$ Weite der Raumladungszone7 $x_j$ Tiefe der Anschlussgebiete (Source und Drain)14 $x_{D,max}$ maximale Weite der Raumladungszone24 $x_Ni$ Nitridätzstrecke112 $x_{pn}$ Raumladungszone bei einem pn-Übergang13 $x_{SiGe}$ SiGe-Ätzstrecke112 $Y$ Sputterausbeute54 $C_{Si,d}^*$ Kapazität pro Weite des verarmten Kanalgebiets im VDT-Modell25 $N_A^*$ modifizierte Akzeptordichte im VDT-Modell25 $Q_D^{eff}$ effektive Depletionsladung im Kanal durch Roll-off14	$V_{th}$	Einsatzspannung für moderate Inversion	. 7
$ \begin{array}{llllllllllllllllllllllllllllllllllll$	W	Kanalweite	11
$ \begin{array}{llllllllllllllllllllllllllllllllllll$	$W_A$	Aktivierungsenergie	69
$ \begin{array}{llllllllllllllllllllllllllllllllllll$	$W_F$	Fermienergie	. 4
$ \begin{array}{llllllllllllllllllllllllllllllllllll$	$W_I$	Implantationsenergien	64
$ \begin{array}{llllllllllllllllllllllllllllllllllll$	$W_i$	intrinsische Energie	. 7
$ \begin{array}{llllllllllllllllllllllllllllllllllll$	$W_L$	Energie der Leitungsbandkante	. 5
$ \begin{array}{llllllllllllllllllllllllllllllllllll$	$W_V$	Energie der Valenzbandkante	. 5
$W_{Ver}$ Aktivierungsenergie für Versetzungen74 $W_{el}$ elastische Verspannungsenergie74 $W_{th}$ thermisches Budget74 $W_{th}$ thermisches Budget49 $x$ Ort in x-Richtung61 $x_D$ Weite der Raumladungszone7 $x_j$ Tiefe der Anschlussgebiete (Source und Drain)14 $x_{D,max}$ maximale Weite der Raumladungszone24 $x_{Ni}$ Nitridätzstrecke112 $x_{pn}$ Raumladungszone bei einem pn-Übergang13 $x_{SiGe}$ SiGe-Ätzstrecke112 $x_{Si}$ Siliziumätzstrecke112 $Y$ Sputterausbeute54 $C_{Si,d}^*$ Kapazität pro Weite des verarmten Kanalgebiets im VDT-Modell25 $N_A^*$ modifizierte Akzeptordichte im VDT-Modell25 $Q_D^{eff}$ effektive Depletionsladung im Kanal durch Roll-off14	W <sub>Gap</sub>	Energie der Leitungsbandlücke	. 5
$W_{el}$ elastische Verspannungsenergie74 $W_{th}$ thermisches Budget49 $x$ Ort in x-Richtung61 $x_D$ Weite der Raumladungszone7 $x_j$ Tiefe der Anschlussgebiete (Source und Drain)14 $x_{D,max}$ maximale Weite der Raumladungszone24 $x_{Ni}$ Nitridätzstrecke112 $x_{pn}$ Raumladungszone bei einem pn-Übergang13 $x_{SiGe}$ SiGe-Ätzstrecke112 $x_{Si}$ Siliziumätzstrecke112 $Y$ Sputterausbeute54 $C_{Si,d}^*$ Kapazität pro Weite des verarmten Kanalgebiets im VDT-Modell25 $N_A^*$ modifizierte Akzeptordichte im VDT-Modell25 $Q_D^{eff}$ effektive Depletionsladung im Kanal durch Roll-off14	W <sub>Ver</sub>	Aktivierungsenergie für Versetzungen	74
$W_{th}$ thermisches Budget49 $x$ Ort in x-Richtung61 $x_D$ Weite der Raumladungszone7 $x_j$ Tiefe der Anschlussgebiete (Source und Drain)14 $x_{D,max}$ maximale Weite der Raumladungszone24 $x_{Ni}$ Nitridätzstrecke112 $x_{pn}$ Raumladungszone bei einem pn-Übergang13 $x_{SiGe}$ SiGe-Ätzstrecke112 $x_{Si}$ Siliziumätzstrecke112 $Y$ Sputterausbeute54 $C_{Si,d}^*$ Kapazität pro Weite des verarmten Kanalgebiets im VDT-Modell25 $N_A^*$ modifizierte Akzeptordichte im VDT-Modell25 $Q_D^{eff}$ effektive Depletionsladung im Kanal durch Roll-off14	$W_{el}$	elastische Verspannungsenergie	74
xOrt in x-Richtung61 $x_D$ Weite der Raumladungszone7 $x_j$ Tiefe der Anschlussgebiete (Source und Drain)14 $x_{D,max}$ maximale Weite der Raumladungszone24 $x_{Ni}$ Nitridätzstrecke112 $x_{pn}$ Raumladungszone bei einem pn-Übergang13 $x_{SiGe}$ SiGe-Ätzstrecke112 $x_{Si}$ Siliziumätzstrecke112 $Y$ Sputterausbeute54 $C_{Si,d}^*$ Kapazität pro Weite des verarmten Kanalgebiets im VDT-Modell25 $N_A^*$ modifizierte Akzeptordichte im VDT-Modell25 $Q_D^{eff}$ effektive Depletionsladung im Kanal durch Roll-off14	$W_{th}$	thermisches Budget	49
$x_D$ Weite der Raumladungszone7 $x_j$ Tiefe der Anschlussgebiete (Source und Drain)14 $x_{D,max}$ maximale Weite der Raumladungszone24 $x_{Ni}$ Nitridätzstrecke112 $x_{pn}$ Raumladungszone bei einem pn-Übergang13 $x_{SiGe}$ SiGe-Ätzstrecke112 $x_{Si}$ Siliziumätzstrecke112 $Y$ Sputterausbeute54 $C_{Si,d}^*$ Kapazität pro Weite des verarmten Kanalgebiets im VDT-Modell25 $N_A^*$ modifizierte Akzeptordichte im VDT-Modell25 $Q_D^{eff}$ effektive Depletionsladung im Kanal durch Roll-off14	x	Ort in x-Richtung	61
$x_j$ Tiefe der Anschlussgebiete (Source und Drain)14 $x_{D,max}$ maximale Weite der Raumladungszone24 $x_{Ni}$ Nitridätzstrecke112 $x_{pn}$ Raumladungszone bei einem pn-Übergang13 $x_{SiGe}$ SiGe-Ätzstrecke112 $x_{Si}$ Siliziumätzstrecke112 $Y$ Sputterausbeute54 $C_{Si,d}^*$ Kapazität pro Weite des verarmten Kanalgebiets im VDT-Modell25 $N_A^*$ modifizierte Akzeptordichte im VDT-Modell25 $Q_D^{eff}$ effektive Depletionsladung im Kanal durch Roll-off14	$x_D$	Weite der Raumladungszone	. 7
$x_{D,\max}$ maximale Weite der Raumladungszone24 $x_{Ni}$ Nitridätzstrecke112 $x_{pn}$ Raumladungszone bei einem pn-Übergang13 $x_{SiGe}$ SiGe-Ätzstrecke112 $x_{Si}$ Siliziumätzstrecke112 $Y$ Sputterausbeute54 $C_{Si,d}^*$ Kapazität pro Weite des verarmten Kanalgebiets im VDT-Modell25 $N_A^*$ modifizierte Akzeptordichte im VDT-Modell25 $Q_D^{eff}$ effektive Depletionsladung im Kanal durch Roll-off14	$x_i$	Tiefe der Anschlussgebiete (Source und Drain)	14
$x_{Ni}$ Nitridätzstrecke112 $x_{pn}$ Raumladungszone bei einem pn-Übergang13 $x_{SiGe}$ SiGe-Ätzstrecke112 $x_{Si}$ Siliziumätzstrecke112 $Y$ Sputterausbeute54 $C_{Si,d}^*$ Kapazität pro Weite des verarmten Kanalgebiets im VDT-Modell25 $N_A^*$ modifizierte Akzeptordichte im VDT-Modell25 $Q_D^{eff}$ effektive Depletionsladung im Kanal durch Roll-off14	$x_{D,\max}$	maximale Weite der Raumladungszone	24
$x_{pn}$ Raumladungszone bei einem pn-Übergang13 $x_{SiGe}$ SiGe-Ätzstrecke112 $x_{Si}$ Siliziumätzstrecke112 $Y$ Sputterausbeute54 $C_{Si,d}^*$ Kapazität pro Weite des verarmten Kanalgebiets im VDT-Modell25 $N_A^*$ modifizierte Akzeptordichte im VDT-Modell25 $Q_D^{eff}$ effektive Depletionsladung im Kanal durch Roll-off14	$x_{Ni}$	Nitridätzstrecke 1	12
$x_{SiGe}$ SiGe-Ätzstrecke112 $x_{Si}$ Siliziumätzstrecke112 $Y$ Sputterausbeute54 $C_{Si,d}^*$ Kapazität pro Weite des verarmten Kanalgebiets im VDT-Modell25 $N_A^*$ modifizierte Akzeptordichte im VDT-Modell25 $Q_D^{eff}$ effektive Depletionsladung im Kanal durch Roll-off14	$x_{pn}$	Raumladungszone bei einem pn-Übergang	13
$x_{Si}$ Siliziumätzstrecke112 $Y$ Sputterausbeute54 $C_{Si,d}^*$ Kapazität pro Weite des verarmten Kanalgebiets im VDT-Modell25 $N_A^*$ modifizierte Akzeptordichte im VDT-Modell25 $Q_D^{eff}$ effektive Depletionsladung im Kanal durch Roll-off14	XSiGe	SiGe-Ätzstrecke	12
$Y$ Sputterausbeute54 $C_{Si,d}^*$ Kapazität pro Weite des verarmten Kanalgebiets im VDT-Modell25 $N_A^*$ modifizierte Akzeptordichte im VDT-Modell25 $Q_D^{eff}$ effektive Depletionsladung im Kanal durch Roll-off14	$\chi_{Si}$	Siliziumätzstrecke 1	12
$C_{Si,d}^*$ Kapazität pro Weite des verarmten Kanalgebiets im VDT-Modell 25 $N_A^*$ modifizierte Akzeptordichte im VDT-Modell	Ŷ	Sputterausbeute	54
$N_A^{**}$ modifizierte Akzeptordichte im VDT-Modell	$C_{Sid}^*$	Kapazität pro Weite des verarmten Kanalgebiets im VDT-Modell	25
$Q_D^{\text{eff}}$ effektive Depletionsladung im Kanal durch Roll-off	$N_A^*$	modifizierte Akzeptordichte im VDT-Modell	25
$\kappa_{\nu}$	$O_{\rm D}^{\rm eff}$	effektive Depletionsladung im Kanal durch Roll-off	14
$V_{DS}^*$ modifizierte Drainspannung im VDT-Modells	$\tilde{V}_{DS}^*$	modifizierte Drainspannung im VDT-Modells	25

# Zusammenfassung

Die fortschreitende Miniaturisierung von integrierten Schaltungen hat unsere heutige Gesellschaftsform entscheidend mitgeprägt. Um diesen Trend auch in Zukunft aufrecht zu erhalten ist die Halbleiterindustrie gezwungen die Bauelemente einer integrierten Schaltung, die Transistoren, immer weiter zu skalieren. Dabei können aber nicht alle Parameter der Transistoren mitskaliert werden. Bei gleich bleibender Dotierung der Anschlüsse und des Kanalgebiets bleibt die Raumladungszonenweite zu den Anschlüssen konstant. Dies führt zu zahlreichen Kurzkanaleffekten, die die elektrischen Eigenschaften negativ beeinflussen. Weitere Hindernisse bei der Skalierung sind zum einen immer aufwändigere und teurere Lithographiemethoden und die quantenmechanischen Grenzen wie etwa das Tunneln.

Lösungsansätze zur Reduzierung der Kurzkanaleffekte beruhen auf einer Dämpfung der elektrischen Feldlinien der Drainregion, da diese den Kanal mitsteuern und somit die Gatekontrolle auf den Kanal verringern. Die Verwendung von sehr dünnen Kanalgebieten (Ultrathin-Body) auf Isolatoren (Silicon-On-Insulator) bietet eine wesentliche Verbesserung hinsichtlich der Kurzkanaleffekte. Eine weitere Verbesserung eröffnet sich durch die Verwendung der SON-Technologie (Silicon-On-Nothing), da hier die Feldlinien des Draingebiets noch stärker gedämpft werden können. Die Realisierbarkeit dieser Bauelemente wurde erstmals 2001 durch *Monfray* und *Skotnicki* mit einem lateralen SONFET gezeigt. Hierdurch konnten die Kurzkanaleffekte, im Vergleich zu einem konventionellen Transistor, um mehr als 50 % reduziert werden.

Ein Nachteil des lateralen SONFETs ist die Verwendung sehr teurer Lithographie zur Realisierung von Kanallängen im Bereich von 40 nm. An der Universität der Bundeswehr wird seit Jahren an der Entwicklung von vertikalen Bauelementen geforscht. Dieses Prinzip beruht auf der Abscheidung von sehr dünnen Schichten, deren Dicke die Kanallänge bestimmt. Auf diese Weise können mit einfacher Kontaktlithographie Kanallängen im Bereich von 20 nm vergleichsweise billig hergestellt werden. *Eisele* und *Schulze* kombinierten das Konzept des lateralen SON-FETs mit dem Konzept für vertikale Bauelemente und kreierten den *vertikalen fullydepleted Silicon-On-Nothing MOSFET* (VFD SONFET). Dieses Konzept erlaubt die Realisierung von sehr kleinen Kanallängen und die Umsetzung der SON-Struktur.

Thema dieser vorliegenden Arbeit ist die Technologieentwicklung und Prozessintegration zur Herstellung eines Prototyps für den VFD SONFET und dessen elektrisch Charakterisierung mit Simulationen zu vergleichen.

Der Schwerpunkt der technologischen Entwicklung lag dabei auf der Entwicklung einer SiGe-Opfertechnik mit einer hohen Selektivität zwischen Silizium und Si-Ge. Ziel ist es, die etwa 2 µm breite SiGe-Opferschicht zu entfernen ohne weder

das nur etwa 30 nm dicke Kanalgebiet noch die Sourceschicht zu zerstören. Dabei wurde zunächst das komplexe Zusammenspiel zwischen der Beschaffenheit der SiGe-Opferschicht, der Source- und Kanalschicht sowie der Ätzlösung untersucht. Um ein einkristallines Wachstum der Sourceschicht zu ermöglichen, muss die SiGe-Opferschicht pseudomorph verspannt sein. Gleichzeitig muss der Germaniumanteil maximiert werden, um eine hohe Selektivität für den Ätzprozess zu gewährleisten. Um dies zu erreichen, wurde eine dreilagige SiGe-Opferschicht mit einer hochdotierten Germaniumschicht in der Mitte entwickelt. Dies maximiert den Germaniumanteil und damit die Selektivität, und gewährleistet trotzdem eine pseudomorph verspannte Kristallstruktur. Zur Entfernung der SiGe-Opferschicht wurden umfassende Untersuchungen gemacht, um die Selektivität zu optimieren. Für den VFD SONFET wurde eine Selektivität von 90 für den entwickelten Si-Ge-Schichtstapel und ein n<sup>+</sup>-Substrat erzielt. Diese Selektivität ist geringer als bei freiliegenden SiGe-Schichten, da der Massentransport im freigeätzten Spalt die Reaktionsgeschwindigkeit beeinflusst. Die Verwendung eines Ultraschallbeckens erhöht zwar die Selektivität, zerstört aber auch durch die mechanische Belastung die freitragende Sourceschicht. Die entwickelte SiGe-Opfertechnik ist aber ausreichend gut, um die VFD SONFET-Struktur zu realisieren.

Ein weiterer Schwerpunkt dieser Arbeit war die Entwicklung eines geeigneten Gatestacks. Das hierbei verwendete Dielektrikum sollte dabei inert gegenüber dem Ätzprozess zur Entfernung der SiGe-Opferschicht sein. Hierzu wurde Nitrid untersucht, das allerdings auf vertikalen Flanken hohe Leckströme durch Rauigkeiten der Mesaseite besaß. Daraufhin wurde ein thermisches Oxid verwendet, das niedrigere Leckströme und eine gute Qualität aufwies. Allerdings ist das Oxid gegenüber dem Ätzprozess nicht stabil, so dass eine spezielle Passivierungstechnik in dieser Arbeit entwickelt werden musste.

Des Weiteren wurden epitaktische Abscheideverfahren bei niedrigen Temperaturen mit wenig Versetzungen und einem hohen Dotierstoffgehalt von  $2 \cdot 10^{19}$  cm<sup>-3</sup> entwickelt, und ein Vergleich zwischen der Implantation und der Diffusion von Dotierstoff zur Realisierung der Draingebiete durchgeführt. Die Prozesse wurden dabei auf ihre Eignung untersucht, epitaktisches Wachstum auf dem Draingebiet zu ermöglichen. Dabei zeigte sich, dass bei der Implantation auch nach einem Ausheilschritt die Kristallqualität des Substrats zu sehr geschädigt wurde, um einkristallines Wachstum zu ermöglichen. Bei der Diffusion konnten zwar die Kristalldefekte vermieden werden, dennoch ergibt sich durch den Prozess eine etwa 90 nm tiefe Stufe zwischen Substrat und Draingebiet, welche das epitaktische Wachstum negativ beeinflusst. Diese Stufe befindet sich allerdings außerhalb der aktiven Region des VFD SONFETs und muss vor dem Ätzprozess zur Entfernung der SiGe-Opferschicht passiviert werden, da Kristalldefekte besonders angegriffen werden. Die Defekte könnten ansonsten die mechanische Stabilisierung der Sourceschicht gefährden.

Zusätzlich wurde in dieser Arbeit ein Methode für das Anbringen von Justierkreuzen entwickelt, die auch am Ende der Prozessierung noch gut erkennbar waren, und ein Prozess zur anisotropen Strukturierung modifiziert. Zum Abschluss wurde ein Verfahren entwickelt, um das Kanalgebiet nach der Entfernung der SiGe-Opferschicht auf 9 nm Dicke auszudünnen. Darüber hinaus wurde in dieser Arbeit das elektrische Verhalten des VFD SONFETs anhand von einfachen Modellen charakterisiert und simuliert. Die Ergebnisse dieser Simulationen unterstreichen den Vorteil der SON- gegenüber der SOI-Struktur und liefern wertvolle Informationen für die optimalen Parameter des VFD SON-FETs.

Zum Abschluss dieser Arbeit wurde der weltweit erste VFD SONFET mit einer Kanallänge im Bereich von 20 nm elektrisch charakterisiert. Die geometrischen Parameter entsprechen dabei nicht den optimalen Werten für ein gutes elektrisches Verhalten, da zunächst nur die Realisierbarkeit des VFD SONFET untersucht werden sollte. Die Ergebnisse der Messungen beweisen die Durchführbarkeit des VFD SONFET und zeigen MOSFET-typische Kennlinien. Allerdings zeigte sich, dass die Kristallqualität des Kanalgebiets nicht einkristallin ist. Dies führte zu einem Ion/Ioff von etwa vier Größenordnungen bei Raumtemperatur und einem geringen Drainstrom von 0.044  $\mu$ A/ $\mu$ m bei einer Gatespannung V<sub>GS</sub> von 1 V und einer Drainspannung V<sub>DS</sub> von 550 mV. Ursache hierfür sind wahrscheinlich Rauigkeiten der Mesaflanken, die mit REM-Aufnahmen nicht sichtbar gemacht werden konnten. Möglichkeiten, die Kristallqualität des Kanalgebiets zu verbessern, werden in dieser Arbeit beschrieben. Der gemessene DIBL von (639  $\pm$  2) mV/V bei Raumtemperatur für diesen Prototyp ist etwas kleiner als der simulierte Wert von 765 mV/V. Dieser Unterschied ist auf etwas abweichende Geometrien zwischen Simulation und Realität zurückzuführen. Dennoch ist dies ein erster Anhaltspunkt für die Richtigkeit der Simulationen. Die Kurzkanaleffekte können demnach bei optimierter Geometrie effektiv unterdrückt werden. Einen ersten Hinweis hierfür liefert die gemessene Ausgangskennlinie des Prototyps, die ein gutes Sättigungsverhalten zeigt.

Kernstück der vorliegenden Arbeit ist die entwickelte SiGe-Opfertechnik, die freitragende einkristalline Strukturen erlaubt, und auch bereits Einsatz bei anderen Bauelementen fand. Weitere Untersuchungen müssen durchgeführt werden, um die Kristallqualität des Kanalgebiets zu verbessern. Erste Ansatzmöglichkeiten werden ebenfalls in dieser Arbeit erläutert.

# Inhaltsverzeichnis

1	Einl	leitung		1		
2	Kon	ventio	neller MOSFET	4		
	2.1	Funkt	ionsprinzip des MOSFET	4		
	2.2	Skalie	rung	11		
	2.3	Grenz	en der Entwicklung	12		
		2.3.1	Roll-off (SCE)	14		
		2.3.2	Kanallängenmodulation (CLM)	14		
		2.3.3	Felddurchgriff (PT)	15		
		2.3.4	Barrierendegradation (DIBL)	16		
		2.3.5	Unterdrückung der Kurzkanaleffekte	17		
		2.3.6	Dotierstoffschwankungen im Kanal	18		
3	VFI	FD SONFET 20				
3.1 VFD SONFET Konzept				21		
	3.2	FD Ka	analgebiet	23		
3.3 Simulationen			ationen	25		
		3.3.1	Einsatzspannung	25		
		3.3.2	Subthreshold-Swing	26		
		3.3.3	DIBL	28		
		3.3.4	Elektrische Charakteristik	28		
	3.4	Proze	ssablauf	32		
4	Best	tehend	e Prozesse	37		
	4.1	Reinig	gungsprozesse	37		
		4.1.1	RCA-Clean	38		
		4.1.2	HF-Dip	38		
		4.1.3	Hydrogen Bake	40		

	4.2	Nasschemische Prozesse    41			
		4.2.1 TMAH	42		
		4.2.2 Poly-Ätze	42		
		4.2.3 Buffered HF	43		
		4.2.4 PNA	43		
		4.2.5 Photolackentfernung	44		
	4.3	Lithographie	45		
	4.4	Thermische Oxidation	47		
	4.5	Passivierung	50		
		4.5.1 LPCVD Nitrid	51		
		4.5.2 Strukturierung von Nitrid	51		
	4.6	Metallisierung	52		
	4.7	Formiergastempern	54		
5	Entv	wicklungsprozesse für den VFD SONFET	57		
	5.1	Justierkreuze	57		
	5.2	Realisierung von Drain und p <sup>+</sup> -Gebieten $\ldots$	59		
		5.2.1 Spin-On-Dopand (SOD)	60		
		5.2.2 Implantationen	64		
	5.3	Epitaxie Prozesse	68		
		5.3.1 Chemische Gasphasenabscheidung (CVD)	68		
		5.3.2 Molekularstrahl Epitaxie (MBE)	72		
	5.4	SiGe-Opferschicht			
		5.4.1 Si <sub>1-x</sub> Ge <sub>x</sub> /(100)-Silizium Heterostrukturen	73		
		5.4.2 Optimierung für den VFD SONFET	77		
		5.4.3 Elektrische Charakterisierung der SiGe-Opferschicht	82		
		5.4.4 Charakterisierung mit HRTEM	85		
	5.5	Sourceschicht	89		
		5.5.1 Sourceschicht mit MBE	89		
		5.5.2 Sourceschicht mit CVD	91		
	5.6	Mesa Ätzprozess	94		
		5.6.1 RIE Reaktor	95		
		5.6.2 Prozessentwicklung	96		
	5.7	Kanalgebiet	98		
	5.8	Gatedielektrika			

	5.9 Gatestack			
		5.9.1	Nitrid Strukturierung	105
	5.10	Entfer	nen der SiGe-Opferschicht	108
		5.10.1	Bestimmung der Ätzraten	111
		5.10.2	Optimierung der Ätzlösung	112
		5.10.3	Ätzprozess	117
	5.11	Ausdü	innen des Kanals	119
	5.12	Zusam	nmenfassung	121
6	Elek	trische	Charakterisierung des VFD SONFETs	125
7	Zusa	ammen	fassung	135
8	Aus	blick		139
9	Anh	ang		143
Abbildungsverzeichnis				151
Literaturverzeichnis 16				161
Pu	ıblika	ntionen		163
Danksagung 16				165

# Kapitel 1

# Einleitung

Im Jahre 1958 läutete Kilby mit dem Bau des ersten integrierten Flipflops das Zeitalter der integrierten Schaltungen ein, und ebnete damit den Weg zu unserer modernen Informations- und Kommunikationsgesellschaft. Der exponentiell anwachsende Einfluss dieser Technologie auf unser heutiges Leben ist unter anderem auf die starke Miniaturisierung der integrierten Schaltungen zurückzuführen. Die Grundbausteine jeder integrierten Schaltung bestehen aus Transistoren, welche die logischen Zustände ein und aus abbilden. Die stete Verkleinerung dieser Bauelemente nach dem Moore'schen Gesetz ist die Triebfeder für die noch heute andauernde Verbesserung der integrierten Schaltungen. Die Kernaussage des Moore'schen Gesetzes ist dabei, ein Kostenoptimum bei gleichzeitiger Verbesserung des Produkts zu erzielen. Daher ist die Halbleiterindustrie darauf bestrebt, sich nach diesem Gesetz zu richten. Der Fahrplan für dieses Gesetz ist in der *ITRS*<sup>1</sup> für die *CMOS*<sup>2</sup>-Technologie verankert. Gegenwärtiger Höhepunkt dieser Entwicklung ist die 45-nm Technologie, die im Jahr 2011 durch die 22-nm Technologie ersetzt werden soll [1]. Die anhaltende Skalierung der Bauelemente bewirkt ein fortwährendes Wachstum an technologischen Erneuerungen und Kosten. Insbesondere sind die steigenden Kosten für die Lithographie, das Übertragen von Strukturen auf das Substrat, ein Hindernis für die Erfüllung des Moore'schen Gesetzes. So benötigt die 32-nm Technologie extremes ultraviolettes Licht (EUV), das nicht mit Glas fokussiert werden kann, und spezielle Hohlspiegel mit maximalen Abweichungswerten von weniger als 1.5 Å benötigt. Diese Technologie ist extrem kostenaufwändig.

Außer den technologischen Problemen trifft die Skalierung der Transistoren auch auf immer mehr physikalische Grenzen. Zu den technologischen Problemen gehören unter anderem auch die Kurzkanaleffekte, welche die Eigenschaften der Transistoren negativ beeinflussen. Zu den physikalischen Grenzen zählen die quantenmechanischen Effekte. So fängt etwa ab einer Kanallänge von 10 nm direktes Tunneln im Kanal an, welches die Steuerung des Transistors erschwert. Die Kurzkanaleffekte können durch aufwändige Prozessschritte teilweise kompensiert werden, jedoch können die quantenmechanischen Effekte nicht aufgehoben werden.

Ursache für die Kurzkanaleffekte ist der steigende Einfluss des Draingebiets auf den Kanal und der damit verbundene Verlust an Gatesteuerung. Um den Einfluss

<sup>&</sup>lt;sup>1</sup>engl.: International Technology Roadmap of Semiconductor Industries (http://www.itrs.net)

<sup>&</sup>lt;sup>2</sup>engl.: Complementary Metal Oxide Semiconductor; CMOS-Bausteine bestehen aus p-Kanal und n-Kanal MOSFETs

des Draingebiets zu reduzieren, müssen dessen elektrische Feldlinien gedämpft werden. Dies wird durch den Einsatz von SOI<sup>3</sup>-Substraten erzielt. Die Feldlinien durchlaufen dabei zum Teil ein Oxid mit einer wesentlich kleineren Dielektrizitätszahl als Silizium, und werden damit effektiv gedämpft. Durch die Wahl einer noch kleineren Dielektrizitätszahl kann eine maximale Dämpfung erreicht werden. Die kleinste mögliche Dielektrizitätszahl beträgt für Luft etwa eins. Dies führt zur Silicon-On-Nothing<sup>4</sup>-Struktur (SON) bei der das Kanalgebiet nicht mehr mit dem Substrat verbunden und nur von Luft umgeben ist. Dieses Konzept wurde erstmals von Monfray und Skotnicki im Jahre 2001 realisiert [2]. Hierdurch konnten die Kurzkanaleffekte im Vergleich zu einem Referenztransistor um mehr als 50 % reduziert werden. Jedoch wurde für diesen lateralen SONFET die Kanallänge von 38 nm mit teurer Lithographie erzeugt. Durch eine vertikale Anordnung des SONFETs können mit Hilfe einer speziellen Technik der Schichtabscheidung Kanallängen im Bereich von 20 nm mit einfacher Kontaktbelichtung realisiert werden. Eisele und Schulze entwickelten daher ein Konzept für den vertikalen fully-depleted Silicon-On-Nothing MOSFET (VFD SONFET). Dieses Bauelement profitiert neben der SON-Struktur auch noch von seinem extrem dünnen Kanalgebiet von etwa 10 nm. Dieses reduziert weiter den Einfluss des Draingebiets und damit die Kurzkanaleffekte.

Ziel dieser Arbeit ist die technologische Umsetzung dieses Konzepts und der Bau eines Prototyps, um die elektrischen Eigenschaften dieses Bauelements studieren zu können. Eine Vorgabe dieser Arbeit war, die Realisierung von sehr kleinen Kanallängen im Bereich von 20 nm zu erzielen. Da die mittlere freie Weglänge von Elektronen im Silizium bei Raumtemperaturen etwa 10 nm beträgt, kann eventuell *ballistischer Transport*<sup>5</sup> für dieses Bauelement beobachtet werden.

Im **Kapitel 2** werden zunächst eine kurze Einführung in die Funktionsweise eines konventionellen MOSFETs gegeben, und wichtige Begriffe für diese Arbeit erläutert. Des Weiteren wird ausführlich auf die Skalierungsproblematik, die daraus resultierenden Kurzkanaleffekte und deren Lösungsansätze der Halbleiterindustrie eingegangen.

Das **Kapitel 3** beschreibt den Aufbau des VFD SONFETs und einige Modelle zur Modellierung der elektrischen Eigenschaften. Diese Modelle sind Ausgangsbasis für Simulationen des VFD SONFETs und die damit verbundene Optimierung der technologischen Parameter. Zum Abschluss dieses Kapitels wird der komplette entwickelte Prozessablauf für den VFD SONFET vorgestellt.

**Kapitel 4** beschäftigt sich mit bereits vorhandenen Technologien, die im Rahmen dieser Arbeit zum Einsatz kamen. Hierzu zählen neben den Reinigungsverfahren, der Nasschemie und der Lithographie auch die thermische Oxidation, die Passivierung und die Metallisierung.

**Kapitel 5** beinhaltet den Schwerpunkt dieser Arbeit, und beschreibt ausführlich die im Rahmen dieser ADissertation entwickelten Prozessschritte und Technologien. Die Kernarbeit liegt dabei in der Entwicklung einer SiGe-Opfertechnik mit hohen Selektivitäten zwischen Silizium und SiGe. Diese Technologie stellt auch die

<sup>&</sup>lt;sup>3</sup>engl.: Silicon On Insulator

<sup>&</sup>lt;sup>4</sup>Übersetzung: Silizium auf Nichts

<sup>&</sup>lt;sup>5</sup>Bei einem ballistischen Transport gelangen die Elektronen von Source nach Drain ohne Stöße mit den Gitteratomen.

Basis für die weitere Entwicklung dar. So konnten hierdurch bereits ein freitragendes Gate realisiert [3] und Studien über die Rekristallisierung von amorphen SiGe durchgeführt werden [4].

Das anschließende **Kapitel 6** umfasst die wichtigsten Ergebnisse der elektrischen Charakterisierung des weltweit ersten realisierten VFD SONFETs. Die Resultate werden mit den simulierten Werten verglichen.

Im **Kapitel 7** werden die Ergebnisse dieser Arbeit zusammengefasst und im **Kapitel 8** wird ein Ausblick über den weiteren Einsatz des VFD SONFETs und die in dieser Arbeit entwickelten Technologien gegeben. Insbesondere werden die Möglichkeiten für die in dieser Arbeit entwickelte SiGe-Opfertechnik bei anderen Bauelementen erläutert.

# Kapitel 2

## **Konventioneller MOSFET**

In diesem Kapitel wird der konventionelle MOSFET und wichtige Begriffe eingeführt, die für das Verständnis des in dieser Arbeit entwickelten VFD SONFETs notwendig sind. Der MOSFET bildet den Grundstein eines Computerprozessors und ist daher von zentraler Bedeutung für die Halbleiterindustrie. Zunächst wird seine Funktionsweise beschrieben. Anschließend wird auf die Skalierung dieses Bauelements eingegangen, durch die der Fortschritt in der Halbleiterindustrie mitgetragen wird. Diese Skalierung stößt allerdings zunehmend an Grenzen, welche ebenfalls in diesem Kapitel erläutert werden. Eine detailliertere Beschreibung dieser Aspekte kann in folgenden Quellen gefunden werden [5] und [6].

### 2.1 Funktionsprinzip des MOSFET

Zur besseren Übersicht wird in diesem Kapitel nur der n-Kanal MOSFET besprochen. Der schematische Aufbau dieses Transistors ist in Abbildung 2.1 dargestellt. Kernstücke des Transistors sind zum einen *pn-Übergänge* und zum anderen eine  $MOS^6$ -Kapazität. Bei einem Transistor werden zwei pn-Übergänge verwendet. Diese werden zu einer npn-Struktur kombiniert, dessen n-Gebiete als *Source* und *Drain* fungieren. Die npn-Struktur ist bei jeder angelegten Spannung zwischen Source und Drain stets in Sperrrichtung gepolt, wodurch der Stromfluss zwischen Source und Drain unterdrückt wird. Die genaue Funktionsweise eines pn-Übergangs kann in [5] nachgelesen werden. Die Höhe der *Potentialbarriere*  $V_{bi}$  eines pn-Übergangs kann nur von Elektronen im Leitungsband überwunden werden, wenn ihre thermische Energie größer als  $eV_{bi}$  ist<sup>7</sup> (siehe Abbildung 2.2). Die thermische Energieverteilung der Elektronen wird durch die *Fermiverteilung* f(W) beschrieben:

$$f(W) = \left(1 + e^{(W - W_F)/k_B T}\right)^{-1}.$$
(2.1)

W<sub>F</sub> Fermienergie

 $k_B$  Boltzmannkonstante (1.3807·10<sup>-23</sup> J K<sup>-1</sup>)

*T* absolute Temperatur

<sup>&</sup>lt;sup>6</sup>engl.: Metal Oxid Semiconductor

<sup>&</sup>lt;sup>7</sup>*e*: Elementarladung



**Abbildung 2.1: Schematische Darstellung eines lateralen n-Kanal MOSFETs** Die Sourcespannung *V*<sub>S</sub> wird gewöhnlich geerdet.



# Abbildung 2.2: Schematische Darstellung des Banddiagramms für einen n-Kanal MOSFET

Die Energien der Leitungsbandkante  $W_L$  und der Valenzbandkante  $W_V$  grenzen den Bereich  $W_{\text{Gap}}$  in einem idealen Halbleiter ab, indem keine besetzbaren Zustände für Ladungsträger vorhanden sind. Bei einer positiven Spannung  $V_{DS}$  am Drain werden die Bänder auf der Drainseite um  $eV_{DS}$  erniedrigt. Gilt für die angelegte Spannung am Gate  $V_{GS} < V_{th}$ , so kann nur der blaue Anteil an Elektronen die npn-Barriere überwinden. Dieser Anteil ergibt sich aus der Fermiverteilung f(W) und der Zustandsdichte. Der Transistor ist damit ausgeschaltet. Für  $V_{GS} > V_{th}$  ist der Kanal in Inversion und die Barriere des npn-Überganges senkt sich. Hierdurch kann zusätzlich der rote Anteil zum Strom beitragen. Der Transistor ist im angeschalteten Zustand. Die Fermienergie  $W_F$  definiert die maximale Energie bis zu der Zustände eines Elektronengases bei T = 0 noch besetzt sind. Bei dieser Temperatur entspricht die Fermienergie dem chemischen Potential  $\mu_{chem}$ , das bei Halbleitern den Ladungsschwerpunkt der Elektronen und Löcher angibt. Die Fermienergie ist unabhängig von Dotierungen und der Temperatur. Dennoch wird meistens bei dotierten Halbleitern die Verschiebung des chemischen Potentials mit der Verschiebung der Fermienergie identifiziert. Um die Konsistenz mit der Halbleiterliteratur zu wahren, wird daher auch in dieser Arbeit das chemische Potential mit der Fermienergie gleichgesetzt.

Die MOS-Kapazität fungiert als Schalter, um die Barriere zwischen Source und Drain zu erniedrigen. Da bei einer idealen Kapazität kein Strom fließt, kann der Transistor ohne Stromverlust gesteuert werden. Dies ist ein wesentlicher Vorteil gegenüber einem Bipolartransistor, weshalb in der Herstellung von Logik-Bauelementen hauptsächlich MOSFETs eingesetzt werden. Im Folgenden wird auf die MOS-Kapazität eingegangen und anschließend die elektrischen Kennlinien des Transistors sowie deren Merkmale wie den *Subthreshold Swing* und die *Einsatzspannung* besprochen.

#### **MOS-Kapazität**

 $\epsilon_0$ 

Eine MOS-Kapazität besteht aus einem Metall und einem p-Halbleiter, die durch ein Oxid voneinander getrennt sind. Das System bildet einen Plattenkondensator, dessen Kapazität  $C_{ox}$  pro Fläche wie folgt beschrieben werden kann:

$$C_{ox} = \frac{\epsilon_0 \epsilon_{ox}}{t_{ox}}.$$
 (2.2)

elektrische Feldkonstante  $(8.8542 \cdot 10^{-12} \text{ C V}^{-1} \text{ m}^{-1})$ 

 $\epsilon_{ox}$  Dielektrizitätszahl des Oxids (3.9)

 $t_{ox}$  Dicke des Oxids

Das Metall und der Halbleiter besitzen in der Regel verschiedene Austrittsarbeiten (siehe Abbildung 2.3). Die Differenz  $\phi_{MS}$  der Austrittsarbeit des Metalls  $\phi_M$  und des Halbleiters  $\phi_S$  führt beim Kontakt beider Materialien an das Oxid zu einem Potentialgefälle. Dieses wird durch freie Ladungsträger in den Materialien ausgeglichen, so dass das Ferminiveau im Gleichgewicht in allen drei Materialien gleich ist. Dies bringt eine Verbiegung der Bänder im Halbleiter mit sich. Die freie Ladungsträgerkonzentration im Metall beträgt etwa  $5 \cdot 10^{22}$  cm<sup>-3</sup> und kann, je nach Dotierung des Halbleiters, um mehr als 5 Größenordnungen höher als im Halbleiter sein. Eine Ladungsverschiebung die im Metall beispielsweise eine Verschiebung von 0.01 Monolagen hervorruft, bringt im Halbleiter, bei einer Dotierung von  $10^{15}$  cm<sup>-3</sup>, eine Verschiebung von 1000 Monolagen mit sich [7]. Hierdurch wird eine *Raumladungszone* (RLZ) mit einer Tiefe  $x_D$  an der Grenzschicht zum Oxid ausgebildet, so dass ein p-Halbleiter in diesem Bereich an *Majoritätsladungsträgern* (Löcher) verarmt.

Beim Anlegen einer positiven Spannung  $V_{GS}$  an das Metall (Gate) wird das *Ober-flächenpotential*  $\phi_{Su}$  an der Grenzfläche zwischen Oxid und Halbleiter erhöht:

$$V_{GS} = V_{\text{Oxid}} + \phi_{Su} + \phi_{MS} \,. \tag{2.3}$$

#### V<sub>Oxid</sub> Spannungsabfall über dem Gateoxid

Hierdurch werden mehr Löcher (rote Kreise in Abbildung 2.3b) im Silizium von der Grenzfläche zum Oxid weggedrückt und der Halbleiter verarmt zunehmend an Majoritätsladungsträgern. Dies vergrößert die Weite der Raumladungszone  $x_D$ . Diese kann für den Fall  $\phi_{Su} = 2\phi_F$  durch folgende Gleichung abgeschätzt werden [6]:

$$x_D = \sqrt{\frac{2\epsilon_o \cdot \epsilon_{ox}}{e \cdot N_A} \cdot \phi_F} \,. \tag{2.4}$$

- *N<sub>A</sub>* Akzeptordichte im Silizium
- $\phi_F$  Potenzialdifferenz zwischen intrinsischer Energie  $W_i$  und Fermienergie  $W_F$

Die ortsfesten Dotieratomrümpfe (blaue Rechtecke in Abbildung 2.3b) wirken mit ihrer negativen Ladung  $Q_D$ 

$$Q_D = -eN_A x_D \tag{2.5}$$

dem Oberflächenpotential entgegen. Gleichzeitig sammeln sich immer mehr *Minoritätsladungsträger* (Elektronen) an der Grenzfläche an und beginnen eine Inversionsschicht (blaue Kreise in Abbildung 2.3c) aufzubauen. Es werden folgende Fälle für die Grenzfläche im Silizium zum Oxid unterschieden:

$\phi_{Su}$	<	0	Akkumulation	der Majoritätsladungsträger
$\phi_{Su}$	<	$\phi_F$	Verarmung	beginnt mit Ausbildung der Raumladungszone;
$\phi_{Su}$	=	$\phi_F$		die Ladungsträgerkonzentration entspricht dem
				intrinsischen Fall von $n_i=10^{10}$ cm <sup>-3</sup> (siehe Abbil-
				dung 2.3b)
$\phi_{Su}$	>	$\phi_F$	Inversion	beginnt, da mehr Minoritätsladungsträger als Ma-
				joritätsladungsträger vorhanden sind
$\phi_{Su}$	=	$2\phi_F$	moderate Inversion	beginnt und die Elektronenkonzentration ent-
				spricht der Volumenkonzentration der Löcher im
				p-Substrat (siehe Abbildung 2.3c)
$\phi_{Su}$	=	$2\phi_F$	starke Inversion	beginnt
-		$+6k_BT$		-

In moderater Inversion kann somit das Kanalgebiet bei einem Transistor invertiert werden und die npn-Barriere wird abgebaut.

#### Einsatzspannung

Durch das Anlegen einer Spannung unterhalb bzw. oberhalb einer Einsatzspannung an das Gate, wird der Transistor aus- bzw. eingeschaltet. Als Definition für die *Einsatzspannung V*<sub>th</sub> für moderate Inversion gilt die Bedingung  $\phi_{Su}=2\phi_F$ . Die Einsatzspannung ist dann gegeben durch [7]:

$$V_{th} = V_{FB} + 2\phi_F - \frac{Q_D}{C_{ox}}.$$
 (2.6)



#### Abbildung 2.3: Schematische Darstellung des Bänderdiagramms für eine MOS-Kapazität

a) Ohne Kontakt sind die Bänder der jeweiligen Materialien nicht verbogen. b) Nach der Kontaktierung und dem Anlegen einer Gatespannung  $V_{GS} < V_{th}$  bildet sich eine Raumladungszone aus. Die Löcher (rote Kreise) werden von der Grenzfläche zum Oxid weggedrückt und die Dotierrümpfe (blaue Rechtecke) wirken dem veränderten Oberflächenpotential  $\phi_{Su}$  entgegen. c) Für  $\phi_{Su}=2\phi_F$  beginnt die moderate Inversion (blauer Kreis).

Bei der *Flachbandspannung*  $V_{FB}$  sind alle intrinsischen Spannungen und Ladungen kompensiert und die Bänder besitzen keine Verbiegung mehr:

$$V_{FB} = \phi_{MS} - \frac{Q_{ox} - Q_{it}}{C_{ox}} \,. \tag{2.7}$$

*Q*<sub>ox</sub> effektive Gesamtladungen des Oxids

*Q<sub>it</sub>* Ladungen an der Grenzfläche Si/SiO<sub>2</sub>

Mit Beginn der moderaten Inversion ändert sich das Oberflächenpotential kaum noch mit höheren Gatespannungen, da die Inversionsschicht ausreichend viele freie Ladungsträger besitzt, um das erhöhte elektrische Feld ausgleichen zu können. Hierdurch wird auch die Raumladungszone nur unwesentlich weiter vergrößert. Typische Breiten für eine Inversionsschicht liegen unterhalb von 2 nm. Fast die gesamte Gatespannung wird demnach in moderater Inversion über dem Oxid abgebaut, so dass die Inversionsladung  $Q_{inv}$  durch folgende Formel genähert werden kann:

$$Q_{\rm inv} = C_{ox}(V_{GS} - V_{th}).$$
 (2.8)

#### Elektrische Eigenschaften

Die in der moderaten Inversion durch die MOS-Kapazität induzierte Inversionsladung  $Q_{inv}$  bildet den Kanal zwischen dem Source- und dem Draingebiet. Beim Anlegen einer positiven<sup>8</sup> Drainspannung kann ein Teil der Inversionsladung über das Draingebiet abfließen. Für die modifizierte Inversionsladung Q(x) folgt mit den Randbedingungen  $Q(x = 0) = Q_D^9$  und  $Q(x = L) = Q_D - C_{ox} \cdot V_{DS}^{10}$ :

$$Q(x) = C_{ox}(V_{GS} - V_{th} - V(x)).$$
(2.9)

Aus dem Ohm'schen Gesetz

$$j = \sigma E = \frac{ne^2\tau_s}{m_e} \cdot \frac{dV}{dx} = Q \cdot \mu \frac{dV}{dx}$$
(2.10)

- $\sigma$  spezifischer Leitwert
- *E* elektrisches Feld
- *n* Ladungsdichte
- $\tau_s$  mittlere Zeit zwischen zwei Stößen von Ladungsträgern im Halbleiter
- *m<sub>e</sub>* Elektronenmasse
- μ Beweglichkeit der Ladungsträger

folgt die Stromdichte im Kanal  $j_D^{11}$ :

$$j_D = \frac{I_D}{W} = C_{ox} (V_{GS} - V_{th} - V(x)) \cdot \mu \frac{dV}{dx}.$$
 (2.11)

<sup>&</sup>lt;sup>8</sup>Beim konventionellen MOSFET muss die pn-Diode zwischen dem p<sup>-</sup>-Substrat und dem n<sup>+</sup>-Draingebiet in Sperrrichtung gepolt sein, um Leckströme durch das Substrat zu minimieren.

<sup>&</sup>lt;sup>9</sup>x=0: Übergang von Source zum Kanal

<sup>&</sup>lt;sup>10</sup>x=L: Übergang von Drain zum Kanal

<sup>&</sup>lt;sup>11</sup>Durch die sehr dünne Inversionsschicht bezieht sich  $j_D$  auf den Strom pro Kanalweite W

**Durch Integration** 

$$\int_{0}^{L} I_{D} dx = W \cdot \mu \cdot C_{ox} \cdot \int_{0}^{V_{DS}} (V_{GS} - V_{th} - V(x)) dV$$
 (2.12)

kann der *Drainstrom*  $I_D$  des Transistors im einfachen Drift-Modell berechnet werden:

$$I_D = \frac{W}{L} \cdot C_{ox} \cdot \mu \left( (V_{GS} - V_{th}) \cdot V_{DS} - \frac{V_{DS}^2}{2} \right).$$
(2.13)

Diese Beziehung gilt für Drainspannungen, die kleiner sind als  $V_{GS} - V_{th}$ . Erreicht die Drainspannung den Wert  $V_{sat} = V_{GS} - V_{th}$ , so ist die Inversionsladung bei x = L nach Gleichung (2.9) Null. Diesen Punkt bezeichnet man als *Pinch-off*. Der Drainstrom würde nach dem Drift-Modell entsprechend gestoppt werden. Dieser wird aber durch einen Diffusionsstrom, hervorgerufen durch einen Gradienten in der Elektronendichte im Kanal, aufrecht erhalten. Dieser Gradient ist für eine konstante Gatespannung unabhängig von der Drainspannung, so dass auch der Drainstrom in diesem Bereich unabhängig von der Drainspannung ist. Die Ausgangskennlinie des Transistors wird durch folgende Gleichungen bestimmt:

$$I_{D} = \frac{W}{L} \cdot \mu \cdot C_{ox} \cdot \begin{cases} (V_{GS} - V_{th}) \cdot V_{DS} & \text{für } V_{GS} - V_{th} \gg V_{DS} \\ (V_{GS} - V_{th}) \cdot V_{DS} - \frac{V_{DS}^{2}}{2} & \text{für } V_{GS} - V_{th} \ge V_{DS} \\ \frac{1}{2}(V_{GS} - V_{th})^{2} & \text{für } V_{GS} - V_{th} < V_{DS} . \end{cases}$$
(2.14)

Die sich hierdurch ergebenden *Eingangskennlinien*  $I_D(V_{GS}) \mid_{V_{DS}=\text{konst.}}$  und *Aus*gangskennlinien  $I_D(V_{DS}) \mid_{V_{GS}=\text{konst.}}$  sind in Abbildung 2.4a und 2.4b dargestellt.

#### Subthreshold Swing

In der Eingangskennlinie bezeichnet man den Bereich unterhalb der Einsatzspannung als *Unterschwellwertbereich*. Der Drainstrom nimmt hier exponentiell mit der Gatespannung ab. Dieser Bereich kann durch den Subthreshold Swing *S* charakterisiert werden (siehe Abbildung 2.4a). Dieser ist definiert durch:

$$S = \left(\frac{\partial \log I_D}{\partial V_{GS}}\right)^{-1} |_{V_D = \text{const}} = \ln(10) \frac{k_B T}{e} \cdot \left(1 + \frac{C_{\text{RLZ}}}{C_{ox}}\right).$$
(2.15)

C<sub>RLZ</sub> Kapazität der Raumladungszone pro Fläche

und wird in Millivolt pro Dekade angegeben. Er ist ein Maß dafür, wie schnell der Transistor eingeschaltet werden kann. Das physikalische Minimum des Subthreshold Swings für Silizium bei Raumtemperatur ist durch die Bedingung  $C_{RLZ} \ll C_{ox}$  gegeben und beträgt 60 mV/Dek.

### 2.2 Skalierung

"Wenn alle 3 Jahre die Anzahl der Transistoren auf einem Chip um einen Faktor 4 gesteigert werden kann und der Verkaufspreis nur um einen Faktor 2 erhöht wird, verdienen die Halbleiterhersteller jedes Jahr 30 % mehr." <sup>12</sup>

Diese Interpretation von Hansch für das aus dem Jahre 1975 stammende Moore'sche Gesetz [8] beschreibt sehr gut die Triebfeder für die Entwicklungen in der Halbleiterindustrie über die letzten drei Jahrzehnte. Um den Gewinn für die Halbleiterindustrie stetig zu steigern, müssen die Dimensionen der Transistoren stetig verkleinert werden. Hierdurch können mehr Transistoren auf gleicher Fläche realisiert werden. Bedingung für die Verkleinerung der Transistoren ist, dass sie ihre elektrischen Eigenschaften beibehalten und somit leicht in das Konzept neuer CMOS Technologiegenerationen integriert werden können. Durch die Verkleinerung um einen Skalierungsfaktor  $\alpha$ , werden die geometrischen Größen des Transistors verkleinert. Dieser Skalierungsfaktor beträgt laut der ITRS Roadmap <sup>13</sup>  $\sqrt{2}$ . Da sowohl die Kanallänge L als auch die Kanalweite W gleich skaliert werden, bleibt hierdurch der Drainstrom  $I_D$  nach Gleichung (2.14) konstant. Allerdings wird durch eine kleinere Kanallänge das elektrische Feld zwischen Source und Drain erhöht. Ab einer kritischen Feldstärke von etwa  $2 \cdot 10^4$  V/cm treten heiße Elektronen auf. Diese wurden durch das elektrische Feld so stark entlang dem Kanal beschleunigt, dass sie genügend Energie besitzen, um Si-O-Bindungen an der Grenzfläche zwischen Kanal und Oxid aufzubrechen und zu einer Degradation des Gateoxids führen zu können. Bei einer noch höheren Feldstärke von etwa  $2 \cdot 10^5$  V/cm besitzen die beschleunigten Elektronen soviel Energie, um weitere Elektronen aus dem Valenzband in das Leitungsband zu heben. Hierdurch entsteht ein Lawinendurch*bruch* (SCBE)<sup>14</sup>, der den Drainstrom exponentiell erhöht.

Um diesen Effekten entgegen zu wirken, wird die *Versorgungsspannung*  $V_{DD}$  ebenfalls skaliert. Hierdurch muss auch die Einsatzspannung  $V_{th}$  skaliert werden. Dies kann nach den Gleichungen (2.3) und (2.6) durch eine Reduzierung der Oxiddicke  $t_{ox}$  erfolgen. Nach Gleichung (2.2) wird dadurch die MOS-Kapazität  $C_{ox}$  pro Fläche des Transistors vergrößert. Die Laufzeit  $\tau_T$  eines Transistors

$$\tau_T = \frac{L \cdot W \cdot C_{ox}}{g_m} = \frac{L^2}{\mu} \cdot \left(\frac{\partial I_D}{\partial V_{GS}}\right)^{-1}$$
(2.16)

 $g_m = \partial I_D / \partial V_{GS} \mid_{V_{DS} = \text{konst.}}$  Steilheit des Transistors

wird durch kleinere Kanallängen erniedrigt, so dass die Transistoren mit einer höheren Frequenz betrieben werden können. Das elektrische Feld  $E_{ox}$  zwischen Gate und Kanal bleibt dabei konstant

$$E_{ox} = \frac{V_{DD}}{t_{ox}} = \text{konst.}$$
 (2.17)

Außerdem führt laut Gleichung (2.14) die Skalierung von  $C_{ox}$  zu einer Erhöhung des Drainstroms  $I_D$  und damit zu einer Verbesserung des Transistorverhaltens.

<sup>&</sup>lt;sup>12</sup>http://www.lte.ei.tum.de/ hansch/hpt/hpt\_ tum.html

<sup>&</sup>lt;sup>13</sup>http://www.itrs.net

<sup>&</sup>lt;sup>14</sup>engl.: Substrate Current Induced Body Effect

Parameter		Skalierungsfaktor
laterale Dimensionen	L,W	$\alpha^{-1}$
Oxiddicke	tox	$\alpha^{-1}$
Tiefe von Drain und Source	$x_j$	$\alpha^{-1}$
Versorgungsspannung	$V_{DD}$	$\alpha^{-1}$
Kanaldotierung	$N_A$	α
Transistorfläche	$A_T$	$\alpha^{-2}$
Gatekapazität	С	α
Gatekapazität pro Fläche	$C_{ox}$	$\alpha^{-1}$
Transistor Laufzeit	$ au_T$	$\alpha^{-1}$

Tabelle 2.1: Regeln für die Skalierung von Langkanaltransistoren um den Faktor  $\alpha$  [9]

Für Langkanaltransistoren ohne Berücksichtigung von quantenmechanischen Effekten gelten die Skalierungsregeln in Tabelle 2.1.

## 2.3 Grenzen der Entwicklung

In der Halbleiterindustrie werden Transistoren verwendet, um die binären Zustände *ein* (1) und *aus* (0) darzustellen. Diese Zustände werden durch die Ströme  $I_{on}$ (ein) und  $I_{off}$  (aus) in der Eingangskennlinie eines Transistors abgebildet. Dabei ist die Unterscheidbarkeit beider Zustände, sowie ein abrupter Übergang zwischen ihnen von großer Bedeutung für die Funktionalität des Transistors. Der Transistor sollte daher ein großes Verhältnis der Ströme  $I_{on}/I_{off}$  und einen möglichst kleinen Subthreshold Swing *S* besitzen. Der Schaltpunkt zwischen beiden Zuständen ist durch die Einsatzspannung  $V_{th}$  bestimmt. Zudem sollte der Arbeitspunkt für den Transistor über einen größeren Bereich der Versorgungsspannung  $V_{DD}$  stabil sein. Daher muss die Ausgangskennlinie ein gutes Sättigungsverhalten für Spannungen  $V_{DS}>V_{sat}$  aufweisen.

Unterhalb einer Kanallänge von etwa 250 nm werden *Kurzkanaleffekte* relevant, die die Funktionalität des Transistors stark beeinflussen. Hierzu zählen u.a. der *Rolloff*, die *Kanallängenmodulation*, der *Felddurchgriff* und die *Barrierendegradation*. Ein weiterer störender Effekt bei kurzen Kanallängen ergibt sich durch die *Dotierstoffschwankung im Kanal*. Die Auswirkungen dieser Effekte auf die Eingangs- und Ausgangskennlinie eines Transistors sind in Abbildung 2.4 verdeutlicht. Diese Effekte führen zu einer Erniedrigung des Verhältnisses für  $I_{on}/I_{off}$ , zu einer Erhöhung des Subthreshold Swings und zu einem verschlechterten Sättigungsverhalten der Ausgangskennlinie. Hierdurch können die Transistorkennlinien nicht mehr optimal an die logischen Zustände angepasst werden.

Die Ursache für die meisten Kurzkanaleffekte ist die Ausbildung einer Raumladungszone zwischen dem n-dotierten Draingebiet und dem p-dotierten Kanalgebiet [5]. Die Weite der Raumladungszone im jeweiligen Gebiet hängt von der angelegten Spannung und dem Verhältnis der Dotierungen in den Halbleitern ab.



(a) Eingangskennlinie eines Langkanaltransistors



(c) Eingangskennlinie eines Kurzkanaltransistors



(b) Ausgangskennlinie eines Langkanaltransistors



(d) Ausgangskennlinie eines Kurzkanaltransistors

#### Abbildung 2.4: Schematische Darstellung der Charakteristika für einen Langkanalund einen Kurzkanaltransistor [10]

Durch die Kurzkanaleffekte werden die elektrischen Eigenschaften der Transistoren für die Verwendung in Logik-Bausteinen ungünstiger.

Üblicherweise ist die Dotierung des Kanalgebiets im Vergleich zu den Anschlüssen (Drain und Source) wesentlich geringer, so dass die Weite der Raumladungszone  $x_{pn}$  im Kanal durch folgende Gleichung beschrieben wird [5]:

$$x_{pn} = \sqrt{\frac{2\epsilon_0 \epsilon_{Si} (V_{bi} + V_{DS})}{e \cdot N_{A,K}}}.$$
(2.18)

*N<sub>A,K</sub>* Akzeptordichte des Kanalgebiets

Im Folgenden werden zunächst die Kurzkanaleffekte näher erläutert. Anschließend wird auf das Problem der Dotierstoffschwankungen im Kanal bei sehr kleinen Dimensionen eingegangen, und die Lösungsansätze der Halbleiterindustrie zur Vermeidung von Kurzkanaleffekten werden kurz besprochen.



Abbildung 2.5: Schematische Darstellung eines Lang- und Kurzkanaltransistors

### 2.3.1 Roll-off (SCE)

Die Skalierung der Transistoren führt zu einer Veränderung der geometrischen Verhältnisse im Transistor. Während die Kanallänge stetig abnimmt, ist die Weite der Raumladungszone zwischen Drain und dem Kanal bzw. Source und dem Kanal bei unveränderten Dotierungen konstant. Hierdurch wird das Verhältnis zwischen der Kanallänge und der Weite dieser Raumladungszone immer kleiner (siehe Abbildung 2.5). Es ergibt sich eine *effektive Kanallänge*  $L_{eff}$ , die vereinfacht durch die geometrische Trapezformel beschrieben werden kann:

$$L_{\rm eff} = \frac{L + L_{\rm min}}{2} \,. \tag{2.19}$$

*L*<sub>min</sub> minimale Kanallänge (siehe Abbildung 2.5a)

Die entsprechende effektive Depletionsladung  $Q_D^{\text{eff}}$  im Kanal ergibt sich aus [7]:

$$Q_D^{\text{eff}} = Q_D \cdot L_{\text{eff}} = Q_D \cdot \left(1 - \left(\sqrt{1 + \frac{2x_D}{x_j}} - 1\right)\frac{x_j}{L}\right).$$
(2.20)

 $x_i$  Tiefe der Anschlussgebiete (siehe Abbildung 2.5)

Durch die Abnahme der Depletionsladungen in der Raumladungszone (von  $Q_D$  auf  $Q_D^{\text{eff}}$ ) nimmt nach der Gleichung (2.6) die Einsatzspannung ab, da gilt  $Q_D^{\text{eff}}$ <0. Diese Abnahme wird mit kleinerer Kanallänge größer. Dies verschiebt die Eingangskennlinie hin zu geringeren Spannungen je kleiner die Kanallänge ist (siehe Abbildung 2.4c). Dieser geometrische Effekt wird als Roll-off oder auch SCE<sup>15</sup> bezeichnet.

### 2.3.2 Kanallängenmodulation (CLM)

Die Kanallängenmodulation (CLM)<sup>16</sup> beruht ebenso wie der Roll-off auf einem geometrischen Effekt. Beim Anlegen einer Spannung  $V_{DS}$ > $V_{sat}$  an das Draingebiet,

<sup>&</sup>lt;sup>15</sup>engl.: Short Channel Effect

<sup>&</sup>lt;sup>16</sup>engl.: Channel Length Modulation



Abbildung 2.6: Schematische Darstellung der Ausgangskennlinie für einen Kurzkanaltransistor [10]

Durch die Kanallängenmodulation sättigt die Ausgangskennlinie nicht für  $V_{DS}$ > $V_{sat}$ , sondern steigt linear mit  $V_{DS}$ . Der Schnittpunkt dieser Geraden mit der Abszisse wird Early-Spannung genannt.

breitet sich die drainseitige Raumladungszone in das Kanalgebiet weiter aus (siehe 2.1). Der Pinch-off Punkt wird dadurch in Richtung Source verschoben. Die Ladungen in der drainseitigen Raumladungszone können sich unbeeinflusst vom Gate bewegen. Hierdurch nimmt der Einfluss des Gates auf die Ladungen im Kanal ab und die effektive Kanallänge wird reduziert. Wird die Spannung  $V_{DS}$  weiter erhöht, so nimmt die effektive Kanallänge ab. Hierdurch folgt, dass  $I_D$  mit  $V_{DS}$  steigt (siehe Abbildung 2.6 und 2.4d). Der Schnittpunkt dieser Geraden mit der Abszisse wird in Anlehnung an die Bipolartransistoren als *Early-Spannung*  $V_{Early}$  bezeichnet. Je größer die Kanallängenmodulation ist, desto kleiner wird der Wert für die Early-Spannung sein. Die Eingangskennlinie kann empirisch durch folgende Gleichung beschrieben werden [7]:

$$I_D = k \frac{W_{\text{eff}}}{L_{\text{eff}}} \frac{(V_{GS} - V_{th})^2}{2} \left( 1 + \frac{V_{DS}}{V_{\text{Early}}} \right) \,. \tag{2.21}$$

k Fitparameter

### 2.3.3 Felddurchgriff (PT)

Ein weiterer Effekt der Verkleinerung der Kanallänge ist der Felddurchgriff ( $PT^{17}$ ). Beim Anlegen einer Spannung an Drain, expandiert die entsprechende Raumladungszone weiter in das Kanalgebiet. Bei einer kritischen Spannung  $V_P$  ist die Expansion so weit vorangeschritten, dass die drainseitige die sourceseitige Raumladungszone berührt. Ab diesem Punkt (*Punch Through*) ist das Kanalgebiet bis tief in den Bulk vollständig an Ladungsträgern verarmt. Bei einer weiteren Erhöhung der Drainspannung kann sich die Raumladungszonenweite im Substrat nicht mehr verändern. Dies führt zu einer Reduktion der Barrierenhöhe der npn-Struktur (siehe 2.1) im Substrat und es fließt ein Strom  $I_P$  durch das Substrat. Hierdurch wird die Kontrolle des Gates über den Strom stark vermindert. Die Durchbruchsspannung  $V_P$  für einen n-Kanal MOSFET kann wie folgt berechnet werden [10]:

<sup>&</sup>lt;sup>17</sup>engl.: Punch Through



Abbildung 2.7: Schematische Darstellung des Bänderdiagramms zur Verdeutlichung des DIBLs [10]

Durch die Erhöhung der Drainspannung  $V_{DS}$  wird die drainseitige Raumladungszone in den Kanal ausgeweitet und, bei einem Kurzkanaltransistor, die gesamte Barrierenhöhe erniedrigt.

$$V_P = \left(\frac{L}{2}\sqrt{\frac{2\epsilon_0\epsilon_{Si}(N_{A,K}+N_D)}{eN_{A,K}N_D}} - \sqrt{V_{bi}}\right)^2 - V_{bi}.$$
(2.22)

N<sub>D</sub> Donatordichte des Draingebiets

#### 2.3.4 Barrierendegradation (DIBL)

Die Barrierendegradation (DIBL)<sup>18</sup> entspricht physikalisch einem Felddurchgriff direkt im Kanal. Dieser Effekt wird relevant, wenn die Kanallänge nur geringfügig größer ist als die Summe der drain- und sourceseitigen Raumladungszone ohne angelegte Spannung. Durch das Anlegen einer Drainspannung wird das Leitungsband auf der Drainseite herabgesenkt und die Raumladungszone weitet sich in das Kanalgebiet aus. Als Folge wird die Barrierenhöhe des Kanals auf Seiten der Drain erniedrigt (siehe Abbildung 2.7). Bei großen Kanallängen spielt diese Erniedrigung keine Rolle, da sich die Barriere über eine große Distanz erstreckt. Bei kleinen Kanallängen jedoch wird die Gesamthöhe der Barriere niedriger. Hierdurch steigt der Drainstrom  $I_D$  durch den Kanal. Um diesen Stromanstieg zu kompensieren, muss die Barriere durch eine zusätzliche Gatespannung erhöht werden. Dies entspricht einer Verschiebung der Einsatzspannung zu kleineren Werten hin (siehe Abbildung 2.4c). Der DIBL kann durch folgende Gleichung aus der Eingangskennlinie bestimmt werden:

$$\text{DIBL} = \frac{V_{th}(V_x) - V_{th}(V_0)}{V_x - V_0}.$$
(2.23)

- $V_x$  vergleichende Betriebsspannung
- V<sub>0</sub> Referenzspannung

<sup>&</sup>lt;sup>18</sup>engl.: Drain Induced Barrier Lowering



#### Abbildung 2.8: Schemtischer Aufbau eines Transistors

Um die Kurzkanaleffekte auszugleichen werden Implantationen zur Bildung von LDDs, Halos, Anti-Punch Bereich und einer VTC-Implantation durchgeführt.

### 2.3.5 Unterdrückung der Kurzkanaleffekte

Die in den vorangegangenen Kapiteln besprochenen Kurzkanaleffekte können teilweise durch technologische Innovationen vermindert werden. Diese Verbesserungen gegenüber dem klassischen Transistorkonzept werden in diesem Kapitel kurz erläutert.

Durch den Roll-off sinkt die Einsatzspannung mit abnehmender Kanallänge (siehe Abbildung 2.4). Um diesem Effekt entgegen zu wirken, wird das Kanalgebiet implantiert. Diese *VTC-Implantation* verändert das Ferminiveau des Kanalgebiets und somit auch die Austrittarbeitsdifferenz zwischen dem Gate und dem Kanal. Nach Gleichung (2.6) kann hierdurch die Einsatzspannung angepasst werden. Je höher allerdings die Kanaldotierung wird, desto höhere elektrische Felder bilden sich zwischen den Anschlüssen (Source und Drain) und dem Kanal aus. Dies führt zu einem frühzeitigen Einsetzen des Lawinendurchbruchs. Um dies zu kompensieren, wurde in den 80er Jahren begonnen, einen Spannungsteiler zwischen den Anschlüssen und dem Kanal zu integrieren. Diese implantierten *LDD-Gebiete*<sup>19</sup> verringern durch ihre niedrigere Dotierung im Vergleich zu den Anschlüssen die hohen elektrischen Felder (siehe Abbildung 2.8). Dabei darf die Dotierung der LDDs nicht zu niedrig gewählt werden, damit wiederum keine hohen elektrischen Felder zwischen LDD und den Anschlüssen zu einem Lawinendurchbruch führen.

Eine weitere technologische Erneuerung ist die Einbindung einer hochdotierten, implantierten *Anti-Punch*-Region, die unterhalb der Anschlüsse im Siliziumsubstrat realisiert wird (siehe Abbildung 2.8). Zur Kompensation des elektrischen Feldes im Kanal, welches durch die Elektronen des n<sup>+</sup>-Draingebiets hervorgerufen wird, stehen nun auch die Löcher aus der Anti-Punch-Region zur Verfügung. Es werden demnach weniger Löcher aus dem niedrigdotierten Kanalgebiet benötigt, so dass die Ausweitung der drainseitigen Raumladungszone in das Kanalgebiet kleiner

<sup>&</sup>lt;sup>19</sup>Lightly-Doped Drain

wird. Dies wirkt dem Felddurchgriff entgegen. Allerdings reicht die Anti-Punch Implantation aus technologischen Gründen auch unterhalb der Source- und Draingebiete. Dies führt zu einer zusätzlichen Überlappkapazität, welche die Schaltgeschwindigkeit des Transistors herabsenkt.

Um der Kanallängenmodulation und der Barrierendegradation entgegenzuwirken, muss einerseits die Ausbreitung der drainseitigen Raumladungszone in den Kanal vermindert werden, und andererseits der Barierrenhub zwischen Drain und dem Kanal erhöht werden. Dies wird durch die hochdotierten *Halos* zwischen den Anschlüssen und dem Kanal erreicht. Hierdurch kann außerdem die Einstellung der Einsatzspannung durch die VTC-Implantation unabhängig vom Barrierenhub geregelt werden. Je kleiner allerdings die Kanallängen werden, desto schwieriger sind die Kurzkanaleffekte zu unterdrücken. Daher werden gerade für Kanallängen kleiner als 100 nm neue Wege gesucht, um diese Effekte zu vermindern. Ein gängiger Weg hierfür ist, die Tiefe der Anschlüsse  $x_j$  im Substrat möglichst flach zu halten. Nach Gleichung (2.20) kann hierdurch beispielsweise der Roll-off reduziert werden.

### 2.3.6 Dotierstoffschwankungen im Kanal

Durch die im vorherigen Kapitel beschriebenen komplexen Implantationen zur Unterdrückung von Kurzkanaleffekten können bisherige Layout- und Schaltungskonzepte weiter verwendet werden. Das Erstellen von hochkomplexen Dotierstoffprofilen wird jedoch bei kleineren Dimensionen immer schwieriger, da auch die Diffusion der Dotierstoffe bei hohen Temperaturen mit berücksichtigt werden muss (siehe 5.2.2).

Ein weiteres Problem der Implantationen ergibt sich für die Einstellung der Einsatzspannung mittels der VTC-Implantation (siehe 2.3.5). Durch die immer kleiner werdenden Dimensionen des Kanalgebiets, sinkt auch die Anzahl an Dotierstoffatomen im Kanalgebiet. Bereits bei Kanaldimension von L = 50 nm, W = 100 nm mit einer homogenen Substratdotierung von  $10^{18}$  cm<sup>-3</sup> und einer Tiefe von  $x_j = 25$  nm für die Anschlussgebiete sind nur noch 125 Dotierstoffatome im Kanalgebiet vorhanden [10].

Die Anzahl und exakte Position der Dotierstoffatome im Kanal ist, durch die Implantation bedingt, statistischen Schwankungen ausgesetzt. In Abbildung 2.9 ist die Auswirkung der statistischen Verteilung auf die Einsatzspannung für eine Kanallänge von 50 nm gezeigt. Die Schwankungen der Dotierstoffatome führen zu unverhältnismäßig hohen Einsatzspannungsverschiebungen. Diese sind für integrierte Schaltungen sehr schwer zu kompensieren.



# Abbildung 2.9: Darstellung eines eingeschalteten MOSFETs mit einer Gate-Fläche von (50 x 50) $nm^2$

Die Positionen der Dotierstoffatome variieren durch statistische Schwankungen. Dies führt zu unterschiedlich hohen Einsatzspannungen  $V_{th}$ . Die gezeigten Simulationen stammen von der *Device Modelling Group* um *A. Asenov* der University of Glasgow, UK (http://www.elec.gla.ac.uk/groups/dev\_mod).

# Kapitel 3 VFD SONFET

Im vorherigen Kapitel wurden der konventionelle MOSFET und die Grenzen seiner Einsetzbarkeit für zukünftige Technologiegenerationen besprochen. Neuartige Architekturen wie *Multi-Gate FiNFET* und *Double Gate MOSFET* sind laut der internationalen Roadmap (ITRS)<sup>20</sup> aus dem Jahr 2007 Kandidaten für die Fortsetzung der Skalierung der Bauelemente. Einer der Hauptvorteile dieser Bauelemente ist die Reduzierung der Kurzkanaleffekte.

Ein weiterer, bewährter Ansatz, um die störenden Einflüsse des Drains auf die Eigenschaften der Kennlinien eines Transistors zu unterdrücken, ist die Dämpfung der elektrischen Feldlinien, die von Drain zur Source gehen. Durch die Verwendung eines SOI-Substrats durchlaufen die Feldlinien teilweise die BOX-Region<sup>21</sup>, die eine niedrigere Dielektrizitätszahl ( $\epsilon_{ox}$ =3.9) als Silizium ( $\epsilon_{Si}$ =11.9) besitzt. Dadurch werden die Feldlinien stärker als im Silizium gedämpft, der Einfluss des Drains auf den Strom  $I_D$  wird vermindert und die Gatesteuerung erhöht. Je kleiner die Dielektrizitätszahl ist, desto größer ist die Dämpfung. Die kleinste Dielektrizitätszahl kann durch Luft mit beinahe 1 erreicht werden. Dies führt zur Silicon-On-Nothing-Struktur, bei der das Kanalgebiet, bis auf das Gatedielektrikum und die Anschlüsse, nur von Luft umgeben ist. Das aus dem Jahr 2000 von Jurczak und Skotnicki entwickelte Konzept für einen lateralen SONFET, wurde durch Monfray und Skotnicki im Jahre 2001 das erste Mal realisiert [2]. Im Jahr 2002 gelang es ihnen, den DIBL im Vergleich zu einem baugleichen, konventionellen MOSFET um mehr als 50% zu reduzieren [11]. Ihr SONFET mit einer Kanallänge von 38 nm, einer Kanaldicke von 9 nm und einer Gateoxiddicke von 2 nm erzielte ein Ion von 360  $\mu$ A/ $\mu$ m bei einer Drainspannung von -1.4 V und einem  $I_{off}$  von 100 nA. Der DIBL betrug nur 60 mV/V [11]. Dieser erfolgreiche Prototyp war Ausgangspunkt für eine Reihe von weiteren Entwicklungen für die SON-Struktur. So wurden Doppelgatestrukturen [12] und Gate All Around-Strukturen [13, 14] für eine verbesserte Gatekontrolle entwickelt und CoSi<sub>2</sub>-Metallgates und Silizide für niedrige Kontaktwiderstände untersucht [15]. Auch konnten Einzelelektroneneffekte auf Grund einer Coulomb-Blockade beobachtet werden [16].

Bei dem lateralen SONFET wird die Kanallänge, wie bei den konventionellen MOS-FETs, durch Lithographie bestimmt. Bei Kanallängen im Bereich von unter 30 nm

<sup>&</sup>lt;sup>20</sup>http://www.itrs.net/Links/2007ITRS/2007\_Chapters/2007\_PIDS.pdf

<sup>&</sup>lt;sup>21</sup>engl.: Buried Oxide; Oxidschicht zwischen Substrat und der aktiven Siliziumschicht bei SOI-Substraten

sind die Kosten für die Lithographie sehr hoch. Dies macht das Konzept für Anwendungen an Universitäten unattraktiv. Im Jahr 2003 wurde daher von Eisele und Schulze das Konzept für den vertikalen fully-depleted Silicon-On-Nothing MOSFET (VFD SONFET) entwickelt. Erste Studien zur Realisierung wurden von Thompson durchgeführt [17]. Das Konzept beruht, wie der laterale SONFET, auf dem Einsatz einer SiGe-Opferschicht. Bei dem VFD SONFET dient allerdings die Schichtdicke zur Einstellung der Kanallänge. Die SiGe-Opferschicht wird durch die chemischen *Gasphasenabscheidung* (CVD<sup>22</sup>) (Kapitel 5.3.1) abgeschieden. Hierdurch können sehr dünne Schichten im Bereich von 20 nm sehr genau, reproduzierbar und kostengünstig hergestellt werden. Dieses Bauelement ist daher geeignet, im Bereich von Universitäten MOSFETs mit Kanallängen im Bereich von 20 nm zu produzieren und zu charakterisieren. Bei diesen kleinen Dimensionen wird erwartet, ballistischen Transport beobachten zu können, da die mittlere freie Weglänge der Elektronen im Silizium bei Raumtemperatur etwa 10 nm beträgt. Der VFD SONFET könnte daher als Untersuchungsobjekt dienen, um diese Transportart zu studieren. Ein weiterer Vorteil des VFD SONFETs ist die zu erwartende Strahlenhärte, da das Kanalgebiet vollständig vom Substrat getrennt ist und ein sehr kleines Volumen besitzt. Durch Strahlung generierte Ladungswolken im Substrat bewirken somit nicht, wie bei konventionellen MOSFETs, hohe Spannungsspitzen am GOX, die zu einem Durchbruch führen können. Dies macht dieses Konzept auch attraktiv für den Einsatz in Röntgendetektoren. Das Konzept des VFD SONFETs, sowie dessen Simulationen und Prozessabläufe werden in diesem Kapitel vorgestellt.

### 3.1 VFD SONFET Konzept

Der schematische Aufbau des VFD SONFET ist in Abbildung 3.1 zu sehen. Das vertikale Konzept profitiert von der einfachen und preiswerten Variante der Schichtabscheidung, um Kanallängen im sub-20 nm Bereich zu erzeugen. Allerdings müssen hierdurch hohe *Überlappkapazitäten* zwischen dem Gate und Source  $C_{OvS}$  bzw. Drain  $C_{OvD}$  (siehe Abbildung 3.2) in Kauf genommen werden, die Anwendungen in der Hochfrequenz mit diesem Aufbau ausschließen. Trotzdem können durch das vertikale Prinzip Bauelemente produziert werden, um die physikalischen Eigenschaften zu studieren.

Durch die Entfernung der SiGe-Opferschicht entsteht ein Spalt zwischen Source und Drain. Für die eigentliche SON-Struktur sollte dieser Spalt frei bleiben. Dennoch wird in der Regel dieser Spalt mit einem Dielektrikum gefüllt, um einerseits eine definierte Grenzfläche zum Kanal zu erhalten und andererseits die mechanische Stabilität zu erhöhen. Im Gegensatz zu SOI-Substraten kann hier allerdings das Dielektrikum frei gewählt werden. Hierdurch kann die Kapazität des Spalts  $C_{BOX}$  bestimmt werden, welche einen Einfluss auf die elektrischen Eigenschaften besitzt. Die wichtigsten Kapazitäten im Unterschwellwertbereich für die VFD SONFET-Struktur sind in Abbildung 3.2 aufgezeigt. In dieser Abbildung wurde bereits die Diffusion der Dotierstoffe von Source und Drain in die intrinsische Siliziumschicht durch die Temperatur der thermischen Oxidationen berücksichtigt. Hierdurch wird ein Teil des eigentlichen Kanalgebiets mitdotiert (Kapitel 5.8). Die

<sup>&</sup>lt;sup>22</sup>engl.: Chemical Vapor Deposition


#### Abbildung 3.1: Schematische Darstellung des VFD SONFETs

Die Kanallänge *L* wird durch die Dicke der SiGe-Opferschicht, und die Kanaldicke  $t_{Si}$  durch die Wachstumszeit des CVD Prozesses bestimmt. Die Sourcebreite  $t_{BOX}$  bestimmt die Ätzzeit für das Herauslösen der SiGe-Opferschicht. Die Dicke der Sourceschicht  $t_S$  und des Dielektrikums  $t_{ox}$  sind wichtige Parameter für das Verhalten des VFD SONFETs.

Länge dieser Diffusion in das Kanalgebiet wird durch  $d_{BOX}$  beschrieben. Die Abbildung zeigt auch ein Ersatzschaltbild für den Bereich der Verarmung (Depletion). Die Depletionsladungen im Kanalgebiet  $Q_{Si,d}$  liegen zur Hälfte an der Kapazität am Gate und zur Hälfte an der Kapazität der BOX-Region<sup>23</sup> an [18]. Das Oberflächenpotential im Kanal zum GOX bzw. BOX wird durch  $\phi_{s1}$  bzw.  $\phi_{s2}$  beschrieben. Das Sourcegebiet ist auf Masse gelegt, während am Gate die Gatespannung  $V_{GS}$ und am Drain die Drainspannung  $V_{DS}$  angelegt sind.

Für die Kapazität pro Weite des verarmten Kanalgebiets  $C_{Si,d}$ , des Gateoxids  $C_{ox,w}$  und des Dielektrikums im Spalt  $C_{BOX}$  gilt [19]:

$$C_{ox,w} = \frac{\epsilon_0 \epsilon_{SiO_2}}{t_{ox}} \cdot L_{\text{eff}}$$
(3.1)

$$C_{BOX} = \frac{2\epsilon_0 \epsilon_{BOX}}{\pi} \cdot \ln\left(1 + \frac{L_{\text{eff}}}{2d_{BOX}}\right)$$
(3.2)

$$C_{Si,d} = \frac{\epsilon_0 \epsilon_{SiO_2}}{t_{Si}} \cdot L_{\text{eff}} \,. \tag{3.3}$$

 $\epsilon_{BOX}$  Dielektrizitätskonstante der BOX-Region

Für  $C_{BOX}$  wird die Annahme gemacht, dass sich das Potential in der BOX-Region für niedrige Drainspannungen  $V_{DS}$  horizontal symmetrisch um den Mittelpunkt des Kanals verhält. Somit haben Source und Drain den gleichen Einfluss auf die BOX-Region. Daher kann diese mit zwei identischen Kapazitäten  $C_{BOX}$  beschrieben werden.

<sup>&</sup>lt;sup>23</sup>Für den VFD SONFET bezeichnet die BOX-Region das Dielektrikum im freigeätzten Spalt zwischen Source und Drain.



Abbildung 3.2: Schematische Darstellung für die wichtigsten Kapazitäten des VFD SONFETs im Unterschwellwertbereich

# 3.2 FD Kanalgebiet

Ein weiterer Aspekt zur Erhöhung der Gatesteuerung ist die Verwendung eines vollständig verarmten (FD)<sup>24</sup> Kanalgebiets. Diese sehr dünnen Siliziumschichten im Nanometerbereich (*ultrathin body*, UTB) sind vollständig verarmt und besitzen nur eine sehr geringe Querschnittsfläche, durch welche die elektrischen Feldlinien von Drain nach Source dringen können. Dies vermindert wiederum den Einfluss des Draingebiets auf die elektrische Steuerung des Transistors, so dass eine bessere Gatesteuerung möglich ist [10].

Bei der konventionellen UTB SOI MOS Technologie besitzen die Source und Drain Zuleitungen zum Kanalgebiet dieselbe Dicke wie der Kanal selbst. Hierdurch ergeben sich sehr hohe Zuleitungswiderstände, die den Strom reduzieren [20]. Um diese zu verringern, wurden *elevated*<sup>25</sup> Source- und Draingebiete eingeführt, die aber eine erhöhte Überlappkapazität zum Gate (Miller-Effekt) mit sich bringen. Eine Weiterentwicklung dieses Konzepts ist das *recessed*<sup>26</sup> Konzept bei dem die Source- und Draingebiete nachträglich in die BOX-Region eingelassen werden [21,22]. So kann sowohl der Zuleitungswiderstand als auch die Überlappkapazität zum Gate reduziert werden. Die Anordnung der Source-, Kanal- und Draingebiete des VFD SONFETs entsprechen genau dem um 90° rotierten recessed Konzept.

In Inversion besteht ein FD Kanalgebiet nur aus einer Inversionsschicht und der anschließenden Raumladungszone (siehe Abbildung 3.3). Die Tiefe der Inversionsschicht hängt von der Dotierung des Kanalgebiets und der externen Spannung ab, und ist in der Regel kleiner als 2 nm [6] und damit gegenüber der Raumladungszone  $x_D$  zu vernachlässigen. Diese kann für  $\phi_{su} = 2\phi_F$  wie folgt berechnet werden [6]:

<sup>&</sup>lt;sup>24</sup>engl.: fully-depleted

 <sup>&</sup>lt;sup>25</sup>engl.: erhöht. Auf dem UTB wird epitaktisch eine erhöhte Source- und Drainschicht gewachsen.
 <sup>26</sup>engl.: ausgespart, vertieft



Abbildung 3.3: Schematische Darstellung des Banddiagramms für einen VFD SON-FET

Das intrinsische Kanalgebiet ist in moderater Inversion vollständig verarmt. An der Grenzfläche zum GOX bildet sich eine Inversionsschicht aus. Die Oberflächenpotentiale des Kanals zum GOX bzw. zur BOX werden durch  $\phi_{s1}$  bzw.  $\phi_{s2}$  beschrieben.

$$x_D = \sqrt{\frac{2\epsilon_S \cdot \epsilon_0}{q} \cdot \frac{\phi_F}{N_{A,K} - N_{D,K}}}.$$
(3.4)

*N*<sub>*D,K*</sub> Donatordichte des Kanalgebiets

Durch die Bildung einer Inversionsschicht in moderater Inversion wird das externe elektrische Feld effektiv abgeschirmt, so dass eine weitere Erhöhung dieses Feldes nur noch einen sehr geringen Einfluss auf die Weite der Raumladungszone besitzt. In erster Näherung kann daher die maximale Weite der Raumladungszone durch die Bedingung ( $\phi_{su} = 2\phi_F$ ) abgeschätzt werden. Der in dieser Arbeit entwickelte Prototyp des VFD SONFETs besitzt eine wesentlich höhere Donatordichte als Akzeptordichte im Kanalgebiet. Für die maximale Raumladungszone  $x_{D,max}$  in moderater Inversion folgt mit  $N_{D,K} \gg N_{A,K}$ :

$$x_{D,\max} \approx \sqrt{\frac{2\epsilon_S \cdot \epsilon_0}{q \cdot N_{D,K}} \cdot \phi_F}$$
 (3.5)

Bei einer Donatordichte von  $10^{16}$  cm<sup>-3</sup> ergibt sich bei Raumtemperatur ein  $e \cdot \phi_F$  von etwa 0.29 eV. Die maximale Raumladungszone ist daher etwa 195 nm groß. Bei einer Kanaldicke von 30 nm ist das Kanalgebiet des VFD SONFETs in moderater Inversion damit vollständig verarmt. Diese kleine Kanallänge führt zu statistischen Fluktuationen der Dotierstoffe im Kanalgebiet und damit zu starken Schwankungen der Einsatzspannung (Kapitel 2.3.6). Um dieses Problem zu umgehen, soll das Kanalgebiet für den VFD SONFET undotiert sein. Zur Einstellung der Einsatzspannung wird in späteren Technologieschritten ein *Metal-Gate*<sup>27</sup> sorgen. Jedes Metall besitzt eine andere Austrittsarbeit  $\phi_M$ . Bei geeigneter Wahl kann somit die Einsatzspannung über die Gleichungen (2.6) und (2.7) eingestellt werden.

<sup>&</sup>lt;sup>27</sup>Das Gatematerial besteht aus Metallen wie Niob, Niobnitrid und Titannitrid.

Wie in den drei folgenden Kapiteln gezeigt wird, hat die Dicke des Kanalgebiets einen entscheidenden Einfluss auf die elektrische Charakteristik des VFD SON-FETs. Es wird gezeigt werden, dass sehr dünne Kanalschichten die Kurzkanaleffekte weiter unterdrücken können. Der Grund hierfür ist, dass das Verhältnis zwischen Inversionsschicht und Raumladungsweite immer größer wird, und sich somit der Einfluss des Gates auf das Kanalgebiet weiter erhöht.

## 3.3 Simulationen

Zum besseren Verständnis des VFD SONFETs wurden zahlreiche Simulationen und Modelle der Gruppe *Suligoj, Jovanović*<sup>28</sup> und *Sviličić*<sup>29</sup> entwickelt. Im Folgenden werden die Grundmodelle für die Einsatzspannung, den Subthreshold Swing und den DIBL besprochen. Anschließend wird auf die Simulation der Ein- und Ausgangskennlinie eingegangen.

#### 3.3.1 Einsatzspannung

Aus dem Ersatzschaltbild der Abbildung 3.2 ergeben sich mit dem *Ohm'schen Gesetz* für die roten Knoten folgende Gleichungen:

$$\phi_{s1} \cdot (C_{ox,w} - C_{Si,d}) = (V_{GS} - V_{FB1}) \cdot C_{ox,w} + \phi_{s2} \cdot C_{Si,d} + Q_{Si,d}/2$$
(3.6)

$$\phi_{s2} \cdot (2C_{BOX} + C_{Si,d}) = ((V_{DS} - V_{FB2}) - V_{FB2}) \cdot C_{BOX} + \phi_{s1} \cdot C_{Si,d} + Q_{Si,d}/2.$$
(3.7)

Hierbei wurden nur die intrinsische Kanalkapazität  $C_{Si,d}$  und nicht die Inversionskapazität berücksichtigt. Des Weiteren wurden die Kapazitäten auf Grund der Oxidladungen  $Q_{ox}$ , der Ladungen an der Grenzfläche  $Q_{it}$  und die Überlappkapazitäten  $C_{OvS}$  und  $C_{OvD}$  vernachlässigt.

Wie im Kapitel 2.3.4 bereits erläutert wurde, sorgt der Einfluss des Draingebiets bei sehr kleinen Kanallängen für eine Reduktion der Barriere im Kanal. Hierdurch wird die Einsatzspannung variiert. Dieser Effekt kann auch durch eine verminderte Kanaldotierung  $N_A^*$  beschrieben werden. Diese, von *Skotnicki* entwickelte, Modifikation ist unter der Abkürzung VDT<sup>30</sup> bekannt, und erlaubt, zweidimensionale Effekte mit einer quasi eindimensionalen Analyse zu berechnen. Demnach kann die effektive Kanaldotierung  $N_A^*$  wie folgt ausgedrückt werden [23]:

$$N_A^* = N_A - \frac{2\epsilon_{Si}V_{DS}^*}{qL_{\text{eff}}^2}.$$
(3.8)

Dabei ist die modifizierte Drainspannung  $V_{DS}^*$ 

$$V_{DS}^{*} = V_{DS} + 2(V_{bi} + \phi_{s2} - \phi_{s1}) + 2\sqrt{(V_{bi} + \phi_{s2} + \phi_{s1}) \cdot (V_{DS} + V_{bi} + \phi_{s2} - \phi_{s1})}$$
(3.9)

<sup>29</sup>Faculty of Maritime Studies, University of Rijeka, Kroatien

<sup>30</sup>engl.: Voltage-Doping Transformation

<sup>&</sup>lt;sup>28</sup>Department of Electronics, Microelectronics, Computing and Intelligent Systems, University of Zagreb, Kroatien

und die modifizierte Kapazität pro Weite des Kanalgebiets  $C_{Si,d}^*$  gegeben durch [24]:

$$C_{Si,d}^{*} = \frac{q N_A^{*} t_{Si} L_{\text{eff}}}{\phi_{s1} - \phi_{s2}}.$$
(3.10)

Das Potential  $\phi_{s2}$  ist dabei [24]:

$$\phi_{s2} = \frac{qN_A^* t_{Si} L_{\text{eff}}}{C_{BOX}}.$$
(3.11)

Mit dem Kriterium für moderate Inversion ( $\phi_{su} = \phi_{s1} = 2\phi_F$ ) kann aus den Gleichungen (3.6) und (3.7) die Einsatzspannung in erster Näherung berechnet werden:

$$V_{th} = V_{GS} |_{\phi_{s1}=2\phi_F}$$
  
=  $V_{FB1} + 2\phi_F + (4\phi_F + 2V_{FB2} - V_{DS}^*) \frac{C_{Si,d}^* C_{BOX}}{C_{ox}(C_{Si,d}^* + 2C_{BOX})} +$   
+  $\frac{qN_A^* t_{Si}}{C_{ox}} \frac{C_{BOX} + C_{Si,d}^*}{2C_{BOX} + C_{Si,d}^*}.$  (3.12)

Diese vereinfachte Gleichung beschreibt die Einsatzspannung im Vergleich zu ME-DICI Simulationen bis zu einer Kanallänge von 80 nm sehr gut. Um noch kleinere Kanallängen zu beschreiben, muss das Modell den zweidimensionalen Verlauf des Potentials im Kanal mitberücksichtigen. Sviličić und Jovanović integrierten dies in ihren Simulationen [18] und erzielten sehr gute Übereinstimmungen mit MEDICI Berechnungen auch für Kanallängen kleiner als 80 nm (siehe Abbildung 3.4). Dabei wurden keine quantenmechanischen Effekte berücksichtigt. Die Simulationen zeigen einen deutlich kleineren Roll-off für die SON-Struktur als für die SOI-Struktur. Durch die Verringerung der Gatedielektrikumdicke  $t_{OX}$  wird die Kontrolle des Gates auf das Kanalgebiet größer, und die Kurzkanaleffekte nehmen ab. Dies wird ebenfalls durch die Simulationen bestätigt. Des Weiteren zeigen die Simulationen als wichtige Eigenschaft für den VFD SONFET, dass die Sourcebreite  $t_{BOX}$  einen vernachlässigbaren Einfluss auf die Einsatzspannung hat. Die in dieser Arbeit verwendete Lithographie mit einer maximalen Auflösung von 1 µm, hat demnach keine negativen Auswirkungen auf die elektrischen Eigenschaften des VFD SONFETs. Alle Simulationen weisen eine negative Einsatzspannung im Bereich von -0.3 V auf.

Eine weitere Besonderheit des VFD SONFETs ist eine zusätzliche Kopplung des Draingebiets über die BOX-Region an die Rückseite des Kanalgebiets. Hierdurch kann ein rückseitiger Kanal erzeugt werden. Die Bedingung für moderate Inversion ist in diesem Fall  $\phi_{s2} = 2\phi_F$ . Solange allerdings die Bedingung  $C_{ox} \gg C_{BOX}$  gilt, dominiert das Kanalgebiet an der Grenzfläche zum Gateoxid den Drainstrom. Es wird lediglich eine geringe Verschiebung der Einsatzspannung zu kleineren Werten in den Simulationen beobachtet (siehe Abbildung 3.4d).

#### 3.3.2 Subthreshold-Swing

Die Definition des Subthreshold Swing ist durch die Gleichung (2.15) gegeben. Unter Berücksichtigung der Kurzkanaleffekte und der Gleichungen (3.10), (3.6),





a) Variation des Dielektrikums mit Luft ( $K_{BOX} \doteq \epsilon_{BOX} = 1$ ) und SiO<sub>2</sub> ( $\epsilon_{BOX} = 3.9$ ) b) Variation der Gatedielektrikumdicke ( $t_{GOX} \doteq t_{ox}$ ) c) Variation der Sourcebreite  $t_{BOX}$  d) Einfluss des rückseitigen Kanals auf die Einsatzspannung.

(3.7), kann der Subthreshold Swing für den Kanal an der Grenzfläche zum GOX wie folgt berechnet werden [25]:

$$S = \ln(10) \cdot \frac{k_B T}{q} \cdot \frac{dV_{GS}}{d\phi_{s1}} = 2.3 \cdot \frac{k_B T}{q} \cdot \left(1 + \frac{2C_{Si,d}^* \cdot C_{BOX}}{C_{ox} \cdot (C_{Si,d}^* + 2C_{BOX})}\right).$$
(3.13)

Das erweiterte Modell von *Sviličić* und *Jovanović* zu dieser Gleichung [18] erlaubt auch für sehr kleine Kanallängen eine äußerst genaue Vorhersage für den Subthreshold Swing, wie ein Vergleich mit MEDICI Simulationen zeigt (siehe Abbildung 3.5). Die Simulationen ergeben einen ausgezeichneten Wert für den Subthreshold Swing nahe dem physikalischen Limit für Kanallängen von über 80 nm. Auch hier können die Werte durch einen sehr dünnen Kanal noch weiter verbessert werden. Ein wichtiges Ergebnis zeigt die Simulation des Subthreshold Swings in Abhängigkeit von dem Dielektrikum der BOX-Region. Anders als beim Gatedielektrikum sollte hier eine möglichst niedrige Dielektrizitätszahl gewählt werden, um niedrige Werte für den Subthreshold Swing zu erzielen. Dies unterstreicht den Vorteil der SON-Struktur gegenüber der SOI-Struktur. Wie bei der Simulation der Einsatzspannung zeigt sich auch in diesem Fall, dass die Sourcebreite  $t_{BOX}$  nur einen sehr geringen Einfluss auf die Eigenschaften des VFD SONFETs besitzt.

#### 3.3.3 DIBL

Die Barrierendegradation für den VFD SONFET ist für den Kanal an der Grenzfläche zum GOX durch die Bedingung  $\phi_{s1} = 2\phi_F$  wie folgt bestimmt:

$$\text{DIBL} = \frac{\partial V_{th}}{\partial V_{DS}} = \frac{C_{Si,d}^* \cdot C_{BOX}}{C_{ox} \cdot (C_{Si,d}^* + 2C_{BOX})}.$$
(3.14)

Die Simulationen des DIBL mit dem erweiterten Modell von *Sviličić* und *Jovanović* stimmen auch hier sehr gut mit den MEDICI Analysen überein (siehe Abbildung 3.6). Die Ergebnisse zeigen einen sehr guten Wert von unter 50 mV/V für Kanallängen von über 50 nm. Diese Werte sind mit den Ergebnissen des lateralen SON-FET vergleichbar. Des Weiteren wird ersichtlich, dass sehr dünne Kanalgebiete und dünne GOX-Schichten die Kurzkanaleffekte weiter unterdrücken können. Wie bei dem Subthreshold Swing ist auch hier eine niedrige Dielektrizitätszahl der BOX-Region von Vorteil. Die Länge der BOX-Region spielt auch hier keine Rolle.

#### 3.3.4 Elektrische Charakteristik

Für die Simulation der Ein- und Ausgangskennlinie des VFD SONFETs wurde das Simulationsprogramm MEDICI verwendet [17]. Die Simulationen sollen vor allem den Unterschwellstrombereich charakterisieren, bei dem der Kanal noch nicht vorhanden ist und auch die quantenmechanischen Effekte zu vernachlässigen sind. Daher wurde ein Drift-Diffusions-Modell für die Simulationen verwendet. Es wurden drei verschiedene Strukturen simuliert, deren Parameter in Tabelle 3.1 aufgelistet sind. Die Ergebnisse der Simulationen für die Ein- und Ausgangskennlinie dieser drei Strukturen sind in Abbildung 3.7 zu sehen. Wie aus Gleichung (2.13) zu





Beide Simulationen zeigen sehr gute Übereinstimmungen. a) Variation des Dielektrikums mit Luft ( $K_{BOX} \triangleq \epsilon_{BOX} = 1$ ) und SiO<sub>2</sub> ( $\epsilon_{BOX} = 3.9$ ). b) Variation der Gatedielektrikumdicke ( $t_{GOX} \triangleq t_{ox}$ ). c) Variation der Sourcebreite  $t_{BOX}$ . d) Variation der Kanaldicke  $t_{Si}$ .

#### Tabelle 3.1: Parameter der zu simulierenden Strukturen

Das Dielektrikum für alle Strukturen ist ein Oxid, und die Kanaldotierung  $N_{A,K}$  beträgt  $10^{15}$  cm<sup>-3</sup>.

			Struktur I	Struktur II	Struktur III
Kanallänge	L	[nm]	300	100	30
Kanaldicke	$t_{Si}$	[nm]	30	13	5
Oxiddicke	t <sub>ox</sub>	[nm]	11	4	2.5
Sourcebreite	$t_{BOX}$	[nm]	270	30	10



# Abbildung 3.6: Simulationen des DIBLs durch MEDICI (Punkte) und das Modell von *Sviličić* und *Jovanović* (Linien)

Beide Simulationen zeigen sehr gute Übereinstimmungen. a) Variation des Dielektrikums mit Luft ( $K_{BOX} \triangleq \epsilon_{BOX} = 1$ ) und SiO<sub>2</sub> ( $\epsilon_{BOX} = 3.9$ ). b) Variation der Gatedielektrikumdicke ( $t_{GOX} \triangleq t_{ox}$ ). c) Variation der Sourcebreite  $t_{BOX}$ . d) Variation der Kanaldicke  $t_{Si}$ .



Abbildung 3.7: Simulationen der VFD SONFET-Kennlinien für drei verschiedene Geometrien [17]

erwarten ist, ist der Drainstrom *I*<sub>D</sub> bei der Struktur III mit der kleinsten Kanallänge am höchsten, und erreicht mit einem Wert von knapp 1  $\mu$ A/ $\mu$ m bei  $V_{DS} = 1.4$  V die von der aktuellen ITRS geforderten Werte für einen Transistor. Da die Struktur III das größte Verhältnis  $t_{ox}/t_{Si}$  und damit  $C_{Si,d}^*/C_{ox}$  besitzt, ist nach Gleichung (3.13) auch der Subthreshold Swing höher als bei den anderen Strukturen. Diese besitzen in etwa das gleiche Verhältnis  $t_{ox}/t_{Si}$  und damit auch in etwa denselben Subthreshold Swing. Wie aus den Simulationen für den DIBL hervorgeht (Kapitel 3.3.3), ist dieser für eine Kanallänge von 30 nm relativ hoch. Dies wird auch durch die Verschiebung der Eingangskennlinie der Struktur III bei  $V_{DS}$ =0.1 und 2 V bestätigt. Der DIBL beträgt hier 184 mV/V. Die Einsatzspannung aller drei Strukturen ist, wie aus den entsprechenden Simulationen für ein n<sup>+</sup>-dotiertes Gate hervorgeht, negativ. Struktur II entspricht der Struktur I mit einem Skalierungsfaktor von drei. Daher ist auch *I*<sub>on</sub> für die Struktur II um einen Faktor drei höher als bei Struktur I. Die Ausgangskennlinien zeigen bei allen drei Strukturen ein gutes Sättigungsverhalten, so dass die Kanallängenmodulation reduziert werden konnte. Die Early-Spannung beträgt für eine Gatespannung von 2 V für die Strukturen I, II und III etwa -22 V, -34 V und -26 V.

Zusammenfassend bestätigen alle Simulationen die Reduzierung der Kurzkanaleffekte für den VFD SONFET und den hohen zu erwartenden Drainstrom. Allerdings verhindern die hohen Überlappkapazitäten den Einsatz des VFD SONFETs für Hochfrequenzanwendungen. Aus den Simulationen wird deutlich, dass die Kanallänge größer als 50 nm sein sollte, da die Kurzkanaleffekte ansonsten wieder das elektrische Verhalten des VFD SONFETs negativ beeinflussen. In dieser Arbeit stand allerdings die Realisierung von Kanallängen im sub-30 nm Bereich im Vordergrund, um einen eventuellen ballistischen Transport beobachten zu können. Optimale elektrische Eigenschaften sind daher für den in dieser Arbeit entwickelten Prototyp eines VFD SONFETs nicht zu erwarten.

## 3.4 Prozessablauf

In diesem Abschnitt werden die generellen Prozessschritte erläutert, um einen VFD SONFET zu produzieren. Detaillierte Beschreibungen der Prozesse und deren Entwicklung befinden sich in den Kapiteln 4 und 5. Ziel ist es, einen VFD SONFET Prototyp zu entwickeln, um die technische Realisierung zu verifizieren. Es werden daher nicht die optimalen Parameter für die elektrischen Eigenschaften realisiert. Lediglich die Kanallänge soll im Bereich von 20 bis 30 nm liegen, um einen eventuellen ballistischen Transport beobachten zu können.

Ausgangsmaterial ist ein 4-Zoll niederdotiertes  $p^{-}(100)$ -Substrat (10 - 80  $\Omega$ cm). Die Prozessierung beginnt mit dem Ätzen von Justiermarken in das Substrat. Diese dienen zur Ausrichtung der späteren Masken auf bereits realisierten Strukturen (Kapitel 5.1). Hochdotierte n<sup>+</sup>- und p<sup>+</sup>-Gebiete werden durch Implantation oder durch Eintreiben eines Dotierglases verwirklicht (siehe Abbildung 3.8). Die n<sup>+</sup>-Gebiete dienen als Drain und die p<sup>+</sup>-Gebiete als Teil einer pin-Diode unterhalb der Sourcepads (Kapitel 5.2.2).

Nach einer Reinigung des Substrats durch einen RCA-Clean (Kapitel 4.1.1) wird eine etwa 20 bis 30 nm dicke SiGe-Opferschicht (Kapitel 5.4) und in-situ eine etwa 300 nm dicke n<sup>+</sup>-Schicht mit Hilfe der CVD epitaktisch gewachsen (Kapitel 5.5). Die hochdotierte n<sup>+</sup>-Schicht dient als Source. Der Schichtstapel wird nun mit einem *reaktiven Ionenätzprozess* (RIE)<sup>31</sup> strukturiert (Kapitel 5.6, Abbildung 3.9). Entscheidend hierfür sind die Kristallqualität und die Steilheit der entstandenen Ätzflanke. Möglichst defektfreie und senkrechte Flanken müssen erzielt werden, um darauf ein einkristallines Wachstum des Kanals zu ermöglichen. Mit Hilfe der CVD wird nun eine etwa 30 nm dicke, intrinsische Siliziumschicht über die Mesa abgeschieden (Kapitel 5.7). Dieser Prozess muss reaktionsbegrenzt sein, um konformes Wachstum zu ermöglichen. Anschließend wird ein Gatedielektrikum (Kapitel 5.8) und eine etwa 500 nm dicke Schicht aus polykristallinem Silizium (Poly-Si) über das Kanalgebiet gelegt (Kapitel 5.9). Nach der Strukturierung des Poly-Siliziums und des Dielektrikums (siehe Abbildungen 3.10 und 3.11) wird der Gatestack und Teile der Sourceschicht und des Draingebiets mit einer Nitridschicht passiviert (Kapitel 5.9, Abbildung 3.12). Dies schützt die abgekapselten Gebiete vor dem anschließenden nasschemischen Entfernen der SiGe-Opferschicht (Kapitel 5.10). Die nasschemische Lösung sollte eine hohe Selektivität zwischen dem Silizium und dem SiGe erzielen, damit das Kanalgebiet diesen Prozess unbeschadet überstehen kann (Kapitel 5.10). Sobald die SiGe-Opferschicht vom Kanal entfernt ist, wird die Atzung gestoppt, so dass unterhalb der Sourcepads die SiGe-Opferschicht verbleibt und für die mechanische Stabilisierung der Sourceschicht sorgt. Ein Querschnitt des fertigen VFD SONFETs ist in Abbildung 3.13 zu sehen. Zur Reduzierung der Kanaldicke  $t_{Si}$  wird eine thermische Oxidation verwendet, die gleichzeitig als erste Schicht zur Passivierung dient (Kapitel 5.11). Anschließend wird die Struktur mit einem LPCVD Nitrid passiviert (Kapitel 4.5), die Kontaktlöcher geöffnet (Kapitel 4.5.2) und die Metallisierung abgeschieden (Kapitel 4.6) und strukturiert. Um einen Rückseitenkontakt für das Substrat zu erhalten, wird die Vorderseite mit Photolack passiviert und die Rückseite frei geätzt. Anschließend wird die Rückseite metal-

<sup>&</sup>lt;sup>31</sup>engl.: Reactive Ion Etch



Abbildung 3.8: Schema der Prozessfolge: Substratdiffusion und -implantation In das p<sup>-</sup>-Substrat werden die p<sup>+</sup>-Gebiete implantiert. Die n<sup>+</sup>-Draingebiete können ebenfalls durch Implantation oder durch Diffusion erzeugt werden (Kapitel 5.2.2).

lisiert und der Schutzlack wieder entfernt und in *Formiergas* getempert, um die Qualität des Dielektrikums und der Metallkontakte zu verbessern (Kapitel 4.7).

Eine detaillierte Auflistung aller Prozessschritte befindet sich im Anhang 9.



#### Abbildung 3.9: Schema der Prozessfolge: SiGe-Opferschicht und Source

Auf das Substrat wird ganzflächig eine SiGe-Opferschicht und eine n<sup>+</sup>-Sourceschicht abgeschieden. Die Schichten werden mit einem RIE Prozess strukturiert. Um die komplette Freilegung der SiGe-Opferschicht zu gewährleisten, wird bis in das Substrat hinein geätzt. (Kapitel 5.6). Auf den p<sup>+</sup>-Gebieten befinden sich nun die Sourepads.



#### Abbildung 3.10: Schema der Prozessfolge: Kanal und Gate-Stack

Über die Mesa wird ganzflächig das Kanalgebiet (Kapitel 5.7), das Gatedielektrikum (Kapitel 5.8) und das polykristalline Gate (Kapitel 5.9) abgeschieden und anschließend nasschemisch strukturiert. Die Diffusion der Dotierstoffe aus dem Source- und Draingebiet in das Kanalgebiet während der thermischen Oxidation wurde in diesem Schema nicht berücksichtigt.



#### Abbildung 3.11: Querschnitt des VFD SONFETs

Der VFD SONFET ist hier nach der Strukturierung des Gatestacks und des Kanalgebiets abgebildet. Die Diffusion der Dotierstoffe aus dem Source- und Draingebiet in das Kanalgebiet während der thermischen Oxidation wurde in diesem Schema nicht berücksichtigt.



#### Abbildung 3.12: Aufsicht des VFD SONFETs

Das Poly-Gate und Teile von Source und Drain werden vor dem nasschemischen Herauslösen der SiGe-Opferschicht mit Nitrid (Si<sub>3</sub>N<sub>4</sub>) passiviert. Die SiGe-Opferschicht wird seitlich an den geätzten Mesaflanken von der chemischen Lösung herausgeätzt. Daher muss die Passivierung von Drain und Source diese Gebiete offenlassen (Kapitel 5.10).



#### Abbildung 3.13: Querschnitt des VFD SONFETs

Der VFD SONFET ist hier nach dem Freilegen des Kanalgebiets durch Herauslösen der SiGe-Opferschicht mit einer nasschemischen Lösung aus Fluss- und Peressigsäure (Kapitel 5.10) abgebildet. Die Diffusion der Dotierstoffe aus dem Source- und Draingebiet in das Kanalgebiet während der thermischen Oxidation wurde in diesem Schema nicht berücksichtigt.

# Kapitel 4

# **Bestehende** Prozesse

In diesem Kapitel werden die im Vorfeld dieser Arbeit entwickelten Prozesse für diese Arbeit erläutert. Die meisten Prozesse fanden dabei im Reinraum an der Universität der Bundeswehr in Neubiberg statt. Zunächst wird auf die Reinigungsprozesse eingegangen (Kapitel 4.1). Anschließend werden die nasschemischen Verfahren besprochen, die in dieser Arbeit zum Einsatz kamen (Kapitel 4.2). Zur Strukturierung von Schichten und Substraten wird eine Hard-Contact Belichtung verwendet, dessen Verfahren im Kapitel 4.3 erläutert wird. Das darauf folgende Kapitel 4.4 beschäftigt sich mit der thermischen Oxidation. Im Anschluss wird im Kapitel 4.5 ein Verfahren zur Passivierung der Bauelemente beschrieben, und im Kapitel 4.6 der Standardprozess für die Metallisierung. Zum Abschluss wird im Kapitel 4.7 das Formiergastempern erläutert.

## 4.1 Reinigungsprozesse

Dieser Abschnitt befasst sich mit der Substratreinigung. Besonders für die Epitaxie werden höchst reine Substrate benötigt, um ein defektfreies und einkristallines Wachstum zu ermöglichen. Vor allem organische Verunreinigungen in Form von Kohlenstoff und Sauerstoff beeinflussen die kristalline Struktur der Epitaxie. Aber auch metallische Verunreinigungen wie Gold oder Kupfer müssen entfernt werden, da sie als Störstellen in der Bandlücke von Silizium wirken und damit die Eigenschaften des Halbleiters verändern. Des Weiteren dürfen für hoch reine Anlagen wie Oxidationsöfen oder Epitaxie-Kammern nur gereinigte Substrate verwendet werden, da ansonsten die Gefahr einer Kontamination der Anlagen besteht.

In dieser Arbeit kamen drei Reinigungsverfahren zum Einsatz. Hierzu zählen die nasschemischen Verfahren des RCA-Cleans und des *HF-Dips* und der gasförmige *Hydrogen-Bake*. Hinzu kommt das obligatorische Spülen des Substrats mit *deionisier-tem Wasser* (DI-Wasser) nach jedem Prozessschritt. Hierbei wird ein Sprühsystem verwendet, dessen mechanische Kraft größer als die Adhäsionskraft von Partikeln auf dem Substrat ist. Durch einen ständigen Wasseraustausch während einer Dauer von etwa 10 min nähert sich der Widerstand des im Spülbecken befindlichen Wassers seinem theoretischen Wert von 18.2 M $\Omega$ cm immer mehr an. Je höher dieser ist, desto reiner ist auch das Substrat. In dieser Arbeit wurden bei RCA-Schritten stets Werte von über 15.5 M $\Omega$ cm erreicht.

### 4.1.1 RCA-Clean

Als gängiges Reinigungsverfahren hat sich der von *Kern* entwickelte und im Jahre 1970 veröffentlichte RCA-Clean etabliert [26]. Dieser wird auch heute noch in der Halbleiterindustrie verwendet [27]. Das Verfahren besteht aus zwei Schritten, die durch eine Spülung mit DI-Wasser voneinander getrennt sind. Der erste Schritt (Standard Clean-1, SC-1) dient zur Entfernung von organischen und einigen metallischen Verunreinigungen und der zweite (Standard Clean-2, SC-2), um restliche metallische Ionen zu binden.

Die Lösungen bestehen aus 30% igem Wasserstoffperoxid ( $H_2O_2$ ), DI- $H_2O$ , 28% iger Ammoniaklösung (NH<sub>4</sub>OH) und 37% iger Salzsäure (HCl) in folgenden Volumnenverhältnissen:

$$SC - 1: NH_4OH: H_2O_2: H_2O = 1:1:5$$
 (4.1)

$$SC - 2:$$
  $HCl: H_2O_2: H_2O = 1:1:5$  (4.2)

Die Reinigungswirkung von SC-1 beruht auf der Bildung eines chemischen Oxids durch Wasserstoffperoxid und dessen Ätzung durch OH<sup>-</sup>-Ionen. Durch die Bildung des chemischen Oxids werden Verunreinigungen gebunden und anschließend aufgelöst [28]. Auch einige Metalle wie Gold, Silber, Kupfer, Nickel, Kadmium, Kobalt und Chrom können hierdurch entfernt werden. Die Ätzrate von Silizium durch SC-1 ist sehr gering. Auf Grund lokal höherer Ätzraten, kann aber der SC-1 zu Rauigkeiten auf dem Substrat führen. Nach dem SC-1 Schritt ist das Substrat mit einem etwa 6 Å dicken chemischen Oxid überzogen, das eine Reoxidation verhindert.

Der SC-2 entfernt alkalische Ionen und Hydroxide wie Al(OH)<sub>3</sub>, Fe(OH)<sub>3</sub>, Mg(OH)<sub>2</sub> und Zn(OH)<sub>2</sub>, die durch den SC-1 nicht gelöst werden konnten, sowie verbleibende Kupfer und Gold Verunreinigungen. SC-2 ätzt dabei weder Silizium noch Oxid. Partikel, die nach SC-1 auf dem Substrat gelangen, können daher nicht entfernt werden [28]. Die Temperatur beider Lösungen sollte zwischen 65°C und 80°C betragen, da ansonsten der Wasserstoffperoxid- und Ammoniakgehalt auf Grund chemischer Zersetzung zu schnell abnimmt.

In dieser Arbeit wurden die notwendigen RCA-Cleans in einem eigens für diesen Zweck vorgesehenen Digestorium durchgeführt. Um Querverunreinigungen zu vermeiden, wurden für jeden einzelnen Schritt eigene Utensilien verwendet. Nach dem RCA-Clean waren die Substrate mit dem entstandenen chemischen Oxid passiviert, welches erst kurz vor der weiteren Prozessierung durch einen HF-Dip entfernt wurde (Kapitel 4.1.2).

### 4.1.2 HF-Dip

Reine Siliziumkristalle bilden eine Diamantenstruktur aus, so dass jedes der vierwertigen Siliziumatome im Zentrum eines regelmäßigen Tetraeders sitzt und alle vier Bindungen abgesättigt sind. Bei einer reinen (100)-Siliziumoberfläche verbleiben in der obersten Netzebene für jedes Siliziumatom jeweils zwei ungesättigte Bindungen. Diese *Dangling Bonds* sind äußerst reaktiv und führen an Luft mit Sauerstoff rasch zur Bildung eines *natürlichen Oxids* mit einer Dicke von 1 bis 1.5 nm. Die oxidierte Oberfläche des Substrats ist an deren hydrophilen Eigenschaft zu erkennen.

Zur Entfernung eines natürlichen oder eines chemischen Oxids wird ein HF-Dip verwendet. Dieser besteht aus 50% iger Flusssäure (HF) und DI-Wasser in einem Verhältnis von 1 zu 50 bis 200. Die chemischen Reaktionen für das Ätzen von SiO<sub>2</sub> lassen sich wie folgt zusammenfassen:

$$SiO_2(s) + 4HF \rightarrow SiF_4 + 2H_2O, \tag{4.3}$$

$$SiO_2(s) + 6HF \rightarrow 2H^+ + (SiF_6)^{2-} + 2H_2O.$$
 (4.4)

An der Reaktion sind hauptsächlich HF und HF<sup>-</sup> Moleküle beteiligt, während H<sup>+</sup> Ionen eine katalytische Rolle übernehmen. Die Aktivierungsenergie liegt im Bereich von 25-40 kJ/mol und ist somit reaktionsbegrenzt [29]. Umrühren der Lösung hat demnach kaum Einfluss auf die Reaktion. Die Ätzrate für ein thermisches Oxid beträgt etwa 3 nm/min. Nach einem etwa 30 s HF-Dip ist die Oberfläche des Substrats hydrophob und die Dangling Bonds sind mit Wasserstoffatomen abgesättigt [28,30]. Diese Wasserstoffpassivierung verhindert die Reoxidation an Luft für etwa 2 Stunden [31] für (100)-Silizium. In dieser Arbeit wurden alle Substrate vor der weiteren Prozessierung weniger als eine Stunde der Luft ausgesetzt.

Aus ersten chemischen Überlegungen kann man zu der Annahme kommen, dass die Siliziumoberfläche nach dem HF-Dip eine F-Terminierung aufweist, da die Bindungsenergie für Si-H mit  $\approx 3.5$  eV wesentlich kleiner ist als die für Si-F mit  $\approx 6.0$  eV. Auf Grund der starken Elektronegativität des Fluors wird aber das gebundene Si-Atom stark polarisiert und schwächt damit die Bindung zu den anderen Gitteratomen. An dieser Schwachstelle können nun HF und HF<sup>-</sup> Teilchen angreifen und das an F gebundene Silizium entfernen [32]. Zurück bleibt eine Hterminierte, unpolare Oberfläche an der die polaren Teilchen HF und HF<sup>-</sup> nicht mehr angreifen können.

Ein wichtiger Aspekt beim Entfernen des SiO<sub>2</sub> ist die Selektivität gegenüber der Siliziumoberfläche. Diese sollte sehr hoch sein und die Substratoberfläche nicht aufrauhen, um bei einer anschließenden Epitaxie nicht unnötig Defektstellen zu erzeugen. Die limitierenden Reaktionen beim Ätzen von Silizium werden bei konstanter Beleuchtung von HF und  $HF^-$  und nicht durch andere Spezies wie (HF)<sub>2</sub>, H<sub>2</sub>O, OH<sup>-</sup> oder H<sup>+</sup> bestimmt. Die Oberfläche des Substrats ist zunächst H-terminiert, so dass Silizium kaum angegriffen wird. Befindet sich allerdings ein Loch an der Oberfläche des Siliziums, so erhöht sich der Haftkoeffizient für F<sup>-</sup> um 11 Größenordnungen [30]. Die Adsorption von F<sup>-</sup> an einem Siliziumatom polarisiert die Si-Si-Bindung und ermöglicht den Angriff durch HF und HF<sup>-</sup>. Licht begünstigt in Silizium das Entstehen von Löchern, weshalb der HF-Dip in dieser Arbeit in Dunkelheit durchgeführt wurde. Das nun aktivierte Siliziumatom geht anschließend sehr schnell in Lösung, so dass die Oberfläche des Substrats nur eine Sauerstoffund Fluorbedeckung von weniger als 0.01 Monolagen besitzt [33]. Ansonsten ist das Substrat während der Ätzung H-terminiert. Die Rauigkeit der Siliziumoberfläche wird durch den pH-Wert der Lösung bestimmt. Je niedriger dieser ist, desto größer ist auch die Rauigkeit. Niedrige HF-Konzentrationen oder die Verwendung von Buffered HF [34] verbessern daher die Oberflächenqualität. In dieser Arbeit wurden daher nur geringe HF-Konzentrationen von 1 zu 200 verwendet.

Ein Abspülen des Substrats mit DI-Wasser, um restliche Fluorverunreinigungen zu beseitigen [35–38], kann dazu führen, dass diese Passivierung aufbricht. Einige Gruppen machen hierfür das Ersetzen der Si-F-Bindungen durch Si-OH [31,39] verantwortlich. Andere Gruppen [38,40–46] hingegen berichten, die Fluorverunreinigungen sind eher physikalisch als chemisch adsorbiert, da das Spülen der Substrate die Verunreinigungen entfernt. Somit würden Si-H-Bindungen durch Si-O-Bindungen ersetzt. Dabei spielt OH<sup>-</sup> eine katalytische Rolle.

Die hierdurch verunreinigte Oberfläche kann eine Sauerstoffbedeckung von bis zu  $10^{14}$  cm<sup>-2</sup> aufweisen [47]. Um dieses Problem zu umgehen, gibt es verschiedene Ansätze. Beim *Marangoni-Dry* Verfahren wird das Substrat langsam in einen Dampf aus Isopropanol (IPA) und Stickstoff übergeführt. Auf Grund der Oberflächenspannung wird das Wasser zurückgedrängt und das Substrat wird trocken. Ein ähnliches Verfahren ist das *IPA-Drying* bei dem heißer Dampf aus Isopropanol auf das Substrat geblasen wird. Auch hier wirkt die Oberflächenspannung des Wassers und verdrängt dieses. Auch eine Verringerung des Sauerstoffgehalts im verwendeten DI-Wasser kombiniert mit einer Stickstoffatmosphäre [48] verringert die Reoxidation der Oberfläche während des Spülens. Diese technischen Voraussetzungen standen für diese Arbeit allerdings nicht zur Verfügung. Somit musste eine gewisse Reoxidation der Substrate in Kauf genommen werden.

## 4.1.3 Hydrogen Bake

Nachdem ein Substrat RCA gereinigt ist, das chemische Oxid durch einen HF-Dip entfernt wurde und das Substrat innerhalb von etwa 30 min in Stickstoffatmosphäre eingebaut wurde, zeigen Analysen, dass immer noch Bereiche auf dem Substrat existieren, auf denen sich Sauerstoff befindet [49]. Dies kann an der Reoxidation des Substrat beim Spülen mit DI-Wasser oder an der Reoxidation an Luft während des Transports auf Grund einer unvollständigen H-Terminierung liegen. Der Hydrogen Bake (H<sub>2</sub>-Bake) ist ein in-situ Reinigungsschritt zur Entfernung dieser Kohlenstoff und Sauerstoff Verunreinigungen auf der Substratoberfläche. Die chemische Reaktion zur Entfernung von SiO<sub>2</sub> wird wie folgt angenommen:

$$SiO_2(s) + 2H^*(g) \to SiO(g) + H_2O(g)$$
. (4.5)

Demnach wird das Oxid auf Grund eines höheren Dampfdruckes von SiO im Vergleich zu SiO<sub>2</sub> thermisch desorbiert. Diese Reaktion beginnt bei etwa 750°C im UHV<sup>32</sup> [49]. Bereits 1990 konnte *Sivestri* zeigen, dass durch dieses Verfahren bei einer Temperatur von 850°C und einem Druck von 1.3 kPa (10 Torr) ein natürliches Oxid entfernt werden kann [50]. Auch andere Gruppen erzielten mit einem HF-Dip und einem 2 min H<sub>2</sub>-Bake bei einer Temperatur von 800°C und einem Wasserstoffpartialdruck von 1.3 kPa (10 Torr) gute Ergebnisse für eine anschließende Epitaxie [51].

An der Universität der Bundeswehr wurde ein ähnlicher H<sub>2</sub>-Bake eingeführt, dessen Parameter in Tabelle 4.1 aufgelistet sind. Durchgeführt wurde der H<sub>2</sub>-Bake in einer industriellen Epi Centura CVD Anlage von Applied Materials (AMAT) (Kapitel 5.3). In dieser Arbeit wurde dieser H<sub>2</sub>-Bake vor dem Wachsen des SiGe-

<sup>&</sup>lt;sup>32</sup>Abkürzung: Ultra-Hoch Vakuum

Zeit	Temperatur	Dr	uck	H <sub>2</sub> -Fluss
[min]	[°C]	[kPa]	[Torr]	[slm]
2	850	1.3	10	17

Tabelle 4.1: Parameter f	für d	len I	H <sub>2</sub> -Bake
Tabelle 4.1: Parameter 1	rur a	ien i	п2-раке

Schichtstapels verwendet. Auf Grund des Temperaturbudgets für SiGe wurde die Temperatur für die Epitaxie des Kanalgebiets auf 775°C reduziert (Kapitel 5.7).

Der in der Tabelle 4.1 beschriebene Prozess ist zwar für die Entfernung des Oxids geeignet, jedoch können hierdurch Kohlenstoffverunreinigungen auf dem Substrat nicht vollständig entfernt werden. Diese Kohlenstoffmoleküle stammen aus dem HF-Dip bzw. dem Transport an Luft. Die H-Terminierung der Siliziumoberfläche schützt zunächst die Oberfläche vor Kohlenstoffverbindungen. Diese Passivierung desorbiert aber vollständig ab etwa 500°C [52], so dass eine blanke Siliziumoberfläche zurückbleibt an die sich die Kohlenstoffmoleküle chemisch binden können. Komplexe Kohlenstoffmoleküle zerfallen bei Temperaturen von über 300°C zu kleineren Verbindungen wie Methan und Ethan [53]. Auf der rekonstruierten 2x1 Oberfläche des Siliziums werden diese Moleküle an freien Siliziumatomen der Oberfläche bis zu Temperaturen von etwa 300°C nicht dissoziativ durch die Interaktion der C=C- mit den Si=Si-Bindungen ( $\pi$ -Orbitale) gebunden [54]. Erst bei höheren Temperaturen werden die C-H-Bindungen der Moleküle gespalten, so dass der Kohlenstoff mehrfach Bindungen mit der Siliziumoberfläche eingehen kann. Ab Temperaturen von etwa 700°C fängt der Kohlenstoff an der Siliziumoberfläche an, in das Substrat zu diffundieren [53]. Stabile Si-C-Bindungen bilden sich ab Temperaturen von über 800°C [28], an die sich während der Epitaxie Siliziumatome durch die Oberflächendiffusion anlagern. Dies führt zu einem polykristallinem Wachstum, das sich entlang der (111)-Flanke mit der gewachsenen Schichtdicke ausbreitet. Erst ab Temperaturen von über 1100°C können die Si-C-Bindungen wieder zerlegt werden [55].

Ein von Zilbauer entwickelter H<sub>2</sub>-Bake soll zur Entfernung der Kohlenstoffverunreinigungen führen. In einem ersten Schritt werden während einer Temperaturrampe von 350°C bis 700°C große Kohlenstoffmoleküle in kleinere Verbindungen aufgespalten. Der zweite Schritt sorgt bei Temperaturen zwischen 700°C und 750°C für die Diffusion der Kohlenstoffatome in das Siliziumsubstrat [53]. Hierdurch werden die Keimzellen für polykristallines Wachstum auf der Substratoberfläche vermieden. Anschließend wird in einem dritten Schritt bei Temperaturen zwischen 800°C und 850°C der Sauerstoff durch thermische Desorption gelöst [56]. Die Anwendung dieses Prozesses fand allerdings bei dieser Arbeit nicht statt.

## 4.2 Nasschemische Prozesse

In diesem Abschnitt werden die verwendeten nasschemischen Prozesse dieser Arbeit erläutert. Hierzu zählen *TMAH*, *Poly-Ätze*, *Buffered HF*, *PNA* und die Lackentfernung mit *Isopropanol* und *Aceton*. Die verwendeten Chemikalien müssen dabei höchst rein sein, um Verunreinigungen auf dem Substrat zu minimieren. Es wurden daher ausschließlich VLSI Semi Standard Chemikalien der Firma Honeywell mit weniger als 50 ppb metallischen Verunreinigungen verwendet.

### 4.2.1 TMAH

TMAH (Tetramethyl Ammonium Hydroxid (CH<sub>3</sub>)<sub>4</sub>NOH) ist eine alkalische Ätzlösung. Durch die unterschiedlich starken Bindungsenergien der verschiedenen Kristallorientierungen im Silizium ist es möglich, anisotrope Gräben in Silizium zu ätzen. Insbesondere wird die (111)-Richtung im Vergleich zur (100)-Richtung bis zu einem Faktor 50 weniger geätzt [57, 58], so dass Gräben mit einem Winkel von 54.74° entstehen. Dies wird besonders bei der Herstellung von Mikromaschinen oder Micro-Electro-Mechanical Systemen (MEMS) genützt [59-61], um beispielsweise Brückenstrukturen zu ermöglichen. Im Gegensatz zu Kaliumhydroxid (KOH) enthält TMAH keine Kaliumionen und kann daher mit der CMOS Technologie verknüpft werden. Ethylen-diamin-Pyrocatechol (EDP) erzielt ähnlich gute Ergebnisse wie TMAH ist aber höchst toxisch, so dass der Umgang mit TMAH wesentlich einfacher ist. Die chemische Reaktion von TMAH benötigt freie Elektronen, daher sinkt bei hochbordotiertem Silizium (> $10^{20}$  cm<sup>-3</sup>) die Ätzrate um bis zu zwei Größenordnungen [57]. Isolatoren wie SiO2 und Si3N4 bieten ebenfalls einen ausgezeichneten Ätzstop mit einer Selektivität von drei bis vier Größenordnungen im Vergleich zu (100)-Silizium [57].

Polykristallines Silizium wird mit TMAH isotrop geätzt, da alle Kristallorientierungen gleichwahrscheinlich sind. In dieser Arbeit wurde TMAH für die Strukturierung des polykristallinen Gates verwendet. Als Hartmaske diente hierfür ein thermisches Feuchtoxid, das bei 800 °C in einer Mattson SHS 200 RTP Anlage für 5 min gewachsen wurde (Kapitel 5.8). Für den Ätzprozess wurde das TMAH auf 80°C erhitzt. Die Farbe des Poly-Siliziums wird durch dessen Dicke auf dem Oxid und der daraus resultierenden Interferenz bestimmt. Durch die Farbänderung des Poly-Siliziums während des Ätzens und durch den Ätzstop des unter dem Poly-Silizium liegendem Oxids ist die Ätzung gut optisch kontrollierbar. Die laterale Unterätzung des in dieser Arbeit verwendeten 500 nm Poly-Gates ist durch dessen Dicke bedingt und beträgt daher etwa 500 nm.

## 4.2.2 Poly-Ätze

Um Silizium isotrop zu ätzen, verwendet man eine stark oxidierende Lösung, wie beispielsweise Salpetersäure (HNO<sub>3</sub>). Die Salpetersäure oxidiert das Silizium an der Oberfläche. Eine weitere Komponente muss nun das gebildete Oxid auflösen, damit die Oxidation weiter laufen kann. Hierfür wird HF eingesetzt [62]. Eine detaillierte Beschreibung dieses chemischen Prozesses findet sich in [30]. Im Gegensatz zu TMAH ist die Selektivität zwischen Silizium und SiO<sub>2</sub> mit 30 bis 100 [63] wesentlich kleiner, weshalb SiO<sub>2</sub> als Hartmaske nicht geeignet ist. Stattdessen verwendet man Photolack. Die Verwendung von HF hat den Nachteil, dass diese starke Säure Photolack sehr stark angreift. Um dieses Problem zu verringern, wird statt reiner Flusssäure Ammoniumfluorid (NH<sub>4</sub>F) eingesetzt. Hierdurch wird der pH-Wert der Lösung angehoben und die Konzentration der Fluoridionen bleibt konstant [63]. Zusätzlich muss der Photolack bei hohen Temperaturen (in dieser Arbeit bei 130°C) ausgebacken werden, um ihm die notwendige Resistenz gegenüber der Säure zu verleihen. Die Poly-Ätze besteht aus einem Gemisch von 69% iger HNO<sub>3</sub>, 40% iger NH<sub>4</sub>F und DI-Wasser in einem Verhältnis von 25:1:12. In dieser Arbeit wurde Poly-Ätze verwendet, um Referenzmarken in das Substrat zu ätzen (Kapitel 5.1).

### 4.2.3 Buffered HF

Zur Strukturierung von thermischen Oxiden ist der HF-Dip (Kapitel 4.1.2) auf Grund seiner niedrigen Ätzrate nicht geeignet. Hinzu kommt der niedrige pH-Wert, der die Maske aus Photolack stark angreift. Daher verwendet man üblicherweise eine gepufferte Form des HF-Dips (BHF). Hierzu wird Ammoniumfluorid verwendet. Die in dieser Arbeit verwendete BHF besteht aus DI-Wasser , 40% ige NH<sub>4</sub>F und 50% ige HF im Verhältnis 4:6:1. Die Ätzungen finden bei Raumtemperatur statt. Je nach Qualität des thermischen Oxids ergeben sich hiermit Ätzraten von 50 bis 100 nm/min. *LPCVD*<sup>33</sup> *Oxide* besitzen eine geringere Qualität und haben Ätzraten von etwa 300 nm/min. Durch die Zugabe von Ammoniumfluorid bildet sich in der Lösung durch folgende Reaktion Ammoniak (NH<sub>3</sub>):

$$2NH_4F \rightleftharpoons NH_3 + (NH_4)^+ + (HF)^-. \tag{4.6}$$

Im Gegensatz zum HF-Dip wird die Ätzung hauptsächlich von den hoch reaktiven  $(HF_2)^-$ -Ionen und nicht durch die HF-Moleküle bestimmt [28]. Dies erhöht die Ätzrate von SiO<sub>2</sub> um etwa einen Faktor vier bis fünf im Vergleich zu einem HF-Dip gleicher HF-Konzentration. Durch die Bildung von Ammoniumionen wird der pH-Wert auf etwa vier bis fünf angehoben und schützt damit den Photolack, der als Maskierung dient. Außerdem wird durch die Reaktion (4.6) die HF-Konzentration stabil gehalten und führt dadurch zu einer konstanten Ätzrate. In dieser Arbeit wurde ausschließlich BHF zur Strukturierung von SiO<sub>2</sub> verwendet.

#### 4.2.4 PNA

PNA besteht aus DI-Wasser, 85% iger Phosphorsäure (H<sub>3</sub>PO<sub>4</sub>), reiner Essigsäure (CH<sub>3</sub>COOH) und 69% iger Salpetersäure (HNO<sub>3</sub>) in einem Mischungsverhältnis von 2:1:1:16 [64]. Die entstandene Lösung eignet sich sehr gut zum Ätzen von Aluminium, da sie eine hohe Selektivität zu Oxid, Nitrid, Titan, Titannitrid und Photolack bietet, und wurde daher in dieser Arbeit zur Strukturierung von Aluminium verwendet. Um eine konstante und homogene Ätzrate zu erzielen, wird die Lösung für mindestens 20 min in einem Ultraschallbecken auf 50°C erwärmt. Die Ätzung ist optisch gut kontrollierbar, jedoch muss eine Endkontrolle mit dem Mikroskop durchgeführt werden, um sicherzustellen, dass alle Leiterbahnen freistehen und keine Kurzschlüsse vorhanden sind.

<sup>&</sup>lt;sup>33</sup>engl.:Low Pressure Chemical Vapor Deposition

#### 4.2.5 Photolackentfernung

Photolack wird häufig als Maske zur Strukturierung des Substrats verwendet. Danach muss der Photolack wieder entfernt werden und eine saubere Oberfläche zurückbleiben. Hierfür gibt es nasschemische und Trockenätzverfahren. Bei letzterem kommen Sauerstoffplasmen zum Einsatz, die den Photolack veraschen. Um Schädigungen der Substratoberfläche auf Grund von O<sub>2</sub>-Ionen zu vermeiden, wird nur die verhärtete obere Schicht des Photolacks abgetragen und der Rest mit Isopropanol und Aceton entfernt.

#### **Isopropanol und Aceton**

Dieses Standardverfahren verwendet ein Gemisch aus gleichen Anteilen Isopropanol und Aceton. Aceton ist ein Lösungsmittel für organische Substanzen und eignet sich besonders gut zur Photolackentfernung. Allerdings hinterlässt Aceton einen dünnen Film auf den Substraten. Durch die Beimischung von Isopropanol wird dieser Film zum größten Teil verhindert. Ein mehrmaliges Abspülen des Substrats mit DI-Wasser löst dann die letzten Rückstände dieses Films. Wurde der Photolack Plasmen oder hohen Temperaturen ausgesetzt, so ist die Vernetzung der Lackpolymere so stark, dass der Photolack kaum entfernt werden kann. Ein Erhitzen der Lösung auf 35°C und die Benutzung eines Ultraschallbeckens erhöht die Lösungskraft von Aceton und ermöglicht das Ablösen von sehr hart gebackenen Photolacken.

#### Veraschen

Photolack wird auch zur Maskierung von Implantationsgebieten verwendet. Der hier auftretende Ionenbeschuss verhärtet den Photolack in den oberen Schichten soweit, dass Isopropanol und Aceton zur Auflösung des Photolacks alleine nicht mehr geeignet sind. Daher werden die oberen Schichten des Photolacks mit Hilfe eines Sauerstoffplasmas verascht. Zum Veraschen werden in einem Sauerstoffplasma Ozon und Sauerstoffradikale durch folgende Reaktion erzeugt:

$$3O_2 \to O_2 + O^* + O_3.$$
 (4.7)

Die Radikale reagieren dann mit den Kohlenstoffverbindungen des Photolacks zu den flüchtigen Produkten Kohlenmonoxid (CO) und Kohlendioxid (CO<sub>2</sub>). Dagegen verbleiben Dotierstoffe ( $B_2O_3$  und  $P_2O_5$ ) im Photolack auf der Substratoberfläche, da sie nicht gasförmig sind. Es ist daher auch hier wichtig, nur die verhärteten Schichten abzutragen und den restlichen Photolack mit Isopropanol und Aceton zu entfernen. Ein anschließender RCA-Clean ist allerdings unumgänglich, um restliche Verunreinigungen zu beseitigen.

Für den Veraschungsprozess wurde eine Oxford PlasmaLab 80 Plus Anlage verwendet (Kapitel 5.6.1). Die Prozessparameter sind in der Tabelle 4.2 aufgeführt.

Zeit	Temperatur	Druck		O <sub>2</sub> -Fluss	Leist	ung
[s]	[°C]	[Pa]	[mTorr]	[slm]	kapazitiv	induktiv
					[W]	[W]
45	25	1.3	10	50	20	500

Tabelle 4.2: Parameter zur	Veraschung von	Photolack
----------------------------	----------------	-----------

# 4.3 Lithographie

Der Strukturübertrag von den Masken auf die Substrate wurde mittels Lithographie durchgeführt. Hierzu wurde eine Karl Süss Mask Aligner 6 (MA6) Anlage verwendet mit einer maximalen Auflösung von 1 µm für Hard-Contact Belichtungen und einer Justiergenauigkeit von 0.5 µm. Die Anlage ist mit einer 350 W Quecksilberdampflampe ausgestattet, deren Hauptspektrallinien bei 365 nm (i-Linie), 405 nm (h-Linie) und 436 nm (g-Linie) liegen. Die hierfür passenden subµm Lacksysteme stammen von der Firma Allresist. Speziell wurden für diese Arbeit der Photolack AR-P 3840 für reflektierende Oberflächen (Aluminium) und der Photolack AR-P 3740 für nicht reflektierende Oberflächen verwendet. Besondere Anforderungen stellte der Mesaätzprozess dar. Hierfür wurde der Photolack SX AR-P 3740 benutzt. Die Positivlacke bestehen aus einer Kombination aus dem photoempfindlichen Diazoquinon (DQ)-Ester, Novolakharz und einem safer-solvent-Lösemittel (1-Methoxy-2-propyl). Bei der Belichtung wird das alkaliunlösliche o-Naphthodiazochinon in die alkalilösliche 1-Indencarbonsäure umgewandelt und kann nun mit TMAH-Entwicklern gelöst werden. Hierfür wurde, der zu den verwendeten Photolacken passende metallionenfreie Entwickler AR 300-47 der Firma Allresist verwendet.

Die zu übertragenden Strukturen unterscheiden sich von Maske zu Maske. Daher wurde die optimale Belichtungszeit für jede Maske einzeln bestimmt. Rauigkeiten auf der Oberfläche insbesondere bei Aluminium kann die Auflösung beeinträchtigen. Da diese Gegebenheiten nicht reproduzierbar sind, musste teilweise für jedes Substrat die optimale Belichtungszeit gefunden werden. Im Folgenden werden die einzelnen Schritte für den Strukturübertrag erläutert.

### HMDS

Hexamethyldisilazan ( $C_6H_{19}NSi_2$ ) ist ein organischer Haftvermittler, der die Haftung des Photolacks auf dem Substrat verbessert. HMDS strömt als Dampf 5 min lang über die Substratoberfläche und bildet eine wenige Atomlagen dicke Schicht. Diese Schicht bewirkt eine Hydrophobierung der Oberfläche, so dass Wasser auf ihr verdrängt wird.

### Spin-coating

Die Substrate werden in eine Spin-coating Anlage gelegt und mit 6 ml Photolack

aus einer Pipette versehen. Für Aluminiumschichten wird AR-P 3840, ansonsten AR-P 3740 verwendet. Für den Mesaätzprozess wurde der Photolack SX AR-P 3740 benutzt. Der Photolack wird anschließend zunächst für 5 s bei 500 Umdrehungen pro Minute und dann für 25 s bei 4000 Umdrehungen pro Minute aufgeschleudert. Hierdurch ergeben sich Photolackdicken von etwa 1.4 µm [63].

#### Prebake

Der Photolack muss nun mit einem *Prebake*<sup>34</sup> für die Belichtung vorbereitet werden. Hierbei werden Lösungsmittel ausgetrieben und die Haftung zum Substrat verbessert. Dies ist wichtig, damit der Photolack bei der folgenden Hard-Contact Belichtung nicht an der Maske festklebt. Als geeignet hat sich ein Prebake von 2 min bei einer Temperatur von 110°C auf einer Heizplatte erwiesen.

#### Belichtung

Um eine optimale Auflösung zu erzielen, wurde eine Hard-Contact Belichtung gewählt, bei der Substrat und Maske in direkten Kontakt kommen. Hierdurch wird die Maske bei mehreren Belichtungen mit Photolackresten verschmutzt. Daher wurden die Masken vor jedem Belichtungsschritt in einem Bad aus Isopropanol und Aceton (im Verhältnis 1:1) und anschließend in Schwefelsäure gereinigt. Die Belichtungsintensität wurde auf den konstanten Wert von 11.3 mW/cm<sup>2</sup> eingestellt. Je nach Maske und Substratoberfläche variierten die Belichtungszeiten von etwa 4 bis 6.6 s. Diese sind im Anhang (9) aufgelistet.

#### **Postexposure Bake**

Ein *Postexposure Bake*<sup>35</sup> ist besonders wichtig für den Mesaätzprozess. Hierdurch wird die Thermo- und Alkalistabilität des Photolackes erhöht. Die gewählte Temperatur von 130°C liegt über der Fließtemperatur von 120°C des Photolacks, so dass dieser zum Fließen anfängt. Durch die homogene Verteilung des Photolacks auf dem Substrat können im Gegensatz zu freistehenden Photolackstrukturen die belichteten Gebiete nicht zerlaufen. Somit bleiben die Seitenwände der belichteten Strukturen stabil. Es werden lediglich die photoaktivierten und nicht-photoaktivierten Bereiche leicht verschmiert, wodurch Interferenzmuster während der Belichtung ausgeglichen werden können und die Seitenwände des Photolacks geglättet werden [63]. Die Entwicklungszeit des Photolacks wird durch den Postbake leicht erhöht. Der Postbake wird bei 130°C für 5 min auf einer Heizplatte durchgeführt.

#### Entwickeln

Für die Entwicklung der belichteten Substrate wurden jeweils 400 ml des Entwicklers AR 300-47 verwendet. Nur für den Mesaätzprozess wurde dieser mit

<sup>&</sup>lt;sup>34</sup>engl.: Vorbacken

<sup>&</sup>lt;sup>35</sup>engl.: Ausbacken nach der Belichtung

DI-Wasser im Verhältnis 5 zu 1 verdünnt. Die Substrate wurden während der Entwicklung leicht rotiert, um das Ablösen des belichteten Photolacks zu erleichtern. Je nach Belichtungszeit, Postbake, Entwicklerverdünnung und Substrat variiert dabei die Entwicklungszeit zwischen 45 s und 1 min 30 s. Die genauen Werte hierfür sind im Anhang (9) aufgelistet. Nach der Entwicklung werden die Substrate in DI-Wasser gespült und mit Stickstoff getrocknet. Abschließend wird eine Qualitätskontrolle anhand von Teststrukturen durchgeführt.

#### Postbake

Nach der Entwicklung muss für nasschemische Ätzprozesse der Photolack einem zweiten Postbake unterzogen werden. Dies ist notwendig, um die Haftung des Photolacks an den nun freiliegenden Seitenwänden zum Substrat zu erhöhen und den Photolack durch eine größere Vernetzung der Polymere gegenüber Säuren widerstandsfähiger zu machen. Ansonsten könnten Säuren auf Grund ihrer niedrigen Oberflächenspannung den Photolack unterätzen und vom Substrat ablösen. Der zweite Postbake wird ebenfalls für 5 min bei 130°C auf einer Heizplatte durchgeführt.

## 4.4 Thermische Oxidation

In der Halbleiterindustrie werden Isolatoren wie thermische Oxide vor allem zur Bildung von MOS-Kapazitäten verwendet [5]. Siliziumoxid (SiO<sub>2</sub>) besitzt eine Bandlücke von 8 eV und eignet sich besonders gut als Isolator auf Silizium, da es durch einen thermischen Prozess mit Sauerstoff direkt auf dem Silizium gewachsen werden kann. Durch die stete Skalierung der Bauelemente in der Halbleiterindustrie (Kapitel 2.2) muss die Oxiddicke  $t_{ox}$  bei Transistoren immer dünner werden. Ab etwa 3 nm tritt allerdings direktes Tunneln durch die Oxidschicht auf, und ab 2 nm werden die Leckströme durch das Oxid zu groß für die Anwendungen in der Halbleiterindustrie. Aus diesem Grund werden neuartige Isolatoren, die so genannten *high-k* Dielektrika, mit hoher Dielektrizitätszahl für die neuen 45 nm Technologien in der CMOS Produktion verwendet [65]. Durch die höhere Dielektrizitätszahl können die Isolatorenschichten, bei gleichem elektrischen Feld dicker sein als eine Oxidschicht. Hierdurch kann der Leckstrom erheblich reduziert werden.

Bei der thermischen Oxidation reagiert Silizium mit Sauerstoff zu Siliziumoxid. Der Sauerstoff kann dabei in reiner Form, der *Trockenoxidation*, oder in Form von Wasserdampf, der *Feuchtoxidation*, zur Verfügung gestellt werden. Die chemische Reaktion für Trockenoxide ist:

$$Si + O_2 \rightleftharpoons SiO_2$$
. (4.8)

Die Feuchtoxidation wird durch

$$Si + 2H_2O \rightleftharpoons SiO_2 + 2H_2$$
 (4.9)

beschrieben. Bei der Reaktion wird auch das Silizium zu 45 % der resultierende Oxidschichtdick verbraucht [66]. Trockenoxide werden üblicherweise bei hohen Temperaturen gewachsen (1000°C bis 1200°C), da die Wachstumsgeschwindigkeiten sehr klein sind (etwa 20 nm/h bei 920°C [67]). Dafür besitzen Trockenoxide eine hohe Durchbruchspannung [66], da die Stöchometrie sehr homogen ist. Feuchtoxide besitzen eine wesentlich höhere Wachstumsgeschwindigkeit bei gleichen Temperaturen als Trockenoxide. Dies liegt an dem im Wasserdampf enthaltenen OH<sup>-</sup>-Gruppen, die das bereits vorhandene Oxid aufspalten und somit die Diffusion des Sauerstoffs zur Siliziumgrenzschicht erleichtern [66]. Hierdurch können Oxide bei niedrigeren Temperaturen gewachsen werden (ab 800°C). Andererseits werden vermehrt Wasserstoffatome in das Oxidgitter eingebaut, die die Stöchometrie und auch die Durchbruchspannung im Vergleich zu Trockenoxiden verringern.

Die Wachstumskinetik der Reaktion kann bei dicken Oxidschichten (größer als 30 nm) durch das *Deal-Grove-Modell* beschrieben werden [67]. Dieses Modell berücksichtigt die Diffusion des Sauerstoffs durch die bereits gebildete Oxidschicht. Durch die Diffusion wird die Reaktion verlangsamt, so dass die zuwachsende Schichtdicke  $t_{ox}$  von der Wachstumszeit t wie folgt abhängt:

$$t_{ox} \sim \sqrt{t} \,. \tag{4.10}$$

Bei dünnen Schichten (kleiner als 30 nm) kann jedoch die Diffusion vernachlässigt werden, so dass die Gesamtreaktion durch die Reaktion an der Grenzfläche zwischen Silizium und SiO<sub>2</sub> bestimmt wird. Für die Schichtdicke  $t_{ox}$  gilt dann:

$$t_{ox} = c \cdot t \,. \tag{4.11}$$

Die Oxidationskonstante *c* ist durch das *Arrhenius-Gesetz* sehr stark von der absoluten Temperatur *T* abhängig:

$$c = \alpha_1 \cdot e^{(-\alpha_2 T)} \,. \tag{4.12}$$

Die Konstanten  $\alpha_1$  und  $\alpha_2$  werden durch Gasfluss, Gasart und Kristallorientierung festgelegt [68].

Der Sauerstoffpartialdruck  $p_{O_2}$  bestimmt das Gleichgewicht der Reaktionen (4.8 und 4.9). Je niedriger der Sauerstoffpartialdruck und je höher die Temperatur ist, desto mehr wird das Gleichgewicht auf die linke Seite der Reaktion verändert. *Smith* und *Ghidini* [69] haben diesen Zusammenhang für (100)-Silizium zeigen können (siehe Abbildung 4.1).

Für den VFD SONFET ist das *thermische Budget*  $\langle W_{th} \rangle$  eine entscheidende Größe. Dieses hängt von der absoluten Temperatur *T* und der Zeit *t* des Prozesses ab:

$$\langle W_{th} \rangle = \int k_B T(t) \quad dt \,. \tag{4.13}$$

Die Wachstumstemperatur der SiGe-Opferschicht für den VFD SONFET liegt bei 700°C. Diese darf nicht wesentlich überschritten werden, um nachträgliche Versetzungen in der SiGe-Opferschicht zu vermeiden (Kapitel 5.4.1). Gute Oxidqualitäten werden allerdings, selbst bei Feuchtoxidationen erst ab 800°C erreicht. Daher wurde als Kompromiss für den VFD SONFET eine Wachstumstemperatur von 800°C gewählt.

In der Halbleiterindustrie werden für die thermische Oxidation häufig widerstandsgeheizte Öfen verwendet, da hier viele Substrate in einem Batch-Prozess auf einmal



Abbildung 4.1: Schematische Darstellung der Grenzen zwischen Oxidation und Desorption

Die Ergebnisse von *Smith* und *Ghidini* [69] zeigen die Korrelation zwischen dem Sauerstoffpartialdruck  $p_{O_2}$ , der Temperatur und dem Gleichgewicht der Reaktion (4.8). Die eingezeichnete Gerade ist die Grenzen zwischen der thermischen Oxidation (oben rechts) und der thermischen Desorption (unten links).

oxidiert werden können. Bei diesen Öfen erfolgt die Wärmeleitung unterhalb von 550°C zum Substrat über die Gasphase. Diese ist sehr ineffektiv, weil das Aufheizen der Substrate sehr lange dauert. Aus diesem Grund werden diese Öfen auf einer konstanten Temperatur von 600°C gehalten, ab der die Infrarotwärmestrahlung dominiert und das Substrat durch Intra-Band Übergänge aufgeheizt wird. Dennoch sind die Rampen mit etwa 5°C/min sehr langsam, so dass das thermische Budget sehr hoch ist und schon während der Aufheizphase das Silizium oxidiert wird.

Die erste benötigte Oxidation für den VFD SONFET dient zur Bildung eines *Streu*oxids für die Implantation der p<sup>+</sup>-Gebiete (Kapitel 5.2.2). Zu diesem Zeitpunkt existieren keine kritischen Strukturen auf dem Substrat, so dass hier das thermische Budget keine Rolle spielt. Aus diesem Grund wurde für diesen Prozess ein bereits vorhandener Prozess zur Bildung eines 17 nm dicken Streuoxids verwendet. Die Oxidation wurde in einem Ofen der Firma Inotherm durchgeführt, dessen Rohr auf einer konstanten Temperatur von 600°C gehalten wird. Die Parameter des Prozesses sind in Tabelle 4.3 zu sehen.

Um das thermische Budget für die Oxidationen des VFD SONFETs nach den Implantationen zu erniedrigen, wird ein *Rapid Thermal Process* (RTP) verwendet. Bei dieser Arbeit wurde eine Steag AST RTP SHS200 Anlage verwendet, die über eine Einzelsubstratkammer verfügt. Ein Wolfram-Halogenlampenfeld kann die Substrate mit einer Rampe von 100°C/s aufheizen, da die Strahlungsenergie größer als die Bandlücke von Silizium ( $W_{Gap}$ =1.12 eV) ist. Die Anlage verfügt über eine Stickstoff-, Sauerstoff-, Wasserstoff- und Ammoniakzuleitung. Um die Reinheit des Wasserdampfes bei Feuchtoxidationen so hoch wie möglich zu halten, wird das Wasser durch Verbrennen des Wasserstoffes in einem Pyrogenic-System gewonnen. Die Oxidation findet unter Atmosphärendruck statt.

Für die weiteren Oxidationen des VFD SONFETs wurde ein bereits bestehender Prozess gewählt (siehe Tabelle 4.4). Dieser dient zur Bildung des Gatedielektrikums

# Tabelle 4.3: Parameter für die thermische Oxidation eines 17 nm Feuchtoxids im Rohrofen

Die Spülung wird in Sauerstoff durchgeführt, da der verwendete Sauerstoff eine höhere Reinheit als der Stickstoff besitzt und somit Verunreinigung reduziert werden.

	Temp.	O <sub>2</sub> -Fluss	H <sub>2</sub> -Fluss	N <sub>2</sub> -Fluss	Zeit
	[°C]	[slm]	[slm]	[slm]	[min]
Spülen	600	5	-	-	5
Rampe auf	800	5	-	-	20
Stabilisierung	800	5	-	-	5
Feuchtoxidation	800	2.8	5	-	24
Tempern	800	-	-	5	10
Abkühlen	600	-	-	5	60

#### Tabelle 4.4: Parameter für die thermische Oxidation eines 8 nm Feuchtoxids mit RTP

	Temp.	O <sub>2</sub> -Fluss	H <sub>2</sub> O-Fluss	N <sub>2</sub> -Fluss	Zeit
	[°C]	[slm]	[slm]	[slm]	[s]
Rampe auf	650	10	-	-	5
Stabilisierung	650	-	5	-	100
Rampe auf	690	-	5	-	1
Stabilisierung	690	-	5	-	5
Rampe auf	800	-	1.82	-	2.12
Feuchtoxidation	800	-	1.82	-	600
Abkühlen	0	-	-	20	500

(Kapitel 5.8), der Hartmaske (Kapitel 5.9) und zur Ausdünnung des Kanalgebiets (Kapitel 5.11).

## 4.5 Passivierung

Die Passivierung der Bauelemente ist notwendig, um sie vor äußeren Einflüssen wie elektrischen Feldern oder Reoxidation durch Sauerstoff zu schützen. Elektrische Isolatoren wie Nitrid (Si<sub>3</sub>N<sub>4</sub>) oder Oxid kommen hierfür in Frage. Beide Materialien werden durch ein LPCDV Abscheideverfahren auf die Substrate abgeschieden. Für Oxid können Nieder-Temperatur-Oxide (LTO)<sup>36</sup> benutzt werden. Hierfür verwendet man beispielsweise Diethylsilan (DES), da hier bereits ab 430°C Abscheideoxide gebildet werden können.

Auch Tetraethylorthosilikat (TEOS) kann als Passivierung verwendet werden, allerdings ist hier die Abscheidetemperatur mit 730°C erheblich höher. DES wurde in

<sup>&</sup>lt;sup>36</sup>engl.: Low Temperature Oxid

dieser Arbeit als Hartmaske für die n<sup>+</sup>-Dotierung mit Dotierglas verwendet (Kapitel 5.2.1).

#### 4.5.1 LPCVD Nitrid

In dieser Arbeit wurde ein LPCVD Nitrid für die Passivierung aus folgenden Gründen verwendet. Nitrid besitzt gegenüber Oxid eine hohe Durchbruchfestigkeit von  $2 \cdot 10^7$  V/cm und eine erheblich niedrigere Diffusionskonstante für Dotierstoffe, Sauerstoff und vor allem ionische Verunreinigungen wie beispielsweise Na<sup>+</sup>. Hinzu kommt eine gute mechanische Stabilität, die für die VFD SONFET-Struktur von Vorteil ist. Nitrid besitzt allerdings eine höhere Grenzflächenzustandsdichte gegenüber Silizium (> $10^{11}$  cm<sup>-2</sup>eV<sup>-1</sup>). Daher wird u.a. in dieser Arbeit vor der Abscheidung des Nitrid ein thermisches Oxid gewachsen (Kapitel 5.11). Dies verbessert auch die Haftung des Nitrids auf dem Substrat. In einer LPCVD-Anlage der Firma Intertherm werden die Substrate dabei auf 750°C erhitzt. Die Rampenzeit für die Aufheiz- und Abkühlphase beträgt jeweils etwa eine Stunde. Die Prozesszeit dauert 1300 s und erzeugt Nitriddicken von etwa 90 nm. Während des Prozesses wird Dichlorsilan (SiH<sub>2</sub>Cl<sub>2</sub>) und Ammoniak (NH<sub>3</sub>) eingelassen. Durch die Verwendung von Ammoniak als Stickstoffquelle kann die Abscheidetemperatur bei niedrigen Temperaturen gewählt werden, da die Dissoziationsenergie wesentlich kleiner ist als für molekularen Stickstoff. Der Druck wird auf einem konstanten Wert von 50 Pa (0.5 mbar) durch eine Drehschieberpumpe gehalten. Durch die pyrolytische Reaktion

$$3SiH_2Cl_2 + 7NH_3 \rightarrow Si_3N_4 + 3HCl + 6H_2 + 3NH_4Cl$$
 (4.14)

entsteht Nitrid auf dem Substrat. Die gewachsene Nitridschicht übt selbst durch eine dazwischenliegende Oxidschicht eine Zugspannung auf das Siliziumsubstrat aus, in das Versetzungen erzeugt werden können. Für ein thermisches Oxid darf daher die Nitridschicht maximal viermal dicker sein als das Oxid [70]. Demnach muss das thermische Oxid eine Dicke von mindestens 23 nm besitzen. Eine genauere Beschreibung hierfür findet sich im Kapitel 5.11.

#### 4.5.2 Strukturierung von Nitrid

Um Nitrid zu strukturieren, kann etwa 55°C bis 180°C heiße 80% ige Phosphorsäure (H<sub>3</sub>PO<sub>4</sub>) verwendet werden. Kleine Ätzraten von etwa 3 nm/min, eine kleine Selektivität gegenüber Silizium von etwa acht und die Notwendigkeit einer CVD-Oxid Hartmaske sprechen allerdings gegen dieses Verfahren [71]. Ferner erfordert der gefährliche Ätzschritt durch die Zersetzung von Phosphorsäure bei hohen Temperaturen eine gasdichte Rückführ-Ätzanlage, die nicht vorhanden war. Daher wurde ein Trockenätzverfahren vorgezogen.

Hierfür wurde ein Standardprozess in einem Oxford PlasmaLab 80 Plus Reactive Ion Etching (RIE) Reaktor benutzt (Kapitel 5.6.1). Die Parameter zur Ätzung von 100 nm Nitrid sind in der Tabelle 4.5 aufgeführt [72].

Die Ätzrate von Nitrid ist mit etwa 70 nm/min um den Faktor 3.5 höher als für Silizium, so dass die Selektivität gering ist. Der Prozess berücksichtigt eine 10%

Zeit	Temp.	Ľ	Druck	CHF <sub>3</sub> -	O <sub>2</sub> -	Leistung	
[s]	[°C]	[Pa]	[mTorr]	Fluss	Fluss	kapazitiv	induktiv
				[sccm]	[sccm]	[W]	[W]
90	25	0.13	10	50	4	150	0

Tabelle 4.5: Prozess zui	Strukturierung von	Nitrid
--------------------------	--------------------	--------

ige Überätzung des Nitrids. Das Silizium wird in diesem Fall nur etwa 3 nm angeätzt, und der Prozess stellt somit kein Problem dar. Allerdings ist dieser Prozess stark anisotrop, da das CHF<sub>3</sub>-Plasma Polymere bildet, die sich gleichmäßig in der Kammer verteilen. Entlang der vertikalen Mesastrukturen können die senkrecht beschleunigten Ar-Ionen im Plasma diese Polymere nicht physikalisch entfernen. Damit werden diese Seiten vor der chemischen Reaktion mit CHF<sub>3</sub> geschützt. Diese Anisotropie führt bei der Passivierung des Poly-Gates mit Nitrid zu Problemen. Diese werden in 5.10 ausführlich erläutert.

## 4.6 Metallisierung

Zur Kontaktierung der Source-, Drain- und Gate-Gebiete müssen diese Bereiche mit Metallbahnen verbunden werden. Diese Bahnen führen in einem genügend großen Abstand von der aktiven Region des Transistors zu Kontaktbereichen (Pads), die mit Nadeln oder Bond-Drähten kontaktiert werden können. Wichtig bei der Metallisierung ist die Ausbildung eines ohmschen Kontakts zwischen Silizium und Metall. In der Halbleiterindustrie wird hierfür u.a. auch Aluminium verwendet, das einen geringen spezifischen Widerstand von 2.7 μmΩcm besitzt. Allerdings ist Silizium in Aluminium löslich, so dass abhängig von der Temperatur das Silizium der kontaktierten Gebiete ins Aluminium diffundieren wird. Insbesondere ist dies bei einem abschließenden Formiergastempern (Kapitel 4.7) der Fall. Im Gegenzug nimmt das Aluminium den Platz des diffundierten Siliziums ein (Spiking). Dies kann zu Kurzschlüssen führen. Messungen zu Folge kann Aluminium mehrere hundert Nanometer tief in das Silizium eindringen [63]. Um diesen Vorgang zu unterdrücken, wird Aluminium vor der Abscheidung oberhalb der Löslichkeitsgrenze mit 1 % Silizium (AlSi) vermengt. Bei der Verwendung von Aluminium auf Silizium wirkt dieses auf Grund seiner Drei-Wertigkeit wie eine p-Dotierung im Silizium. Hierdurch entstehen auf n-dotierten Silizium pn-Übergänge, die zu einer Diode mit nicht-linearen Strom-Spannungs-Kennlinien führen. Wird die ndotierte Schicht bis zur Entartung dotiert (> $10^{20}$  cm<sup>-3</sup>), so kann die Diode durch Tunnelströme überbrückt werden und ein ohmscher Kontakt ist hergestellt. In der Epitaxie stellt das Wachstum von sehr hochdotierte einkristallinen n<sup>+</sup>-Schichten ein Problem dar, da Phosphor segregiert und Störstellen im Kristall hinterlässt. Der Einbau von sehr hohen Konzentrationen ist zwar trotzdem möglich, dennoch ist nur ein Teil des Phosphors auch elektrisch aktiviert, so dass die n-Schicht unterhalb der Entartungsgrenze bleibt.

Um diese Probleme zu umgehen, wurde ein Stapel aus Titan (Ti), Titannitrid (TiN) und AlSi für die Metallisierung verwendet. Die etwa 30 bis 40 nm dicke Titan-

schicht bildet mit Silizium auf Grund der Bildung von Titansilizid innerhalb der ersten Nanometer einen ohmschen Kontakt für n- und p-dotiertes Silizium. Auf Grund des relativ hohen spezifischen Widerstandes von Titan von 42 µm $\Omega$ cm im Vergleich zu Aluminium ist es günstiger, für einen niedrigen Zuleitungswiderstand auf das dünne Titan etwa 300 nm Aluminium abzuscheiden. Hierdurch fließt der Hauptanteil des Stroms in lateraler Richtung über das Aluminium. Experimente zeigen jedoch [63], dass trotz der Verwendung von AlSi das Aluminium nach dem Formiergastempern durch das Titan in das Silizium gespikt ist. Um dies zu verhindern wird, eine etwa 100 nm dicke Titannitridschicht zwischen dem Aluminium und dem Titan abgeschieden, die als Diffusionsbarriere fungiert.

Die Abscheidung der einzelnen Metallschichten wurde für diese Arbeit an einer Leybold-Heraeus Z550 Magnetron-Sputteranlage durchgeführt. Die Anlage verfügt über einen rotierenden Chuck, um eine homogene Abscheidung zu erzielen. Der Chuck kann sowohl geerdet werden (DC-Mode), als auch floatend (RF-Mode) sein. Als Prozessgase werden Argon und Stickstoff verwendet. Das Vakuumsystem kann Drücke bis  $10^{-5}$  Pa ( $10^{-7}$  mbar) erzielen. Die Metallisierung erfolgt durch einen Standardprozess, der an der Universität der Bundeswehr entwickelt wurde [63]. Die Parameter für diesen Prozess sind in Tabelle 4.6 aufgelistet. Es sei darauf hingewiesen, dass die Sputterrate  $R_{\text{Sputter}}$  für den DC-Mode durch [7]

$$R_{\rm Sputter} = V_{\rm Bias}{}^{\alpha} p \frac{\Upsilon}{d_{\rm Target}}$$
(4.15)

$V_{\rm Bias}$	Bias-Spannung
α	geometrieabhängiger Parameter mit Werten zwischen 1 und 2
р	Druck
Y	Sputterausbeute
$d_{\text{Target}}$	Abstand zwischen Target und Substrat
Ū	

gegeben ist. Durch den steten Verbrauch der Targets nimmt der Abstand  $d_{\text{Target}}$  zu, so dass die Sputterraten abnehmen. Beispielsweise nahm bei dieser Arbeit die Targetdicke von AlSi innerhalb eines Jahres um 5 mm ab, so dass die Sputterraten nicht konstant blieben. Aus diesem Grund werden in den Rezepten in Tabelle 4.6 anstatt der Sputterzeit nur die zu erzielende Schichtdicke angegeben.

Für Titan und Aluminium wird ein DC-Prozess verwendet, bei dem Argon als Prozessgas verwendet wird, um chemische Reaktionen im Plasma zu unterbinden. Der Chuck wird mit dem Substrat geerdet, während an der Targetseite (Kathode) eine negative Gleichspannung angelegt wird. Findet nun die Zündung des Plasmas statt, so fällt der Großteil der Spannung vor der Kathode ab, und die Argonionen werden in diesem Bereich auf das Target beschleunigt. Beim Auftreffen werden Targetteilchen herausgeschlagen, die sich anschließend auf dem Substrat niederlassen.

Beim Titannitrid wird ein reaktives Verfahren (RF-Mode) benötigt, da Titannitrid durch eine chemische Reaktion erzeugt werden muss. Hierzu wird ein Hochfrequenzfeld in das Plasma eingekoppelt, durch das Argonionen wiederum Targetteilchen herausschlagen können. Zusätzlich wird nun Stickstoff in das Plasma eingeleitet, so dass Stickstoffradikale entstehen. Diese verbinden sich mit dem Titan zu Titannitrid und kondensieren auf dem Substrat. Da die Reaktionswahrscheinlichkeit von Titanoxid etwa drei Größenordnungen höher ist als die für Titannitrid [73], muss der Sauerstoffpartialdruck in der Kammer sehr gering sein. Aus

Metall	Mode	Restga	S-	Gas	Dru	ck	Potenzial	Dicke
		druck					[V]	[nm]
Ti	DC	$6 \cdot 10^{-4}$	Pa	Ar	$8 \cdot 10^{-1}$	Ра	350	35
		$6 \cdot 10^{-6}$	mbar		$8 \cdot 10^{-3}$	mbar		
TiN	RF	$< 4 \cdot 10^{-5}$	Pa	Ar	$7 \cdot 10^{-1}$	Pa	Target	100
	1.5 kW	$< 4 \cdot 10^{-7}$	mbar		$7 \cdot 10^{-3}$	mbar	118	
				$N_2$	$3 \cdot 10^{-1}$	Pa	Substrat	
					$3 \cdot 10^{-3}$	mbar	50	
AlSi	DC	$6 \cdot 10^{-4}$	Pa	Ar	$8 \cdot 10^{-1}$	Pa	350	300
		$6 \cdot 10^{-6}$	mbar		$8 \cdot 10^{-3}$	mbar		

Tabelle 4.6: Prozess zur Metallisierung von n- und p	-dotiertem Silizium [6	3]
--	------------------------	----

diesem Grund wird der Restgasdruck auf unter  $4 \cdot 10^{-5}$  Pa ( $4 \cdot 10^{-7}$  mbar) reduziert. Dies entspricht auch dem Limit der Anlage. Für die Bildung von Titannitrid muss außerdem das Substrat erhitzt werden [72], da dies aber nicht in dieser Anlage durchführbar war, wurde die eingekoppelte HF-Leistung auf 1500 Watt erhöht.

Zur Strukturierung von Aluminium wird PNA (Kapitel 4.2.4) verwendet. Als Maske dient dabei Photolack. Auf Grund der hohen Selektivität von PNA zwischen Aluminium und Titannitrid müssen die restlichen Metallschichten durch eine andere Lösung strukturiert werden. Hierzu wird die SC-1-Lösung (Kapitel 4.1.1) verwendet. Da aber hierdurch auch Aluminium angegriffen wird, fügt man der SC-1-Lösung etwa 3 g/l Kieselgel hinzu. Dadurch bildet sich Aluminiumsilikat, das nun eine genügend hohe Resistenz gegenüber der SC-1-Lösung besitzt. Allerdings können hierdurch auch nach Spülen Kieselgelrückstände auf dem Substrat verbleiben. Vor der Ätzung wird die SC-1-Lösung auf etwa 50°C in einem Ultraschallbecken erhöht.

## 4.7 Formiergastempern

Der abschließende Prozess zur Fertigstellung des VFD SONFETs ist das Formiergastempern. Die Substrate werden hierzu in einer Atmosphäre aus 95 % Stickstoff und 5 % Wasserstoff für 30 min auf Temperaturen zwischen 350°C und 450°C gebracht. Durch die hohen Temperaturen bilden sich an den Kontaktstellen zwischen Silizium und Metall Silizide aus die einen ohmschen Widerstand besitzen. Somit werden die Kontaktwiderstände reduziert und eventuelle Schottky-Kontakte verhindert.

Durch die Zugabe von Wasserstoff wird die Qualität der Grenzschicht zwischen Silizium und Oxid verbessert, da atomarer Wasserstoff Dangling Bonds an dieser Grenzfläche absättigt und somit elektrisch deaktiviert. Dies verbessert die Grenzflächenzustandsdichte für Oxid um eine Größenordnung [74]. In der Gasphase wird der Wasserstoff in molekularer Form angeboten. Erst Aluminium bildet durch seine katalytische Wirkung atomaren Wasserstoff [75] und leitet damit die Absättigung der Dangling Bonds ein. Ohne Aluminium wird eine Verbesserung der Grenzflächenzustandsdichte erst ab Temperaturen von 1050°C beobachtet [76]. Ein solcher Schritt vor der Metallisierung wäre denkbar, würde allerdings zu starken Diffusionen der dotierten Gebiete führen und somit das Bauelement unbrauchbar machen.

# Kapitel 5

# Entwicklungsprozesse für den VFD SONFET

In diesem Kapitel werden die wichtigsten Prozesse besprochen, die zur Herstellung des VFD SONFETs im Rahmen dieser Arbeit entwickelt wurden. Der erste Prozess beinhaltet die Herstellung von Justiermarken im Substrat auf die weitere Maskenebenen justiert werden können (Kapitel 5.1). Anschließend werden die Drain- und p<sup>+</sup>-Gebiete im Substrat durch Diffusion oder Implantation realisiert (Kapitel 5.2). Ein wesentlicher Teil dieser Arbeit beschäftigt sich mit Epitaxie. Es wird daher eine kurze Einführung in das Thema der Epitaxie im Kapitel 5.3 gegeben. Anschließend werden die Prozesse zur Herstellung der SiGe-Opferschicht (Kapitel 5.4) und der Sourceschicht (Kapitel 5.5) erläutert. Dieser Schichtstapel wird mit einem RIE Atzprozess strukturiert, der im Kapitel 5.6 beschrieben ist. Über die Mesastruktur wird das Kanalgebiet konform mit der CVD abgeschieden (Kapitel 5.7). Danach wird ein geeignetes Gatedielektrikum (Kapitel 5.8) und polykristallines Silizium als Gate abgeschieden (Kapitel 5.9). In dem Kapitel 5.9 wird auch die Strukturierung und Passivierung des Gatestacks mit Nitrid beschrieben. Anschließend wird im Kapitel 5.10 auf die Entwicklung einer geeigneten Atzlösung mit hoher Selektivität zwischen Silizium und SiGe zur Entfernung der SiGe-Opferschicht eingegangen und der Atzprozess beschrieben. Zum Abschluss dieses Kapitels wird noch die Ausdünnung des Kanalgebietes durch eine thermische Oxidation im Kapitel 5.11 besprochen und das gesamte Kapitel zusammengefasst.

Durch die Entwicklung dieser Prozesse konnte ein Prototyp des VFD SONFETs entwickelt werden dessen elektrische Eigenschaften im Kapitel 6 gezeigt werden.

## 5.1 Justierkreuze

Der erste Schritt zur Herstellung eines VFD SONFETs ist die Implantation bzw. Diffusion der n<sup>+</sup>-Drain- und p<sup>+</sup>-Gebiete. Diese Prozesse werden im Kapitel 5.2 besprochen. Nach der Implantation und dem Ausheilen der Substrate sind die implantierten Strukturen nicht mehr sichtbar, so dass die Justierung der nächsten Maskenebene auf die implantierten Justierkreuze nicht möglich ist. Aus diesem Grund wird eine Referenzmaske zur Hilfe genommen, mit der im ersten Arbeitsschritt Justiermarken auf dem Substrat platziert werden können. Diese liegen au-
Maske	Drain	$p^+$	Source	Gate	Contact	Metall
justieren	Referenz	Referenz	Referenz	Referenz	Source	Source
auf				Source	Gate	Contact

Tabelle 5.1: Auflistung	der aufeinander	justierbaren Masken
-------------------------	-----------------	---------------------



## Abbildung 5.1: Layout und Mikroskop-Aufnahmen der Justierkreuze

a) Layout für Justierkreuze und die Realisierung der Nonien mit b) TMAH, c) Poly-Ätze, d) Plasmaätzen und e) optimierten Plasmaätzen.

ßerhalb aktiver Regionen des Substrates und beeinträchtigen daher nicht die Transistoren. Eine Karl Süss Mask Aligner 6 (MA6) Anlage wurde für die Lithographie verwendet (Kapitel 4.3).

Die Ungenauigkeit beim Justieren einer Maske (B) auf eine bereits im Substrat realisierte Maskenstruktur (A) ist für diese Anlage typischerweise 0.5  $\mu$ m. Wird eine zweite Maske (C) auf (A) justiert, so kann der Fehler zwischen (B) und (C) 1  $\mu$ m betragen. Daher ist es bei kritischen Strukturen sinnvoll in diesem Fall (C) direkt auf (B) zu justieren. Dies wurde beim VFD SONFET Maskensatz berücksichtigt (siehe Tabelle 5.1).

Die Justiermarken bestehen aus einem 196 µm großen Kreuz (Abbildung 5.1a rot), das zentriert in ein 200 µm großes Kreuz (grün) der vorhandenen Struktur im Substrat eingepasst werden kann, und den seitlich angebrachten Nonien. Diese bestehen aus 5 µm breiten Strichen mit einem Abstand von 3 µm (für die grünen) untereinander. Die mittleren, langen Striche beider Maskenebenen (rot und grün) werden dabei übereinander justiert. Der Abstand der kleineren roten Striche steigt dabei jeweils um 100 nm, so dass der laterale Versatz beider Masken auf 100 nm genau bestimmt werden kann.

Für den Strukturübertrag der Justiermarken wurden verschiedene Ätzverfahren untersucht. Hierzu zählen nasschemische Verfahren wie das anisotrope Ätzen mit TMAH (Kapitel 4.2.1) und das isotrope Ätzen mit Poly-Ätze (Kapitel 4.2.2), sowie das Trockenätzverfahren mit einem anisotropen Plasmaätzprozess (Kapitel 5.6). Als Qualitätsmerkmal für den Prozessschritt dient die optische Unterscheidbarkeit der Nonien.

### TMAH

Die verwendeten (100)-Substrate besaßen ein 60 nm dickes Hilfsoxid als Hartmaske. Nach der Strukturierung des Photolacks, wurde das frei gelegte Oxid mit BHF entfernt (Kapitel 4.2.3). Anschließend wurden die Substrate bei einer Temperatur von 80°C mit TMAH geätzt. Die entstandenen Strukturen der Nonien wiesen einen unzureichenden Strukturübertrag auf (Abbildung 5.1b). Offensichtlich stimmte die (100)-Kristallorientierung nicht mit der Ausrichtung der Maske überein, so dass auf Grund der Anisotropie des Ätzprozesses die Ätzung inhomogen verlief. Da eine exakte Ausrichtung zur Kristallorientierung mit den verwendeten Anlagen nicht möglich ist, eignet sich TMAH nicht für diesen Prozess.

## Poly-Ätze

Für optisch gut sichtbare Justierkreuze benötigt man Gräben von über einem Mikrometer Tiefe. Bei einer Ätzrate von ungefähr 240 nm/min bei Raumtemperatur, wurde eine Ätzzeit von 5 min 30 s gewählt. Damit der Photolack dieser Ätzzeit standhält, muss er bei 130°C für 5 min ausgebacken werden. Trotzdem fing der Photolack an sich bereits nach 4 min teilweise zu lösen. Die Strukturen wiesen daher starke Unterätzungen auf, so dass sich dieser Prozess nicht eignete.

#### Plasmaätzprozess

Für die Entwicklung dieses Prozesses wurde ein bereits vorhandener Ätzprozess (P1), der zur Atzung steiler Kanten dient, als Ausgangsbasis verwendet. Die Prozessparameter sind in Tabelle 5.2 aufgelistet. Der hierdurch entstandene Strukturübertrag erreichte nicht die gewünschte Qualität (Abbildung 5.1d), so dass der Prozess modifiziert werden musste. Offensichtlich ist die Ätzrate dieses Prozesses sehr klein, und man muss bei der Verwendung dieses Prozesses lange Ätzzeiten in Kauf nehmen. Um die Ätzrate zu erhöhen, wurde daher sowohl die physikalische Ätzrate durch eine Erhöhung des Argonflusses auf 10 sccm, als auch die chemische Ätzrate durch Erhöhung der Temperatur auf Raumtemperatur, gesteigert (Kapitel 5.6.1). Die hierdurch erzielten Strukturen wiesen einen optimalen Strukturübertrag auf und sind bei der Justierung an der MA6 deutlich erkennbar. Eine weitere Steigerung der Anisotropie durch Erhöhung der kapazitiven Leistung war daher nicht notwendig. Auch nach allen folgenden Prozessen (insgesamt etwa 1 µm Schichtabscheidung) treten die Justierkreuze der Referenzmaske deutlich hervor. Für den VFD SONFET wurde daher der Prozess P2 für die Strukturierung der Justiermarken verwendet.

# 5.2 Realisierung von Drain und p<sup>+</sup>-Gebieten

Die Drain- und p<sup>+</sup>-Gebiete des VFD SONFETs liegen innerhalb des Substrates (Kapitel 3.4) und müssen daher durch Implantation oder durch Diffusion mit Silikatglas in das Substrat eingebracht werden. Die p<sup>+</sup>-Gebiete liegen außerhalb der

	Zeit	Temperatur	Druck		Leistung		
	[s]	[°C]	[Pa]	[mTorr]	kapazitiv [W]	induktiv [W]	
P1	90	-130	1.3	10	60	300	
P2	90	25	1.3	10	60	300	

<b>Tabelle 5.2: Parameter</b>	für den	<b>Prozess P1</b>	und den	modifizierten	Prozess	P2
-------------------------------	---------	-------------------	---------	---------------	---------	----

	SF <sub>6</sub> -Fluss [sccm]	O <sub>2</sub> -Fluss [sccm]	Ar-Fluss [sccm]
P1	8	1	6
P2	8	1	10

aktiven Gebiete des VFD SONFETs und wurden ausschließlich mittels Implantation erzeugt. Die Draingebiete dagegen liegen unterhalb der aktiven Region und müssen daher besonders gute Kristallqualität besitzen. Um das optimale Verfahren zu finden, wurden sowohl Implantation als auch Diffusion untersucht.

Beide Verfahren konnten nicht an der Universität der Bundeswehr durchgeführt werden. Die Implantationen wurden daher an dem Frauenhofer-Institut für Integrierte Systeme und Bauelementetechnologie (IISB) in Erlangen durchgeführt. Die Diffusion mit Silikatglas erfolgte am Lehrstuhl für Technische Elektronik (LTE) der Technischen Universität München (TUM). Im Folgenden werden beide Verfahren, deren Simulationen und Ergebnisse beschrieben.

# 5.2.1 Spin-On-Dopand (SOD)

Diffusion beginnt, wenn ein räumlicher Gradient der Konzentration auftritt. Sie ist umso größer, je höher die Temperatur ist. In der Halbleiterindustrie stellt daher die Diffusion von Dotierstoffen häufig ein Problem dar. Dotierprofile werden hierdurch verbreitert und die Charakteristik von pn-Übergänge verschlechtert sich. Dagegen wird bei der Dotierung mit Silikatglas die Diffusion gezielt ausgenützt.

Ist der Diffusionskoeffizient *D* unabhängig von der Konzentration c(x, t) des SODs, so kann der Teilchenfluss *F* im eindimensionalen Fall zwischen zwei Orten durch das 1. *Fick'sche Gesetz* 

$$F = -D\frac{\partial c(x,t))}{\partial x}$$
(5.1)

beschrieben werden. Die Temperaturabhängigkeit des Diffusionskoeffizienten wird durch das *Arrhenius-Gesetz* [5]:

$$D = D_0 \cdot e^{-W_A/k_B T} \tag{5.2}$$

D<sub>0</sub> Materialkonstante

*W<sub>A</sub>* Aktivierungsenergie für den Sprung auf benachbarte Gitterplätze

bestimmt. Bei der Diffusion mit Silikatglas wird nun eine quasi unerschöpfliche Dotierquelle auf das Substrat gebracht und durch hohe Temperaturen in das vorher undotierte Silizium eingetrieben. Hierdurch ergeben sich die Randbedingungen:

- Die Dotierstoffkonzentration  $c_{SOD}$  an der Oberfläche ist konstant
- Für alle Orte *x* im Silizium gilt: c(x, 0) = 0

Die 1. Fick'sche Gleichung kann dann durch die komplementäre Fehlerfunktionsverteilung gelöst werden [5]:

$$c(x,t) = c_{\text{SOD}} \cdot \operatorname{erfc}\left(\frac{x}{2\sqrt{Dt}}\right)$$
 (5.3)

Dabei entspricht  $2\sqrt{Dt}$  der Diffusionslänge, bei der die Konzentration auf 15.7% gefallen ist. Ist die Dotierstoffquelle endlich, so nimmt die Oberflächenkonzentration  $c_{\text{SOD}}$  während der Diffusion ab. Die Gesamtmenge  $c_{\text{ges}}$  des aufgebrachten Dotierstoffes ist aber konstant:

$$\int_0^\infty c(x,t)dx = c_{\text{ges}}.$$
(5.4)

Mit der Randbedingung c(x, 0) = 0 kann die 1. Fick'sche Gleichung durch die Gaußfunktion gelöst werden [5]:

$$c(x,t) = \frac{c_{\text{ges}}}{\sqrt{\pi Dt}} \cdot e^{-x^2/4Dt} \,. \tag{5.5}$$

Für die Draingebiete wurde in dieser Arbeit Phosphor als Dotierstoff verwendet. Phosphor kann sowohl über Siliziumzwischengitteratome als auch über Leerstellen im Siliziumgitter diffundieren. Dieser Prozess ist von der Konzentration der Ladungsträger abhängig [77]. Die Bedingung, dass die Diffusionskoeffizienten unabhängig von der Konzentration sind, ist demnach nicht mehr gegeben. In hochdotierten Bereichen dominiert die Diffusion über Leerstellen im Siliziumgitter und das Dotierprofil ist durch die Gleichung (5.3) gegeben. In diesem Bereich ist die Dotierstoffquelle quasi unerschöpflich und das entstehende Dotierprofil, der so genannte *Kink*, ist rechtsgekrümmt. Bei niedrigen Dotierungen erfolgt die Diffusion bevorzugt über Siliziumzwischengitteratome und das Dotierprofil wird durch die Gleichung (5.5) beschrieben. Das Dotierprofil nimmt in diesem Bereich exponentiell mit der Eindringtiefe ab und ist linksgekrümmt. Das resultierende Profil wird auch als *Tail-Profil* bezeichnet. Die unterschiedlichen Mechanismen erzeugen das bekannte Phosphordiffusionsprofil in Silizium (siehe Abbildung 5.2).

Bei der Einbringung der Dotierstoffe mittels eines Silikatglases werden Kristallschäden vermieden. Das Verfahren eignet sich daher für eine anschließende Epitaxie. Für die Diffusion benötigt man eine Hartmaske. Um die Dotierstoffe in das Substrat eintreiben zu können, müssen die Substrate bei etwa 950°C für 30 min einer Atmosphäre aus Stickstoff und Sauerstoff ausgesetzt werden. Bei hohen Temperaturen reagiert das im Silikatglas enthaltene Phosphorpentoxid ( $P_2O_5$ ) mit Silizium zu Siliziumdioxid und reinem Phosphor:

$$2P_2O_5 + 5Si \to 4P + 5SiO_2$$
. (5.6)

Dieser diffundiert anschließend in das Silizium. Durch die Bildung von SiO<sub>2</sub> wird Silizium in den diffundierten Gebieten aufgebraucht [78]. Die Folge ist eine Stufe zwischen dem passivierten Substrat und den Draingebieten (siehe Abbildung



Abbildung 5.2: SIMS-Profil des diffundierten SOD P507 Spin-On-Dopand

5.3). Eine anschließende Epitaxie über diese Stufe enthält viele Defekte. In der Abbildung 5.4 ist deutlich eine etwa 90 nm tiefe Kante zwischen den diffundierten Draingebieten und dem umgebenden Substrat zu erkennen. Über diese Kante wurde ein Schichtstapel aus einer SiGe-Opferschicht und einer n<sup>+</sup>-Siliziumschicht (Kapitel 5.4 und 5.5) epitaktisch gewachsen und anschließend strukturiert (Kapitel 5.6). Mit Hilfe einer Defektätzung (Kapitel 5.10) sind deutlich die Defekte des epitaktisch gewachsenen Schichtstapels über der Kante zu sehen. Diese Defekte beeinträchtigen die mechanische Stabilität der Sourceschicht beim Herauslösen der SiGe-Opferschicht. Aus diesem Grund muss die Sourceschicht während des Ätzvorgangs passiviert werden (Kapitel 5.10).

In dieser Arbeit wurde als Hartmaske ein 260 nm dickes LPCVD Oxid verwendet. Das Abscheideoxid wird bei niedrigen Temperaturen gewachsen und gehört zur Gruppe der LTO. Das Oxid wurde in einem Ofen der Firma ATV mit Diethylsilan (DES) als Präkursor gewachsen. Bei einem Druck von 80 Pa (600 mTorr) und einer Temperatur von 430°C verbindet sich DES mit Sauerstoff zu Siliziumoxid, das auf dem Substrat kondensiert. Das entstandene LPCVD Oxid wurde mit Photolack maskiert (Kapitel 4.3) und das freiliegende Oxid mit BHF strukturiert (Kapitel 4.2.3). Anschließend wurde der Photolack mit Isopropanol und Aceton (Kapitel 4.2.5) entfernt. Als Dotierglas wurde der Spin-On-Dopand (SOD) P507 von der Firma Filmtronics verwendet. Dieser besteht zu 95 % aus Lösungsmitteln, wie n-Propanol, Isopropanol und Ethanol, und zu etwa 5 % aus Phosphorsilicatepolymere. Durch ein Spin-on Verfahren werden 2 ml bei 3000 Umdrehungen pro Minute auf dem Substrat verteilt. Anschließend werden die Lösungsmittel durch Erhitzen des Substrates herausgetrieben. Hierzu wurde das Substrat auf einer Heizplatte für 1 min auf 100°C erhitzt und anschließend für 15 min bei 200°C ausgebacken. Die stufenweise Erhöhung der Temperatur verringert die thermische Spannung auf das SOD. Hierdurch kann die Anzahl an Rissen und pin-Holes reduziert und somit eine homogene Dotierung des Substrates gewährleistet werden. Das Eintreiben des Dotierstoffes wurde in einem widerstandsgeheizten Ofen bei 950°C für 30 min durchgeführt. Die Atmosphäre im Ofen wurde auf 50 % Stickstoff und 50 % Sauerstoff bei Atmosphärendruck geregelt. Die Flüsse betrugen jeweils 2 slm. Anschließend wurde das SOD und die LPCVD Oxid Maske mittels BHF entfernt (Kapitel 4.2.3).



#### Abbildung 5.3: Schema des SOD-Prozesses

a) Über das strukturierte LPCVD Oxid wird der SOD aufgeschleudert. b) Nach dem Temperschritt und der Entfernung des SOD und LPCVD Oxids mit BHF ist der Phosphor in das Substrat eindiffundiert und das Substrat wurde durch die Oxidation teilweise aufgebraucht. Es entsteht eine Kante. c) Beim epitaktischen Wachsen der SiGe-Opferschicht und der n<sup>+</sup>-Schicht entstehen Defekte innerhalb der Schichten über der Kante. d) Legende



(a) VFD SONFET mit SOD

(b) Epitaxie über Drain-Substrat Kante

#### Abbildung 5.4: REM-Aufnahmen der Epitaxie über dem SOD-Gebiet

a) Überblick über die mit Spin-On-Dopand dotierten Draingebiete und die darüber liegende SiGe-Opfer- und Sourceschicht. b) Nach einer Defektätzung sind deutlich Kristalldefekte an der Kante zwischen Drain und Substrat zu erkennen.

Prozess	Zweck	Kapitel
LPCVD Oxid	Bildung der 260 nm dicken Hartmaske mit DES	5.2.1
Lithographie	Photolackmaske zur Strukturierung der Hart-	4.3
	maske	
BHF	Strukturierung der Hartmaske	4.2.3
Lackentfernung	Entfernung der Photolackmaske	4.2.5
Spin-On	Aufschleudern des SOD	5.2.1
Diffusion	Eindiffusion des Dopanden	5.2.1
BHF	Entfernung der Hartmaske und des SOD	4.2.3
RCA-Clean	Reinigung des Substrates	4.1.1

Tabelle 5.3: Prozessablauf für die Ausbildung der n<sup>+</sup>-Draingebiete mit Diffusion

Um restliche Verunreinigungen zu beseitigen wurde abschließend ein RCA-Clean (Kapitel 4.1.1) durchgeführt. Eine Übersicht des Prozessablaufes befindet sich in der Tabelle 5.3

# 5.2.2 Implantationen

Bei der Implantation entfällt der Prozessschritt zur Herstellung einer Hartmaske, da Photolack als Maske verwendet werden kann. Allerdings ergibt sich durch den Ionenbeschuss der Dotieratome eine Vielzahl an Kristallschäden, die durch einen Temperschritt bei Temperaturen von über 950°C ausgeheilt werden müssen. Hierdurch verlaufen die Dotierprofile, so dass scharfe Profile wie bei der Epitaxie nicht möglich sind. Außerdem können nicht alle Kristallschäden vollkommen ausgeheilt werden. Dies ist insbesondere für epitaktisches Wachstum auf implantierten Gebieten kritisch, da Kristalldefekte an der Oberfläche zu Versetzungen während des Wachstums führen können.

Bei der Implantation werden hochenergetische Dotierstoffionen auf dem Siliziumkristall beschleunigt. Im Kristall werden diese Ionen hauptsächlich durch Streuung mit Atomkernen und deren Elektronenhülle abgebremst. Der mittlere Energieverlust pro Eindringtiefe dW/dx kann durch die Gleichung [7]

$$-\frac{dW}{dx} = N \cdot (S_n(W) + S_e(W)) \tag{5.7}$$

N Anzahl der Siliziumtargetatome pro Einheitsvolumen

 $S_n(W)$  Streuwahrscheinlichkeit pro Wegstrecke für Atomkerne

 $S_e(W)$  Streuwahrscheinlichkeit pro Wegstrecke für Elektronenhülle

beschrieben werden. Bei hohen Implantationsenergien  $W_I$  dominieren die Energieverluste durch Streuung an Atomrümpfen, während bei kleineren Energien die Streuung an der Elektronenhülle Ausschlag gebend sind [7]. Die Reichweite  $R_p$ eines Ions wird durch [7]

$$R_p = \int_0^R dx = \frac{1}{N} \int_0^{W_I} \frac{dW}{S_n(W) + S_e(W)}$$
(5.8)

	Streuoxiddicke	Energie $W_I$	Dosis $\psi$	Winkel
Bor	16 nm	30 keV	$10^{15} \text{ cm}^{-2}$	7°
Arsen	16 nm	110 keV	$10^{15} \text{ cm}^{-2}$	7°

Tabelle 5.4: Paramet	ter für die n <sup>+</sup>	<ul> <li>und p<sup>+</sup>-Implanta</li> </ul>	tion
----------------------	----------------------------	--	------

bestimmt. Durch die statistische Natur der Streuung kann die Dotierstoffverteilung  $c_I(x)$  in guter Näherung durch eine Gauß-Kurve mit der Standardabweichung  $\Delta R_p$  dargestellt werden:

$$c_I(x) = c_{I,\max} \cdot e^{-(x-R_p)^2/2\Delta R_p^2}.$$
 (5.9)

Bei der mittleren Reichweite  $\langle R_p \rangle$  ergibt sich eine maximale Dotierkonzentration  $c_{I,\max}$  von:

$$c_{I,\max} = \frac{1}{\sqrt{2\pi}} \frac{\psi}{\Delta R_p} \,. \tag{5.10}$$

Die Dosis  $\psi$  der Implantation und die Implantationsnergie  $W_I$  sind die Prozessparameter zur Bestimmung der mittleren Reichweite und deren Standardabweichung.

Bei der Implantation muss auch die Kristallstruktur des Siliziums berücksichtigt werden. Durch die periodische Anordnung des Gitters entstehen Kanäle, durch welche die Ionen tief in den Kristall eindringen können. Dieses *Channeling* muss bei der Implantation für ein definiertes Dotierprofil vermieden werden. Durch Verkippen der Probe liegen die Kanäle nicht mehr in der Einschussrichtung. Aus diesem Grund werden (100)-Kristalle um einen Winkel von 7° bei der Implantation gekippt. Hierdurch werden Bereiche neben der etwa 1 bis 2 µm dicken Photolackmaske abgeschattet. In dieser Arbeit betrug die Abschattung maximal 300 nm und wurde bereits im Maskendesign berücksichtigt.

Das Channeling nimmt mit abnehmender Energie der Ionen zu. Um auch bei sehr niedrigen Energien von unter 20 keV das Channeling zu unterdrücken, wird auf das Substrat vor der Implantation ein thermisches Streuoxid (Strox) gewachsen. Durch dessen amorphe Struktur wird das Channeling reduziert. Zudem schützt das Streuoxid das Silizium vor Verunreinigungen und vor einem physikalischen Abtragen. Durch die Dicke des Oxids kann außerdem die mittlere Reichweite der Dotierionen im Silizium eingestellt werden. Dies wird u.a. ausgenutzt, um das Maximum der Dotierung an die Oberfläche zu verschieben.

Die implantierten Gebiete sollten mindestens eine Dotierung von  $2 \cdot 10^{19}$  cm<sup>-3</sup> an der Oberfläche besitzen, um einen ohmschen Kontakt zur Metallisierung zu ermöglichen [5]. Für die Berechnung der Streuoxiddicke, der Implantationsenergie und -dosis und dem anschließenden Temperschritt wurden Simulationen mit dem Simulationsprogramm Athena von Silvaco durchgeführt. Die hierdurch ermittelten Parameter sind in der Tabelle 5.4 mit einem anschließenden Temperschritt für 30 min bei 950°C aufgeführt.

Für die Implantationen wurde in einem widerstandsgeheizten Rohrofen der Firma Inotherm ein 16 nm thermisches Streuoxid gewachsen (Kapitel 4.4). Die Implantationen fanden am IISB in Erlangen statt. Hierfür wurde für beide Prozesse das

Prozess	Zweck	Kapitel
Therm. Oxidation	Bildung des 16 nm dicken Streuoxids	4.4
Lithographie	Photolackmaske als n <sup>+</sup> -Hartmaske	4.3
n <sup>+</sup> Implantation	Ausbildung der Draingebiete	5.2.2
Lackentfernung	Entfernung der Photolackmaske	4.2.5
Lithographie	Photolackmaske als p <sup>+</sup> -Hartmaske	4.3
p <sup>+</sup> Implantation	Ausbildung der p <sup>+</sup> -Gebiete	5.2.2
Lackentfernung	Entfernung der Photolackmaske	4.2.5
BHF	Entfernung des Streuoxids	4.2.3
RCA-Clean	Reinigung des Substrates	4.1.1
Temperschritt	Ausheilen der Kristallschäden	5.2.2

Tabelle 5.5: Prozessablauf für die Implantationen der n<sup>+</sup>-Drain- und p<sup>+</sup>-Gebiete

gleiche Streuoxid verwendet. Durch die Implantationen wurde der Photolack verhärtet und musste durch Veraschen mit einem O<sub>2</sub>-Plasma entfernt werden (Kapitel 4.2.5). Nach der Entfernung des Streuoxids mit BHF (Kapitel 4.2.3), wurde ein RCA-Clean (Kapitel 4.1.1) durchgeführt, um restliche Verunreinigungen zu entfernen. Der nachfolgende Temperschritt wurde an einem widerstandsgeheizten Rohrofen der Firma Inotherm bei 950°C in einer Stickstoffatmosphäre für 30 min durchgeführt. Eine Übersicht des Prozessablaufes ist in der Tabelle 5.5 ersichtlich. An dieser Stelle sei vermerkt, dass bei der Ausheilung der Kristallschäden üblicherweise ein Temperschritt von etwa 1050°C für etwa 20 s bis 30 s zur Aktivierung der Dotierstoffe verwendet wird. Dieser Schritt wurde für einige Testscheiben in der Centura (Kapitel 5.3.1) durchgeführt. Hierbei führte allerdings die Temperaturregelung zu einem Überschwinger bis 1100°C für etwa 2 s und die nachfolgende Epitaxieschicht besaß eine geringe Qualität, so dass auf diesen Prozessschritt für den VFD SONFET verzichtet wurde.

Die Ergebnisse der Simulationen sind in Abbildung 5.5 mit den tatsächlichen Dotierprofilen der Implantation zu sehen. Im Gegensatz zu den Simulationen erreicht die Arsenimplantation nicht das simulierte Konzentrationsniveau über 150 nm, während die Borimplantation diese weit übertrifft. Beide Implantationen besitzen aber eine Konzentration von  $2 \cdot 10^{19}$  cm<sup>-3</sup> an der Oberfläche, so dass ein ohmscher Kontakt gewährleistet ist.

Über das implantierte Draingebiet wurde eine SiGe-Opferschicht (Kapitel 5.4) und eine n<sup>+</sup>-Siliziumschicht (Kapitel 5.4) epitaktisch gewachsen und anschließend strukturiert (Kapitel 5.6). Mit Hilfe einer Defektätzung (Kapitel 5.10) sind deutlich die Defekte des epitaktisch gewachsenen Schichtstapels über den implantierten Gebieten zu sehen (siehe Abbildung 5.6). Die Kristallstruktur der implantierten Gebiete ist demnach auch nach einem Temperschritt nicht vollständig ausgeheilt. Ähnlich wie bei der Diffusion muss also auch bei der Implantation die Sourceschicht während des Ätzvorgangs passiviert werden. Hierauf wird im Kapitel 5.10 näher eingegangen.

Zusammenfassend lässt sich sagen, dass sowohl Diffusion als auch Implantation eine zusätzliche Passivierung der Sourceschicht notwendig machen.



#### Abbildung 5.5: Simulierte und gemessene Dotierprofile

Die simulierten Dotierprofile wurden vor und nach einem Temperschritt (30 min bei 950°C) berechnet. Die mit einem SIMS gemessenen Dotierprofile der Bor- und Arsenimplantation sind mit den Parametern aus Tabelle 5.4 prozessiert worden.



# Abbildung 5.6: REM-Aufnahme von einer auf implantiertem Gebiet gewachsenen Schicht

Nach einer Defektätzung des strukturierten Schichtstapels ergeben sich auf implantierten Gebieten deutlich mehr sichtbare Kristalldefekte als auf undotierten Gebieten. Die besten Ergebnisse für den VFD SONFET konnten allerdings mit diffundierten Draingebieten erreicht werden. Dieses Ergebnis ist wahrscheinlich auf die bessere Kristallqualität des Draingebiets zurückzuführen.

# 5.3 Epitaxie Prozesse

In dieser Arbeit wurden einkristalline Schichten mithilfe der *Molekularstrahl Epitaxie* und der *chemischen Gasphasenabscheidung* gewachsen. Für ein besseres Verständnis für die Entwicklung der epitaktischen Schichten werden im Folgenden kurz einige Grundlagen der Epitaxie erläutert.

# 5.3.1 Chemische Gasphasenabscheidung (CVD)

Bei der chemischen Gasphasenabscheidung (CVD) handelt es sich um eine Abscheidung aus der Gasphase nahe dem thermischen Gleichgewicht. Als Materialquelle für die Schichtabscheidung dient ein gasförmiger *Präkursor*, der mit der Oberfläche des Substrats reagiert. Idealerweise strömt ein laminarer Strom mit der Einspeiskonzentration  $c_G$  aus Präkursor und dem Trägergas Wasserstoff über die Substratoberfläche. Durch die Chemisorption auf dem geheizten Substrat nimmt die Konzentration  $c_S$  des Präkursors auf der Substratoberfläche ab und ist kleiner als in darüber liegenden Gasschichten mit der Einspeiskonzentration  $c_G$ . Durch diesen in erster Näherung linear angenommenen Konzentrationsgradienten dc/dx, der sich über die Strecke  $\delta$  ausbreitet, entsteht ein Diffusionsfluss der Dichte  $j_{diff}$ . Dieser lässt sich über das 1. Fick'sche Gesetz ausdrücken:

$$j_{\text{diff}} = D\frac{dc}{dx} = \frac{D}{\delta} \cdot (c_G - c_S).$$
(5.11)

Die Konzentrationen  $c_G$  und  $c_S$  sind über die entsprechenden Partialdrücke  $p_G$ ,  $p_S$  wie folgt verknüpft:

$$c_{G,S} = \frac{p_{G,S}}{k_B T_G} \,. \tag{5.12}$$

 $T_G$  absolute Gastemperatur

Für die mittlere thermische Geschwindigkeit gilt  $\bar{v} \sim T^{1/2}$  und für die mittlere freie Weglänge  $\bar{\lambda} \sim T/p$ . Aus der Definition des Diffusionskoeffizienten *D* lässt sich folgende Abhängigkeit von der Temperatur *T* und dem Druck *p* finden:

$$D = \frac{1}{3}\bar{v}\bar{\lambda} \sim \frac{T^{3/2}}{p}.$$
(5.13)

Die an der Oberfläche diffundierten Moleküle können adsorbieren und wieder desorbieren, bevor eine chemische Reaktion statt gefunden hat. Es existiert ein Gleichgewicht zwischen Adsorption und Desorption mit einer Gleichgewichtskonzentration  $c_{eq}$ . Wird diese Konzentration durch die Diffusion von Molekülen überschritten, kommt es zu einer Konzentrationsübersättigung  $(c_S - c_{eq})$  und Moleküle werden im Bereich der Adsorptionslänge  $l_{ad}$  effektiv adsorbiert. Die chemische Reaktionskinetik wird durch die Flussdichte  $j_{chem}$  beschrieben [7]

$$j_{\rm chem} = k_r (c_S - c_{eq}).$$
 (5.14)

Dabei ist  $k_r$  die Reaktionsgeschwindigkeit der langsamsten chemischen Umsetzung der Gesamtreaktion. Diese ist durch das *Arrhenius-Gesetz* exponentiell von der absoluten Temperatur *T* abhängig:

$$k_r = k_0 \cdot e^{-W_A/k_B T} \,. \tag{5.15}$$

*W<sub>A</sub>* Aktivierungsenergie

*k*<sub>0</sub> Frequenzfaktor

Im stationären Fall sind die Flussdichten von Diffusion und der chemischen Reaktion gleich ( $j_{diff} = j_{chem}$ ). Hieraus ergibt sich:

$$c_S = \frac{c_G + Sh \cdot c_{eq}}{1 + Sh} \quad \text{mit} \quad Sh = \frac{k_r \delta}{D} = \frac{D_{\text{eff}}}{D}.$$
(5.16)

Dabei bezeichnet die von *van der Brekel* eingeführte *Sherwood-Zahl Sh*<sup>37</sup> [79] das Verhältnis der effektiven übergehenden Stoffmenge  $D_{eff}$  zu der durch Diffusion transportierten Stoffmenge D.

Durch die Beheizung des Suszeptors auf dem das Substrat liegt, werden auch die Gase über dem Substrat indirekt beheizt. Hierdurch ergibt sich ein Temperaturgradient. Die angenommenen isothermen Bedingungen für Gleichung (5.16) gelten nicht mehr. Um dies zu korrigieren hat *van den Brekel* die Sherwood-Zahl modifiziert und die *CVD-Zahl* eingeführt [80]:

$$CVD = Sh \cdot \frac{T_{Si} \cdot \ln(T_{Si}/T_{G,k})}{T_{Si} - T_{G,k}}.$$
(5.17)

*T<sub>Si</sub>* Suszeptortemperatur

 $T_{G,k}$  Gastemperatur im konvektiven Gasstrom

Die CVD-Zahl unterteilt das Schichtwachstum in drei Bereiche, die in Abbildung 5.8 schematisch verdeutlicht sind:

#### Diffusionsbegrenzter Bereich mit CVD » 1

In diesem Bereich ist  $D_{eff}$  viel größer als D. Die Wachstumsrate wird daher durch die langsame Diffusion bestimmt. Bei dreidimensionalen Strukturen auf dem Substrat werden hierdurch an Kanten mit einem Einfallswinkel von 270° mehr Teilchen pro Zeit auftreffen als an Ecken mit einem Einfallswinkel von 90° (siehe Abbildung 5.7a). Für konforme Abscheidungen, wie dem Kanalgebiet beim VFD SONFET, muss daher der reaktionsbegrenzte Bereich gewählt werden.

<sup>&</sup>lt;sup>37</sup>dimensionslose Kennzahl der Thermodynamik nach Thomas K. Sherwood (1903 -1976)



(a) diffusionsbegrenzt

(b) reaktionsbegrenzt

### Abbildung 5.7: Schema der Abscheidung über eine Mesa

Über eine Mesastruktur (rosa) wird mittels der CVD eine Schicht gewachsen (blau). a) Bei diffusionsbegrenzten Prozessen findet bei Kanten ein wesentlich höheres Wachstum als an Ecken statt, da der Einfallswinkel bei Kanten 270° und bei Ecken nur 90° beträgt. b) Bei reaktionsbegrenzten Prozessen ist das Schichtwachstum über eine Mesastruktur homogen.

## Reaktionsbegrenzter Bereich mit CVD « 1

In diesem Fall ist die chemische Reaktion im Vergleich zur Diffusion sehr langsam, so dass immer genügend Moleküle für die chemische Reaktion vorhanden sind. Die Gesamtreaktion ist daher reaktionskontrolliert. Hierdurch können auch über dreidimensionale Strukturen konforme Schichten gewachsen werden (siehe Abbildung 5.7b). Die Temperaturen müssen daher relativ niedrig gewählt werden. Die durchschnittliche Wachstumsrate beträgt in etwa 1 nm/s. Hierdurch können Schichtdicken im 10 nm-Bereich präzise und reproduzierbar hergestellt werden. Dies ist insbesondere für die SiGe-Opferschicht (Kapitel 5.4) und dem Kanalgebiet (Kapitel 5.7) des VFD SONFETs notwendig.

## Übergangsbereich mit CVD pprox 1

In diesem Übergansbereich müssen beide Reaktionsmechanismen berücksichtigt werden. Die Wachstumsrate wird daher sowohl durch die Diffusion, als auch durch die chemische Reaktion bestimmt.

Die CVD-Zahl ist nicht nur von der Abscheidetemperatur  $T_{Si}$  abhängig, sondern auch vom Trägergas bzw. dem Gesamtdruck  $p_{tot}$ . Da der Partialdruck des Trägergases  $p_{H_2}$  meist viel größer ist als der Partialdruck des Präkursores, bestimmt  $p_{H_2}$  den Gesamtdruck. *Bloem* und *Claasen* zeigten in ihren Experimenten, dass die Wachstumsrate in folgender Weise von  $p_{H_2}$  abhängt [80]:

$$k_r = k_0 \cdot \frac{e^{-W_A/k_B T}}{1 + \text{const} \cdot p_{H_2}}.$$
 (5.18)

Hiernach nimmt die Wachstumsrate, wie in Abbildung 5.8 zu erkennen ist, mit einem verminderten Gesamtdruck zu.

In dieser Arbeit wurden folgende Präkursoren benutzt:



# Abbildung 5.8: Schematische Darstellung der Wachstumsrate mit Temperatur- und Druckabhängigkeit bei konstantem Partialdruck des Präkursores

Bei hohen Temperaturen ist das Wachstum diffusionsbegrenzt und bei niedrigen reaktionsbegrenzt. Höhere Partialdrücke des Trägergases  $p_{H_2}$  führen laut Gleichung (5.18) zu niedrigeren Wachstumsraten.

- SiH<sub>2</sub>Cl<sub>2</sub>: Dichlorsilan (DCS) wird für die SiGe-Opferschicht, den Kanal und das Poly-Gate verwendet und wird ohne Beimischung von Wasserstoff verwendet (Kapitel 5.4).
- Si<sub>2</sub>H<sub>6</sub>: Disilan ist für die Sourceschicht vorgesehen (Kapitel 5.5). Der Präkursor ist in Wasserstoff zu 5 % vermengt.
- PH<sub>3</sub>: Phosphin dient als Dotierstoffquelle für alle n<sup>+</sup>-dotierten Schichten (Kapitel 5.5). Der Präkursor ist in Wasserstoff zu 1 % vermengt.
- GeH<sub>4</sub>: German wird für die SiGe-Opferschicht verwendet (Kapitel 5.4). Der Präkursor ist in Wasserstoff zu 20 % vermengt.

# **CVD-Anlage**

Sämtliche CVD-Prozesse wurden in einem kommerziellen Epi Centura CVD System der Firma Applied Materials durchgeführt. Diese Anlage verfügt über einen Quartzreaktor für 200 mm Einzelsubstratprozesse. Da die Masken des VFD SON-FETs für 4-Zoll Substrate konzipiert sind, müssen die Substrate für die CVD-Prozesse auf einem 200 mm Adapter gelegt werden. Dies kann zu *Memory-Effekten* führen, falls aus diesem Adapter Dotierstoffe während des Prozesses in die Kammer diffundieren. Um dies zu verhindern, wurden für jede Dotierung ein eigener Adapter verwendet. Für die hochreinen, intrinsischen Abscheidungen des Kanals wurde ein RCA gereinigter Adapter verwendet, der nur einmal benutzt wurde. Lampenfelder auf der Oberseite der Kammer können die Temperatur des Suszeptors um 20 K/s erhöhen. Die Temperatur wird durch ein Pyrometer auf der Unterseite des Suszeptors geregelt. Ein weiteres Pyrometer kontrolliert die Temperatur



Abbildung 5.9: SIMS-Spektrum eines Schichtstapels aus einer etwa 2 µm dicken hochdotierten n<sup>+</sup>-Schicht und einer etwa 2 µm dicken undotierten Siliziumschicht Das gemessene Dotierprofil für Phosphor zeigt eine Hintergrunddotierung von unter 10<sup>16</sup> cm<sup>-3</sup> für die intrinsische Siliziumschicht. Die SIMS Messung wurde an einer Cameca IMS4f Anlage durchgeführt, deren Auflösungsgrenze für Phosphor bei  $3 \cdot 10^{15}$  cm<sup>-3</sup> liegt.

des Substrats. Dieses liegt auf dem Siliziumcarbid beschichteten Graphitsuszeptor. Der Prozessdruck kann zwischen 667 Pa bis 100 kPa (5 bis 760 Torr) geregelt werden. Die Kammer kann maximal auf 1.3 Pa (10 mTorr) evakuiert werden. In der Kammer werden sowohl Bor als auch Phosphin dotierte Schichten, sowie polykristalline Silizium- und SiGe-Schichten gewachsen. Um Querverunreinigungen zu minimieren, wird daher vor jedem Prozess ein Reinigungsprozess gefahren. Hierbei werden in der Kammer durch abwechselndes Aufwachsen von Silizium und Abätzen mit HCl die Verunreinigungen entfernt. Um Verunreinigungen durch Gase zu verhindern, wird das System ständig mit Stickstoff der Reinheit von 5.0 gespült. Die Prozessgase für Wasserstoff und Phosphin werden ebenfalls mit einem Purifier gereinigt. Durch diese Maßnahmen sind intrinsische Schichten mit einer Hintergrunddotierung von  $10^{16}$  cm<sup>-3</sup> möglich (siehe Abbildung 5.9).

# 5.3.2 Molekularstrahl Epitaxie (MBE)

Die Schichtabscheidung bei der Molekularstrahl Epitaxie (MBE)<sup>38</sup> wird im Gegensatz zur CVD nicht durch das thermische Gleichgewicht, sondern durch die Kinetik, bestimmt. Das Prinzip beruht auf der Verdampfung von Materialien, die sich auf dem Substrat abscheiden. Das Material wird in einem Schmelztiegel mit einem Elektronenstrahl bis zur Schmelze erhitzt. Weitere Materialien können parallel erhitzt werden, um beispielsweise dotierte Schichten zu wachsen. Um Verunreinigungen zu vermeiden, muss der Prozess im Ultrahochvakuum (UHV) bei einem

<sup>&</sup>lt;sup>38</sup>engl.: Molecular Beam Epitaxy

Restgasdruck von  $10^{-8}$  Pa ( $10^{-10}$  mbar) durchgeführt werden. Die durchschnittliche Wachstumsrate ist mit etwa 1 nm/min um einen Faktor 60 kleiner als bei der CVD. Hierdurch können extrem dünne Schichten im 3 nm-Bereich hergestellt werden. Für den genauen Aufbau und die Prozessparameter sei hier auf die Arbeiten [81,82] verwiesen.

In dieser Arbeit wurde mit einem *modularem Ultrahochvakuum-Mehrkammersystem* (MUM) an der Universität der Bundeswehr ein Prozess für die Sourceschicht des VFD SONFETs entwickelt (Kapitel 5.5).

# 5.4 SiGe-Opferschicht

Auf die dotierten Drain- und p<sup>+</sup>-Gebiete wird ganzflächig eine SiGe-Opferschicht mittels CVD abgeschieden. Die Dicke dieser Schicht dient zur Einstellung der Kanallänge des VFD SONFETs. Nach der Abscheidung des Kanalgebiets, dem Gatedielektrikum und dem Poly-Gate muss die SiGe-Opferschicht wieder entfernt werden, um das Kanalgebiet elektrisch zu isolieren.

In der Halbleiterindustrie werden Opfertechniken, besonders bei der Herstellung von Micro-Electro-Mechanical-Systemen (MEMS) häufig verwendet [83]. Als Opferschichten werden hier vorwiegend Oxidschichten benutzt, da diese mit BHF (Kapitel 4.2.3) geätzt und dadurch mit einer sehr hohen Selektivität von mehreren Größenordnungen zwischen Silizium und SiO<sub>2</sub> strukturiert werden können. Durch die amorphe Struktur von SiO<sub>2</sub> kann hierauf nur polykristallines Silizium abgeschieden werden. Dies würde beim VFD SONFET die notwendige, kristalline Struktur für den Kanal und die Sourceschicht verhindern. Aus diesem Grund wird als Opferschicht für den VFD SONFET eine SiGe-Schicht verwendet.

Die SiGe-Opferschicht muss bestimmte Kriterien erfüllen, um auf ihr einkristallines Wachstum zu ermöglichen. Auf diese wird im Abschnitt 5.4.1 eingegangen. Anschließend wird die Optimierung der Prozessparameter für den VFD SONFET besprochen (Kapitel 5.4.2) und im Folgenden auf die elektrische Charakterisierung der SiGe-Schichten mittels pin-Dioden (Kapitel 5.4.3) und auf die Charakterisierung mit HRTEM-Aufnahmen (Kapitel 5.4.4) eingegangen.

# 5.4.1 Si<sub>1-x</sub>Ge<sub>x</sub>/(100)-Silizium Heterostrukturen

Die Gitterkonstanten von Silizium ( $a_{Si} = 0.5431$  nm) und Germanium ( $a_{Ge} = 0.5658$  nm) unterscheiden sich bei Raumtemperatur um 4.2 % voneinander. Bei einer Mischung aus beiden Elementen liegt die resultierende Gitterkonstante  $a_{Si_{1-x}Ge_x}(x)$  zwischen  $a_{Si}$  und  $a_{Ge}$  und kann in guter Näherung durch das *Gesetz von Vegard* [84]:

$$a_{Si_{1-x}Ge_x}(x) = a_{Si} + x \cdot (a_{Ge} - a_{Si})$$
(5.19)

beschrieben werden.

Beim epitaktischen Wachsen von Si<sub>1-*x*</sub>Ge<sub>*x*</sub> auf (100)-Silizium ergibt sich eine Gitterfehlanpassung  $\eta$ :

$$\eta = \frac{a_{Si_{1-x}Ge_x} - a_{Si}}{a_{Si}}.$$
(5.20)

Hierdurch baut sich eine elastische Verspannungsenergie *W*<sub>el</sub> pro Fläche auf [85]:

$$W_{el} = \frac{2G(1+\nu)}{1-\nu} \eta^2 h.$$
(5.21)

- G Schermodul der epitaktischen Schicht
- h Schichtdicke der SiGe-Schicht
- $\nu$  Poissonverhältnis beider Schichten. Dieses ist für Si<sub>1-x</sub>Ge<sub>x</sub> etwa 0.28 [85].

Diese ist umso größer, je größer die Gitterfehlanpassung und je größer die gewachsene  $Si_{1-x}Ge_x$ -Schichtdicke ist.

#### Kritische Schichtdicke

Unterhalb einer *kritischen Schichtdicke*  $h_c$  kann die Gitterfehlanpassung noch vollständig durch die elastische Verspannung kompensiert werden. Das Wachstum ist kohärent und die SiGe-Schicht ist pseudomorph verspannt (siehe Abbildung 5.11a). Dies wurde zum ersten Mal von *van der Merwe* [86] anhand von Gleichgewichtsrechnungen postuliert. Die Gitterfehlanpassung wird durch eine tetragonale Verformung kompensiert. So übernimmt die SiGe-Schicht in lateraler Richtung die Gitterkonstante des Substrates und ist dadurch lateral gestaucht und einer Druckbelastung ausgesetzt. In der vertikalen Richtung dagegen wird die Gitterkonstante der SiGe-Schicht gestreckt und damit einer Zugbelastung ausgesetzt, so dass sich das Volumen der Einheitszelle nicht ändert. Diese Verspannung ist homogen und besitzt sehr hohe elastische Verformungsenergien in der Größenordnung von  $2 \cdot 10^7$  J/m<sup>3</sup> für eine Gitterfehlanpassung von 1 % [85]. Die Bildung von Versetzungen beginnt ab einer Aktivierungsenergie  $W_{Ver}$ . Die kritische Schichtdicke beschreibt den Punkt, an dem die elastische Verspannungsenergie der Aktivierungsenergie entspricht ( $W_{el} = W_{Ver}$ ). Die kritische Schichtdicke kann somit durch [87]

$$h_c \approx \frac{W_{\rm Ver}}{\eta^2}$$
 (5.22)

beschrieben werden.

#### Stressrelaxation

Wenn die Schichtdicke größer als die kritische Schichtdicke ist, wird die Verspannungsenergie zu groß. Diese Energie kann ab 800°C durch Interdiffusion des Germaniums in das Silizium abgebaut werden [85]. Da die meisten Abscheideprozesse für die CVD aber kleinere Temperaturen verwenden, ist dieser Mechanismus nur von geringer Bedeutung. Die wichtigsten Mechanismen zur Stressrelaxation sind die Aufrauhung der Oberfläche und die Relaxation der SiGe-Kristallstruktur durch die Bildung von Versetzungen [88]. Beide Mechanismen kongruieren miteinander. Relaxierte Schichten können nicht als aktive Schicht bei Bauelementen verwendet werden. Jedoch werden solche Schichten in der Halbleiterindustrie beispielsweise als relaxierte Bufferschicht (virtuelles Substrat) für verspanntes Silizium eingesetzt.



Abbildung 5.10: Vergleich von experimentellen Werten für die kritische Schichtdicke als Funktion des Germaniumgehalts bei Wachstumstemperaturen von 550°C (blau) [85] und 750°C (schwarz) [89] mit theoretischen Werten (grün) [90] Der in dieser Arbeit entwickelte *SiGe-Stack* (siehe Kapitel 5.4.2) sollte sich auf der Extrapolation für die Messungen von Kasper befinden (*SiGe-Stack* Design). Durch HRTEM-Aufnahmen konnten allerdings die genauen Werte der Schichtdicken bestimmt werden (Kapitel 5.4.4). Der Schichtstapel (Real) befindet sich daher bei einer Schichtdicke von etwa 17 nm und einem Germaniumgehalt von etwa 20 %.

## **Relaxation der Si**<sub>1-x</sub>**Ge**<sub>x</sub>-Schicht

Ist die Schichtdicke *h* größer als die kritische Schichtdicke *h*<sub>c</sub>, so kann die Si-Ge-Schicht ihre eigene Gitterkonstante durch die Ausbildung von Versetzungen annehmen. In der Abbildung 5.11b ist eine Versetzung durch das Fehlen einer Kristallebene (türkis) erkennbar. *Matthew* berechnete anhand von Kräftegleichgewichten die Abhängigkeit der kritischen Schichtdicke von dem Germaniumanteil für Si<sub>1-x</sub>Ge<sub>x</sub>/(100)-Silizium Heterostrukturen. Die Ergebnisse dieser Berechnungen werden in Abbildung 5.10 mit experimentellen Daten von *Kasper* und *Bean* verglichen. Die Wachstumstemperaturen der SiGe-Schicht betrugen dabei für *Kasper* 750°C und für *Bean* 550°C. Die experimentellen Werte für die kritische Schichtdicke sind deutlich größer als die theoretischen. Dies lässt den Schluss zu, dass ein thermodynamisches Gleichgewicht während des Wachstums nicht gegeben war [89], bzw. dass eine kinetische Barriere existiert, die die Bildung und Ausbreitung von Versetzungen unterdrückt [85]. Dies erklärt auch die höheren Werte der kritischen Schichtdicken bei niedrigeren Abscheidetemperaturen. Das thermische Budget von nachfolgenden Prozessen kann nachträglich zu Versetzungen führen.

## Oberflächen Rauigkeit

Die Stressrelaxation durch das Aufrauhen der Oberfläche kann bei jeder Schichtdicke statt finden. Dieser Mechanismus ist durch die Oberflächendiffusionslänge und



Abbildung 5.11: Schematische Darstellung von pseudomorphen und relaxierten Si-Ge-Schichten

a) Die gewachsene SiGe-Schicht ist kleiner als die kritische Schichtdicke. b) Die Si-Ge-Schicht überschreitet die kritische Schichtdicke. Die verbleibenden Dangling Bonds werden gewöhnlich durch Wasserstoffatome abgesättigt.

somit durch die Kinetik kontrolliert. Der Bereich für den die Verspannung der SiGe-Schicht eher durch Aufrauhung als durch Relaxation abgebaut wird, ist durch eine hohe Gitterfehlanpassung und einer hohen Temperatur gegeben. So wird oberhalb einer Gitterfehlanpassung von über 1 % die Bildung von Inseln energetisch günstiger [85], so dass SiGe-Schichten nicht mehr zweidimensional mit glatten Oberflächen aufwachsen, sondern beginnen, dreidimensionale Inseln zu bilden [91]. Diese sind entlang der (110)-Richtung orientiert [92]. Es entsteht eine wellenförmige, unebene Oberfläche, die auch als cross-hatch (Abbildung 5.12) bekannt ist. Schindler zeigte durch Messungen an  $Si_{1-x}Ge_x$ -Proben mit einem AFM, dass bei einem Germaniumgehalt von 26% die mittlere RMS Rauigkeit bereits 5.75 nm beträgt [93]. Auf diesen Oberflächen ist ein einkristallines Wachstum mit der CVD nicht mehr möglich. Die Oberflächendiffusionslänge kann bei niedrigen Temperaturen stark reduziert werden. So zeigte Bean, dass bei Abscheidetemperaturen unterhalb von 550°C die Bildung von Inseln für alle Germaniumkonzentrationen vermieden werden kann [85]. Die Oberflächenrauigkeit kann auch nachträglich durch hohe Temperaturen ab etwa 850°C und die hierdurch injizierte Bildung von Versetzungen zunehmen. Ab etwa 1000°C wird die Verspannung in der SiGe-Schicht durch Diffusion der Germaniumatome in das Siliziumsubstrat abgebaut und die Rauhigkeit nimmt wieder ab [94].

#### Siliziumdeckel

Eine einkristalline Siliziumschicht, die auf eine pseudomorph verspannte SiGe-Schicht gewachsen wurde, erhöht die Stabilität und somit die kritische Schichtdicke der SiGe-Schicht [94]. Die Schichtdicke des Siliziums muss hierbei mindestens um



Abbildung 5.12: REM-Aufnahme einer relaxierten 250 nm dicken Si<sub>0.65</sub>Ge<sub>0.35</sub>-Schicht mit dem typischen cross-hatch Muster [93].

eine Größenordnung höher als die der Si<sub>1-x</sub>Ge<sub>x</sub>-Schicht sein. Versetzungen treten daher auch bei späteren Prozessen erst bei höheren Temperaturen auf. Die kritische Schichtdicke kann hierdurch für niedrige Germaniumkonzentrationen verdoppelt und für Konzentrationen von 80 % Germanium sogar vervierfacht werden [95].

# 5.4.2 Optimierung für den VFD SONFET

Beim Design der SiGe-Opferschicht müssen mehrere Aspekte beachtet werden:

- 1. Für den VFD SONFET sollen Kanallängen im 20 bis 30 nm Bereich realisiert werden. Diese Länge gibt die Dicke der SiGe-Opferschicht vor.
- 2. Die SiGe-Opferschicht muss pseudomorph verspannt sein und damit unterhalb der kritischen Schichtdicke sein, um einkristallines Wachstum der Sourceschicht und des Kanals zu ermöglichen.
- 3. Die Oberläche der SiGe-Opferschicht darf nicht aufgerauht sein. Die Gitterfehlanpassung muss daher unterhalb von 1 % liegen. Nach Gleichung (5.20) muss der Germaniumanteil daher kleiner als 24 % sein.
- 4. Beim Entfernen der SiGe-Opferschicht muss eine hohe Selektivität zwischen Silizium und SiGe angestrebt werden, um das Kanalgebiet nicht zu zerstören. Wie im Kapitel 5.10 gezeigt wird, steigt die Selektivität sehr stark mit dem Germaniumgehalt der SiGe-Opferschicht an. Eine hohe Germaniumkonzentration ist daher erwünscht. Leider sinkt die kritische Schichtdicke bei höheren Germaniumkonzentrationen.
- 5. Ein weiterer wichtiger Aspekt ist die Wachstumstemperatur. Zum einen bedeuten niedrige Temperaturen weniger Versetzungen und ein bevorzugtes



Abbildung 5.13: SiGe-Schichtstapel aus 30 nm  $Si_{0.9}Ge_{0.1}$ , 7 nm  $Si_{0.8}Ge_{0.2}$ , 30 nm  $Si_{0.9}Ge_{0.1}$  und 250 nm Silizium

Auf Grund des höheren Germaniumgehalts der mittleren Schicht, wird die Angriffsfläche der Ätzlösung erhöht und somit auch die Ätzrate.

zweidimensionales Wachstum. Auf der anderen Seite, steigt bei niedrigen Temperaturen die Punktdefektdichte bei der CVD. Zudem bestimmt die Wachstumstemperatur der SiGe-Opferschicht auch das thermische Limit der nachfolgenden Prozesse, da ansonsten nachträglich Versetzungen generiert werden können. In dieser Arbeit besitzt die thermische Oxidation für das Gateoxid mit 800°C (Kapitel 5.8) die höchsten Prozesstemperaturen. *Kasper* konnte bei Temperaturen von 750°C kein zweidimensionales Wachstum für SiGe-Opferschichten mit einem Germaniumanteil von über 20 % beobachten.

- 6. Im Kapitel 5.5 wird gezeigt werden, dass für eine gute Kristallqualität der Sourceschicht eine Abscheidetemperatur von 700°C notwendig ist.
- 7. Wie im Kapitel 5.4.1 bereits beschrieben, kann die kritische Schichtdicke durch die Abscheidung einer dicken Siliziumschicht auf der SiGe-Opferschicht erhöht werden. Dieses wird beim VFD SONFET-Design durch die etwa 300 nm dicke Sourceschicht erreicht. Diese soll die SiGe-Opferschicht vor nachträglichen Versetzungen durch die thermische Oxidation des Gateoxides schützen.
- 8. Ein Schichtstapel aus drei SiGe-Schichten erlaubt eine kontinuierliche Gitterfehlanpassung, wenn die obere und untere SiGe-Schicht eine niedrigere Germaniumkonzentration als die mittlere Schicht aufweisen. Die Verspannungsenergie wird hierdurch reduziert und somit auch die Versetzungsdichte. Zusätzlich wirkt die mittlere SiGe-Schicht als Ätzfront beim Entfernen der SiGe-Opferschicht (siehe Abbildung 5.13). Dies erhöht die Angriffsfläche für die Ätzlösung und erhöht somit die Ätzrate. Aus diesem Grund wurde für den VFD SONFET ein SiGe-Schichtstapel verwendet.

Diese Überlegungen führen zu folgenden Schlussfolgerungen:

### Wachstumstemperatur

Eine Wachstumstemperatur von 700°C wird gewählt, da hier einerseits die nachfolgende Sourceschicht ohne Probleme abgeschieden werden kann und andererseits man sich noch im zweidimensionalen Wachstum befindet, solange der Germaniumgehalt kleiner als 24 % ist. Da der angestrebte Germaniumgehalt über 20 % liegen soll, sind höhere Temperaturen laut Punkt 5 nicht ratsam. Bei der Wahl der Wachstumstemperatur wird angenommen, dass die Stabilisierung durch die Sourceschicht und dem Kanal ausreicht, um die Kristallqualität der SiGe-Opferschicht während der thermische Oxidation von 800°C zu erhalten.

	Design	Real
Si <sub>0.8</sub> Ge <sub>0.2</sub>	10 nm	$\sim 7 \text{ nm}$
Si <sub>0.7</sub> Ge <sub>0.3</sub>	5 nm	$\sim 2 \text{ nm}$
Si <sub>0.8</sub> Ge <sub>0.2</sub>	10 nm	$\sim 7 \text{ nm}$
Gesamtdicke	25 nm	$\sim \! 17 \text{ nm}$
ø Ge-Gehalt	22 %	${\sim}20~\%$

#### Tabelle 5.6: Parameter des SiGe-Stacks für den VFD SONFET

Die tatsächlichen Werte (Real) sind deutlich kleiner als die Werte für das Design.

### Germaniumanteil

Wenn man die gemessenen Werte von Kasper mit den berechneten Werten von Matthew extrapoliert (siehe rote Kurve in Abbildung 5.10), so beträgt bei einer Wachstumstemperatur von 750°C der maximale Germaniumanteil bei einer Schichtdicke von 25 nm etwa 23 %. Für den VFD SONFET wurde daher der Schichtstapel SiGe-Stack mit einem durchschnittlichen Germaniumgehalt von 22 % gewählt, um eine maximale Selektivität beim nasschemischen Entfernen dieser Schicht zu erreichen (siehe Tabelle 5.6 (Design)). Die Schichtdicke des Stapels entspricht in etwa der kritischen Schichtdicke für eine Wachstumstemperatur von 750°C. Um die kritische Schichtdicke zu erhöhen, wurde daher der Stapel bei 700°C gewachsen. Dies reduziert auch die Oberflächendiffusionslänge und damit die Aufrauhung. Die Umsetzung dieser Parameter beruht auf bekannten Abscheideraten für den CVD Prozess. Diese Raten wurden anhand von TEM<sup>39</sup>-Aufnahmen bestimmt. Diese sind nur bedingt geeignet, da die Unterscheidung von Grenzflächen zwischen Silizium und SiGe nicht perfekt ist und eine leichte Verkippung der Proben zur Beobachtungsebene nicht ausgeschlossen werden kann. Neueste Erkenntnisse mit HRTEM<sup>40</sup>-Aufnahmen (siehe Abbildung 5.19) zeigen, dass die tatsächlichen Schichtdicken und der Germaniumgehalt kleiner sind (siehe Tabelle 5.6 (Real)) als durch die bekannten Abscheideraten vermutet wurde. Die SiGe-Opferschicht ist damit deutlich unterhalb der kritischen Schichtdicke. Dies wird auch in den folgenden Charakterisierungen dieser Schicht bestätigt.

#### CDV-Prozess zur Abscheidung der SiGe-Opferschicht

Ein bestehender Prozess an der Universität der Bundeswehr für die Abscheidung von SiGe-Schichten verwendet DCS als Siliziumpräkursor und German (GeH<sub>4</sub>) als Germaniumpräkursor. Die wichtigsten chemischen Reaktionen von DCS sind [96]:

$$SiCl_2H_2 \rightleftharpoons SiCl_2 + 2H$$
 (5.23)

$$SiCl_2 + 2H \rightleftharpoons Si + 2HCl$$
. (5.24)

Schindler zeigte, dass die Aktivierungsenergie bei Abscheidungen mit DCS bei 44 kcal/mol liegt. Dies liegt in der Nähe der Aktivierungsenergie für die Wasser-

<sup>&</sup>lt;sup>39</sup>engl.: Transmission Electron Microscope

<sup>&</sup>lt;sup>40</sup>engl.: High Resolution Transmission Electron Microscope



(a) 100 nm  $Si_{0.8}Ge_{0.2}$ 

(b) SiGe-Stack

# Abbildung 5.14: Defektätzung des *SiGe-Stacks* und einer Probe mit einer 100 nm dicken SiGe-Opferschicht

Beide Proben wurden je 2 min in eine Defektätze (Kapitel 5.10) bei etwa 60°C gehalten. Probe a) zeigt das typische cross-hatch Muster, während Probe b) nur wenige Defekte aufweist.

stoffdesorption von 46 kcal/mol auf (100)-Silizium [97]. Die Wasserstoffdesorption ist somit die prozesslimitierende Reaktion [98]. Wasserstoff besetzt dabei Adsorptionsplätze für Silizium auf dem Substrat und kann mit Chlor zu HCl reagieren, welches Silizium ätzt. Die Ätzrate hängt sehr stark von der Temperatur ab und ist unterhalb von 600°C praktisch nicht mehr vorhanden [93].

Bevor Wasserstoff von der Siliziumoberfläche desorbiert, wandert es mit einer großen Wahrscheinlichkeit von einem freien Siliziumatom zum nächsten [97]. In Anwesenheit von Germanium bilden sich auch H-Ge-Bindungen aus. Diese sind schwächer als die H-Si-Bindungen und begünstigen daher die Desorption von Wasserstoff. Somit wird in Anwesenheit von Germanium auf der Substratoberfläche die Wasserstoffbedeckung kleiner [99]. Hierdurch verliert die prozesslimitierende Reaktion, die Desorption von Wasserstoff auf reaktiven Plätzen, an Gewicht und die Wachstumsrate von Silizium wird stark erhöht [93]. So ergab die Bestimmung der Wachstumsrate von Si<sub>1-x</sub>Ge<sub>x</sub> mittels TEM-Aufnahmen für 30 % Germaniumanteil etwa 1 nm/s, für 20 % etwa 0.6 nm/s und für 10 % etwa 0.2 nm/s. Die Ermittlung der Wachstumsraten mittels HRTEM-Aufnahmen ergab für 20 % Germaniumanteil etwa 0.5 nm/s.

Als erstes Kriterium zur Bestimmung der Kristallqualität diente eine optische Kontrolle der gewachsenen Schicht unter intensivem Streiflicht. Der Stapel zeigte eine glänzende Oberfläche, was ein Indiz auf gute Kristallqualität ist. Als weitere Kontrolle wurde auf dem Stapel eine etwa 300 nm dicke intrinsische Siliziumschicht gewachsen und anschließend mit einer Defektätze (Kapitel 5.10) auf Versetzungen untersucht. Die Ergebnisse sind in Abbildung 5.14 zu sehen. Im Gegensatz zu einer Probe mit 100 nm relaxiertem Si<sub>0.8</sub>Ge<sub>0.2</sub> sind keine typischen cross-hatch Muster zu erkennen. Lediglich eine geringe Anzahl an Defekten ist zu sehen. Dies ist ein Indiz, dass der Stapel pseudomorph verspannt ist.

Eine weitere Quelle für Versetzungen sind bereits vorhandene Defekte auf dem



(a) Keimzellen

(b) stabile Versetzung

# Abbildung 5.15: REM-Aufnahmen des geätzten SiGe-Stacks

Durch Kohlenstoffcluster entstehen Keimzellen die Versetzungen während des CVD-Wachstums erzeugen. Diese breiten sich kegelförmig während des Siliziumwachstums aus.

Kristall. Diese können beispielsweise durch inhomogene Ätzraten beim RCA Clean entstehen (Kapitel 4.1.1) oder durch Verunreinigungen wie Kohlenstoffcluster (Kapitel 4.1.3). Um kleinere Defekte zu minimieren wird vor dem Wachsen der SiGe-Schicht eine wenige Nanometer dünne intrinsische Siliziumschicht gewachsen. Diese kann kleine Unebenheiten auf dem Substrat ausgleichen [93]. Kohlenstoffcluster jedoch führen zu starken Versetzungen in den epitaktischen Schichten. Von diesen Keimzellen wächst das Silizium polykristallin auf. Das polykristalline Wachstum breitet sich dabei kegelförmig mit der Schichtdicke aus [100] (vgl. Kapitel 4.1.3).

In Abbildung 5.15 wurde für den *SiGe-Stack* die SiGe-Opferschicht teilweise mit einer Defektätze entfernt (Kapitel 5.10). Hierdurch wurden auch Defekte in der oberen Siliziumschicht sichtbar. In Abbildung 5.15a sind zwei Keimzellen für Versetzungen in dem freigeätztem Spalt erkennbar. Diese sind durch Kohlenstoffcluster entstanden. Die freigeätzten Gräben im Kristall breiten sich kegelförmig mit einem Winkel von gemessenen 55° aus. Dieser Winkel entspricht der (111)-Seite des Siliziumkristalls mit einem Winkel von 54.74°. Demnach findet die Ausbreitung des polykristallinen Wachstums auf Kohlenstoffcluster entlang der (111)-Flanke statt (vgl. Kapitel 4.1.3). Die sichtbaren Defekte in Abbildung 5.14b sind wahrscheinlich auf Kohlenstoffcluster zurückzuführen und nicht auf Versetzungen, die durch das SiGe entstanden sind. Interessanterweise sind die Versetzungen senkrecht zur Keimzelle energetisch sehr stabil, da sie, wie in Abbildung 5.15b ersichtlich, den Ätzprozess überstanden und als Säulen über der Keimzelle stehen.

Der fertig entwickelte Prozessablauf für die Herstellung der SiGe-Opferschicht ist in Tabelle 5.7 angegeben. Ein Querschnitt des Stapels 2 ist in Abbildung 5.16 zu sehen.

# 5.4.3 Elektrische Charakterisierung der SiGe-Opferschicht

Zur elektrischen Charakterisierung der intrinsischen SiGe-Opferschicht wurde eine pin-Diode verwendet, deren i-Zone aus der SiGe-Opferschicht besteht. Für die

	Temp.	Dr	uck	Zeit	H2-	DCS-	GeH <sub>4</sub> -
Schritt	[°C]	[kPa]	[Torr]	[s]	Fluss	Fluss	Fluss
					[slm]	[slm]	[slm]
H <sub>2</sub> -Bake	850	1.3	10	120	17	-	-
Epi 3 nm i-Si	800	1.3	10	5	17	0.1	-
Epi 7 nm Si <sub>0.8</sub> Ge <sub>0.2</sub>	700	1.3	10	15	17	0.05	20
Epi 2 nm Si <sub>0.8</sub> Ge <sub>0.2</sub>	700	1.3	10	5	17	0.05	35
Epi 7 nm Si <sub>0.8</sub> Ge <sub>0.2</sub>	700	1.3	10	15	17	0.05	20

Tabelle 5.7	Fvaluierter	Prozess	711r	Abscheidung	der	SiGe-O	nfersch	hicht
Tabelle 5.7.	Evalutettet	1102655	Zui	Abscheidung	uer	SIGe-O	preisci	nent



Abbildung 5.16: REM-Aufnahme eines strukturierten SiGe-Stacks mit Sourceschicht

Funktionsweise einer pin-Diode wird auf [5] verwiesen. Die in dieser Arbeit verwendeten quadratischen pin-Dioden besitzen verschiedene Größen mit Seitenlängen l von 10 bis 1000 µm. Die Stromdichte-Spannungs-Charakteristik j(V) wird unterhalb der kritischen Durchbruchsfeldstärke von Silizium durch die *Shockley-Gleichung* [101] beschrieben:

$$j(V) = j_0 \left( e^{eV/n_{id}k_BT} - 1 \right) \,. \tag{5.25}$$

*j*<sub>0</sub> Sperrstromdichte

*n<sub>id</sub>* Idealitätsfaktor der pin-Diode

Um die Versetzungsdichte der SiGe-Opferschicht zu bestimmen, eignet sich die Charakterisierung des Sperrstroms. Die Gesamtstromdichte  $j_{Ges}$  einer pin-Diode in Sperrrichtung setzt sich aus der Stromdichte durch die Diode  $j_{Diode}$  auf Grund von Versetzungen, der Stromdichte durch die Passivierung  $j_{Pass}$  und durch thermisch generierte Ladungsträger  $j_{Therm}$  zusammen:

$$j_{\text{Ges}} = j_{\text{Diode}} + j_{\text{Pass}} + j_{\text{Therm}} \,. \tag{5.26}$$

Bei Raumtemperaturen ist  $j_{\text{Therm}}$  gegenüber den anderen Termen zu vernachlässigen. Für diese Terme ergeben sich folgende Abhängigkeiten von der Mesafläche  $A_{\text{Mesa}} = l^2$ :

$$j_{\text{Pass}} \sim \frac{1}{\sqrt{A_{\text{Mesa}}}}$$
 (5.27)

$$j_{\text{Diode}} \sim \text{const.}$$
 (5.28)

Wird die Sperrstromdichte gegen die Fläche doppelt logarithmisch aufgetragen, so erhält man bei  $j_{Pass}$  dominierten Stromdichten eine Gerade mit Steigung -1/2. Ansonsten ist die Sperrstromdichte mit steigender Fläche konstant. Die Fläche, bei der der Übergang von  $j_{Pass}$  zu  $j_{Diode}$  dominierten Gesamtstrom stattfindet, besitzt mindestens einen Defekt.

Verantwortlich für den Leckstrom durch die Diode sind Versetzungen in der SiGe-Opferschicht. Studien zeigen, dass die Konzentration an Störstellen linear mit der Versetzungsdichte zunimmt [102]. Die Anzahl an Störstellen pro Versetzungslänge  $N_{TD}$  wurde dabei zu 10<sup>6</sup> cm<sup>-1</sup> bestimmt. *Giovane et al.* bestimmten für relaxiertes Si<sub>0.75</sub>Ge<sub>0.25</sub> einen analytischen Zusammenhang zwischen Versetzungsdichte  $N_V$ und der daraus resultierenden Generationsstromdichte  $j_{gen}$  [103]:

$$j_{\text{gen}} = q \cdot n_i \cdot x_D \cdot \sigma_n \cdot \nu_{th} \cdot N_V \cdot N_{TD} \,. \tag{5.29}$$

$n_i$	intrinsische Ladungsträgerdichte bei Raumtemperatur	$1.45\cdot10^{10}$	cm <sup>-3</sup> [5]
$\sigma_n$	Einfangquerschnitt der Störstellen	$4 \cdot 10^{-12}$	cm <sup>2</sup> [102]

 $v_{th}$  thermische Ladungsträgergeschwindigkeit bei 300 K  $1.17 \cdot 10^7$  cm/s

Zur Überprüfung ihrer Ergebnisse verwendeten sie pin-Dioden auf einem relaxiertem Germaniumsubstrat. Die Dotierung der p<sup>+</sup>-Gebiete betrug etwa  $10^{19}$  cm<sup>-3</sup> und die der n<sup>+</sup>-Gebiete etwa  $10^{18}$  cm<sup>-3</sup>. Für eine 17 nm dicke SiGe-Schicht und für eine Generationsstromdichte von 100 µA ergibt sich nach (5.29) eine Versetzungsdichte von  $10^7$  cm<sup>-2</sup>.



Abbildung 5.17: Untersuchte pin-Diode mit *SiGe-Stack* als i-Zone Die Sperrstromdichte lässt sich für Flächen kleiner als  $10^3$  cm<sup>-2</sup> in einen  $j_{Pass}$  dominierten und bei größeren Flächen in einen  $j_{Diode}$  dominierten Bereich unterteilen.

Die hier untersuchten pin-Dioden bestehen aus einem p<sup>+</sup>-implantierten Gebiet ( $\approx 10^{19} \text{ cm}^{-3}$ ) auf das der *SiGe-Stack* und anschließend eine etwa 300 nm dicke n<sup>+</sup>-Schicht ( $\approx 10^{19} \text{ cm}^{-3}$ ) gewachsen wurde. Quadratische Mesen wurden mit einem RIE Prozess (Kapitel 5.6) strukturiert. Die Passivierung besteht aus einem etwa 30 nm dickem thermischen Oxid und einer etwa 100 nm Nitridschicht. Das thermische Oxid wurde bei 800°C gewachsen, so dass bereits die SiGe-Opferschicht den höchsten Temperaturen des VFD SONFET-Prozesses ausgesetzt wurde. Die *j*(*V*)-Kurven dieser verschieden großen Dioden sind in Abbildung 5.17 zu sehen. Bei Dioden mit kleineren Flächen als  $10^3 \,\mu\text{m}^2$  ist *j*<sub>Pass</sub> noch größer als *j*<sub>Diode</sub>. Bei größeren Dioden dominieren bereits die Versetzungen. Diese können z.B., wie bereits gezeigt, durch Kohlenstoffcluster oder durch Versetzungen auf Grund der SiGe-Opferschicht verursacht sein. Flächen ab  $10^3 \,\mu\text{m}^2$  besitzen mindestens eine Versetzung, die Versetzungsdichte ist somit mindestens  $10^5 \text{ cm}^{-2}$ . Dieser Wert ist unterhalb des berechneten Wertes aus Gleichung (5.29) von relaxiertem SiGe. Demnach ist die Versetzungsdichte des *SiGe-Stack* ausreichend gering.

# 5.4.4 Charakterisierung mit HRTEM

Der *SiGe-Stack* und die Sourceschicht wurden zusätzlich mit einem hochauflösendem Rasterelektronenmikroskop (HRTEM) auf Versetzungen und Kristallqualität überprüft. Hierfür wurde ein JEOL 2011 Elektronenmikroskop bei einer Spannung von 200 kV und einer Punktauflösung von 0.194 nm verwendet. Eine Hellfeldaufnahme (siehe Abbildung 5.18) des Querschnitts dieser Schichten zeigt deutlich die Existenz von drei SiGe-Schichten und eine scharfe Abgrenzung der einzelnen Schichten untereinander.

Eine genauere Betrachtung der SiGe-Opferschicht mit einer HRTEM-Aufnahme ist in Abbildung 5.19 zu sehen. Fluktuationen in der Helligkeit einzelner Schichten könnten auf kleine Unterschiede in der Germaniumkonzentration hindeuten. Die Schichtdicke der SiGe-Opferschicht beträgt etwa 17 nm. Dabei besitzen die obere und die untere Schicht jeweils eine Dicke von etwas über 7 nm, während die sehr



**Abbildung 5.18: Hellfeldaufnahme des** *SiGe-Stacks* Es sind deutlich die drei Zonen mit unterschiedlichem Germaniumanteil zu sehen.

dünne mittlere Schicht knappe 2 nm dick ist. Die Schichten weisen einen perfekten Übergang und damit eine optimale Gitteranpassung auf, und die parallel zur Grenzfläche ([022]) gemessenen Gitterabstände der SiGe-Opferschicht stimmen mit den Gitterabständen der Siliziumschichten überein. Die SiGe-Opferschicht ist damit pseudomorph verspannt. Darüberhinaus konnten in den HRTEM-Aufnahmen keine Versetzungen gefunden werden. Dagegen unterscheidet sich die Gitterkonstante in der vertikalen Richtung [200]. Dies folgt aus der tetragonalen Verformung der SiGe-Opferschicht.

Zur weiteren Untersuchung der SiGe-Opferschicht wurde ein Elektronenbeugungsmuster entlang der  $[01\overline{1}]$  Richtung durchgeführt (siehe Abbildung 5.20). Die gebeugten Lichtpunkte parallel zur Grenzfläche ([022]-Achse) zeigen keinerlei erkennbare Aufspaltung, während die Punkte entlang der [200]-Achse deutlich aufgespalten sind. Es sind daher zwei Gitterkonstanten in dieser Richtung vorhanden. Es bestätigt sich damit, dass die SiGe-Opferschicht in lateraler Richtung ([022]) gestaucht und in vertikaler Richtung ([200]) gezerrt und damit pseudomorph verspannt ist. Die gemessene Gitterkonstante der SiGe-Opferschicht in [022]-Richtung liegt bei etwa 0.547 nm. Mit Hilfe der Gleichung (5.19) liegt der Germaniumgehalt der SiGe-Opferschicht zwischen 18 % bis 20 % und entspricht damit den Erwartungen.

Um weitere Aussagen über die Versetzungsdichte zu erhalten, wurden die HRTEM-Aufnahmen digitalisiert und die Bereiche an den Grenzflächen einer Fouriertransformation unterzogen. Das hieraus resultierende Beugungsmuster ist in Abbildung 5.21a zu sehen. Aus der Überlagerung des Zentralstrahls (000) mit dem entsprechenden Strahl für die (111)-Ebene des Kristalls wurde die Rücktransformation der Fourieranalyse durchgeführt. Die Ergebnisse in Abbildung 5.21b zeigen die (111)-Ebenen des Kristalls. Diese gehen ohne Unterbrechung von der Siliziumschicht in die SiGe-Opferschicht über. Auch sind keine zusätzlichen Ebenen zu erkennen. Es sind daher weder Versetzungen noch andere Defekte vorhanden.

Der entwickelte SiGe-Schichtstapel besitzt damit optimale Eigenschaften zur Integration in den VFD SONFET.



Abbildung 5.19: Hochauflösende TEM-Aufnahme der SiGe-Opferschicht



#### Abbildung 5.20: Elektronenbeugungsmuster der SiGe-Opferschicht

Der Lichtpunkt für die [022]-Richtung ist nicht aufgespalten, während der Punkt für die [200]-Richtung, wie in der Vergrößerung rechts oben sichtbar ist, eine deutlich Aufspaltung besitzt.



#### Abbildung 5.21: Fouriertransformation einer HRTEM Aufnahme

a) Die gekennzeichneten Beugungsmuster (1 und 2) entsprechen den (111)-Ebenen des Kristalls. b) Für die Rekonstruktion der HRTEM-Aufnahme wurden jeweils der Zentralstrahl (000) und für das linke Bild die Beugungspunkte 1 und für das rechte Bild die Beugungspunkte 2 verwendet. Die entsprechenden (111)-Ebenen durchlaufen die Grenzfläche zwischen Silizium und der SiGe-Opferschicht (durch Striche getrennt) ohne Unterbrechungen.

# 5.5 Sourceschicht

Auf die SiGe-Opferschicht wird eine hochdotierte n<sup>+</sup>-Schicht ganzflächig abgeschieden, welche als Sourceschicht des VFD SONFETs fungiert. Folgende Anforderungen muss diese Schicht erfüllen:

- 1. Die Dotierung sollte größer als 10<sup>19</sup> cm<sup>-3</sup> sein, um einen ohmschen Kontakt zu der Metallisierung zu ermöglichen [5].
- 2. Die Schichtdicke sollte mindestens 300 nm betragen, um eine genügend hohe mechanische Stabilität nach dem Herauslösen der SiGe-Opferschicht zu gewährleisten.
- 3. Um das Aufwachsen eines einkristallinen Kanals auf der Sourceschicht zu ermöglichen und sicherzustellen, dass die Sourceschicht den Ätzvorgang beim Entfernen der SiGe-Opferschicht übersteht und mechanisch stabil bleibt, muss die Schicht einkristallin sein.
- 4. Damit keine weiteren Versetzungen der SiGe-Opferschicht nachträglich entstehen, sollte die Wachstumstemperatur der Sourceschicht kleiner oder gleich 700°C sein.

Zur Abscheidung der Sourceschicht wurden die Verfahren der MBE und der CVD untersucht. Diese werden im Folgenden vorgestellt.

# 5.5.1 Sourceschicht mit MBE

Die Anlagen für die MBE befinden sich an der Universität der Bundeswehr außerhalb des Reinraums. Die Substrate müssen daher den Reinraum verlassen. Dies erhöht die Wahrscheinlichkeit einer Rekontamination der Substrate nach einer Reinigung. Zur Evaluierung von geeigneten Prozessen für die Sourceschicht, wurden die Substrate zunächst im Reinraum einem RCA-Clean unterzogen (Kapitel 4.1.1). Die Substrate wurden anschließend in einer Box im Reinraum eingeschweißt und innerhalb einer Stunde in die MBE Anlage eingebaut.

Zur Entfernung des chemischen RCA-Oxids wird gewöhnlicherweise eine thermische Desorption bei 900°C für 10 min durchgeführt. Diese Entfernt nicht nur das Oxid sondern auch organische Verunreinigungen, die auf dem Oxid waren [82]. Die hohen Temperaturen der thermischen Desorption würden allerdings gravierende Defekte in der SiGe-Opferschicht verursachen. Daher sollte für den VFD SONFET nur eine Temperatur von 750°C für die thermische Desorption verwendet werden. Diese Temperatur reicht laut *Smith* und *Ghidini* [69] noch aus, um bei dem Druck  $5 \cdot 10^{-6}$  Pa ( $5 \cdot 10^{-8}$  mbar) der MBE Anlage das chemische Oxid zu desorbiern (siehe auch Abbildung 4.1). Die 4. Anforderung an den Prozess kann in diesem Fall nicht erfüllt werden, da noch niedrigere Temperaturen nicht zu einer thermischen Desorption geeignet sind. Zur Evaluierung des Prozesses für die Abscheidung einer n<sup>+</sup>-Schicht wurde allerdings zunächst die optimierte Temperatur der thermischen Desorption bei 900°C gewählt, um die prinzipielle Machbarkeit für den Prozess zu evaluieren.

	T <sub>Phos</sub>	Dotierung	Reinigung
	[°C]	$[cm^{-3}]^{-3}$	
Probe 1	800	$5 \cdot 10^{19}$	RCA
Probe 2	800	$5 \cdot 10^{19}$	RCA + Carbon Burning
Probe 3	-	< 10 <sup>16</sup>	RCA
Probe 4	790	$4 \cdot 10^{19}$	RCA
Probe 5	770	$2 \cdot 10^{19}$	RCA
Probe 6	750	$8 \cdot 10^{18}$	RCA

**Tabelle 5.8: Parameter für die Abscheidung der Sourceschicht mit der MBE** Die Abscheidedauer betrug stets 50 min.

Während der Abscheidungen wurde die Substrattemperatur auf 400°C konstant gehalten und lediglich die Temperatur des Phosphortiegels für jeden Prozess variiert (Kapitel 5.3). Somit konnten verschiedene Dotierungen untersucht werden. Die Auflistung der einzelnen Parameter ist in Tabelle 5.8 angegeben. Die Dicke der Schichten betrug bei allen Proben 300 nm. Nach der Abscheidung werden die Schichten einem Temperaturschritt unterzogen, um die Dotierstoffe elektrisch zu aktivieren. Hierfür wurden die Substrate für 30 min bei 700°C ausgeheizt. Anschließend wurden die Substrate mit einem RIE Prozess (Kapitel 5.6) strukturiert und einer Defektätze (Kapitel 5.10) ausgesetzt, um Versetzungen sichtbar zu machen. Die Ergebnisse sind in den Abbildungen 5.22 zu sehen.

Probe 1 entspricht einem Standardprozess für die Herstellung von höchstdotierten n<sup>+</sup>-Schichten. Wie in Abbildung 5.22a zu sehen ist, ist die Anzahl an Versetzungen für diese Schicht sehr hoch. Dies wird u.a. durch die Segregation von Phosphor verursacht. Da bei hohen Dotierungen Phosphor anfängt Prezipitate zu bilden, die während des Wachstums segregieren und vor der Wachstumsfront Kristalldefekte verursachen. Diese nehmen kegelförmig mit der Schichtdicke zu. Auch Verunreinigungen wie Kohlenstoffcluster können Versetzungen verursachen (Kapitel 4.1.3). Um diesen Effekt zu eliminieren wurde Probe 2 vor der thermischen Oxidation mit einem Carbon-Burning-Reinigungsschritt behandelt. Hierbei werden durch einen parallel zum Substrat geführten Laserstrahl Sauerstoffradikale erzeugt die Kohlenstoffverunreinigungen auf dem chemischen Oxid entfernen. Für eine genau Beschreibung dieses Prozesses sei auf [82] verwiesen. Der verwendete Excimerlaser (ExciStar M-100) der Firma Coherent wurde mit einer Frequenz von 50 Hz, einer Leistung von 100 mJ pro Puls und einer Wellenlänge von 193 nm betrieben. Der Sauerstoffpartialdruck der Kammer betrug  $10^{-2}$  Pa ( $10^{-4}$  mbar). Der Prozess wurde für 5 min bei Raumtemperatur durchgeführt. Wie in Abbildung 5.22b ersichtlich, konnte die Defektdichte nicht wesentlich verbessert werden. Um die Quelle der Versetzungen zu identifizieren, wurde Probe 3 ohne Dotierung gewachsen. In Abbildung 5.22c sind keine freigeätzten Versetzungen mehr zu erkennen. Die Versetzungen werden somit hauptsächlich durch Segregation des Phosphors verursacht.

Um eine höchstmögliche Dotierung mit wenigen Versetzungen zu finden, wurde für die Proben 4 bis 6 die Temperatur des Schmelztiegels und somit die Dotie-



(d) Probe 4

(e) Probe 5

```
(f) Probe 6
```

Abbildung 5.22: REM-Aufnahmen zur Untersuchung der MBE Kristallqualität Zur Optimierung der Sourceschicht mit der MBE wurden Proben mit verschiedenen Dotierungen und Reinigungsverfahren hergestellt. Anschließend wurden die Proben mit einer Defektätze (Kapitel 5.10) auf Versetzungen untersucht.

rung der gewachsenen Schicht stufenweise reduziert. Die Versetzungsdichte wurde durch Abzählen der Defekte über eine definierte Fläche bestimmt. Wie in den Abbildungen 5.22 d) bis e) ersichtlich, nimmt die Versetzungsdichte zwar mit sinkender Dotierung ab (*Probe* 4:  $10^8$  cm<sup>-2</sup>), dennoch sind selbst bei Dotierungen von  $8 \cdot 10^{18}$  cm<sup>-3</sup> (*Probe 6*) noch etwa  $10^7$  cm<sup>-2</sup> Versetzungen vorhanden. Niedrigere Dotierungen sind für den VFD SONFET nicht akzeptabel, so dass für Sourceschichten aus der MBE ein Kompromiss zwischen Dotierhöhe und Versetzungsdichte eingegangen werden muss.

#### 5.5.2 Sourceschicht mit CVD

Bei der CVD kann sowohl Arsin als auch Phosphin als Präkursor für die Dotierung verwendet werden. Bei dieser Arbeit stand allerdings an der verwendeten CVD-Anlage nur Phosphin zur Verfügung. Für die Entwicklung eines geeigneten Prozesses für hohe Dotierungen bei niedrigen Temperaturen müssen zunächst einige Grundlagen der Epitaxie mit Phosphor erläutert werden.

Bei den erforderlichen Temperaturen von weniger als 700°C ist der Prozess reaktionsbegrenzt. Die Dotandeneinbaukonzentration lässt sich dadurch nicht mehr vorwiegend durch die Partialdrücke der Präkusoren einstellen, sondern ist durch die Temperatur weitgehend festgelegt [7]. Ein weiteres Problem ist die allgemein bekannte Tatsache, dass in CVD-Anlagen bei Temperaturen unterhalb von 900°C die Kristallqualität mit der Temperatur schnell abnimmt [97].

Bei einem diffusionskontrolliertem Prozess ist die Dotandeneinbaukonzentration  $n^+$  laut *Cave und Czorny* bis zu Konzentrationen von  $10^{18}$  cm<sup>-3</sup> linear vom Partialdruck  $p_{PH_3}$  abhängig [80]. Bei höheren Konzentrationen  $n^+$  werden Partialdrücke von mehr als 0.1 Pa ( $10^{-3}$  mbar) benötigt. In diesem Bereich überwiegt die Umwandlung von Phosphin zu P<sub>2</sub>-Molekülen. Hierdurch verschiebt sich das empirische Einbaugleichgewicht zu [80]:

$$n^+ \sim \sqrt{p_{PH_3}} \,. \tag{5.30}$$

Es sind demnach sehr hohe Partialdrücke  $p_{PH_3}$  für hohe Dotierungen notwendig. Auch bei reaktionsbegrenzten Prozessen kann durch das Verhältnis der Partialdrücke von Präkursor, Trägergas und Dotierquelle die Dotierhöhe beeinflusst werden. Aus diesem Grund wurde der maximal Durchfluss für Phosphin, der bei der verwendeten CVD-Anlage 50 sccm beträgt, auch für den reaktionsbegrenzten Prozess gewählt.

Als Siliziumpräkursor kann prinzipiell sowohl DCS als auch Silan verwendet werden. *Schindler* konnte zeigen, dass die Dotandeneinbaukonzentration für Arsen bei der Verwendung von DCS und bei Temperaturen kleiner als 800°C unterhalb der Nachweisgrenze für Arsen von 10<sup>18</sup> cm<sup>-3</sup> für das an der Universität der Bundeswehr verwendete *Sekundärionenmassenspektrometer* (SIMS) liegt [93]. Auf Grund der ähnlichen Eigenschaften von Arsen und Phosphor ist auch für Phosphin nur eine geringe Einbaurate zu erwarten. Dies könnte u.a. an dem in DCS enthaltenem Chlor liegen, dass eine ätzende Wirkung auf Silizium hat und daher die Wachstumsrate herabsetzt. Aus diesem Grund wurde für die Entwicklung eines Prozesses für hochdotierte Sourceschichten Disilan als Präkursor verwendet. Disilan zerfällt in [104]:

$$Si_2H_6 \rightleftharpoons SiH_3 + SiH_3$$
 (5.31)

$$Si_2H_6 \rightleftharpoons SiH_2 + SiH_4$$
. (5.32)

Die Wachstumsrate von Silizium nimmt in der Anwesenheit von Phosphin stark ab. *Maity* konnte zeigen, dass die Reaktionswahrscheinlichkeit von Disilan auf (100)-Silizium mit zunehmender Phosphorbedeckung des Substrates abnimmt [105]. Die Phosphorbedeckung ist stark von der Temperatur abhängig und nimmt von einem maximalen Wert bei 550°C erst ab 650°C ab. Bei 680°C beträgt die Bedeckung etwa 80 % vom Maximalwert und bei 700°C noch 70 %. Erst ab Temperaturen von über 800°C sinkt die Bedeckung auf 10 %. Der Phosphor bildet auf der Siliziumober-fläche neben Si-P-Bindungen auch P-P-Dimere aus. Diese Dimere unterbinden die Chemisorption von Disilan auf der Substratoberfläche und erniedrigen dadurch die Wachstumsrate [105].

Die niedrigen Wachstumsraten können laut Gleichung (5.18) durch die Erniedrigung des Wasserstoffpartialdrucks erhöht werden. Bei einem typischen Standardprozess werden 17 slm Wasserstoff als Trägergas bei einem Kammerdruck von etwa 1.3 Pa (13 mbar) verwendet. Durch die Reduzierung des Durchflusses für die Abscheidung der Sourceschicht auf 8.45 slm und einem Kammerdruck von etwa 0.67 Pa (6.7 mbar) wird der Wasserstoffpartialdruck von etwa 1.25 auf 0.59 Pa (12.5 auf 5.9 mbar) erniedrigt. Ein noch niedrigerer Durchfluss des Trägergases könnte die Homogenität des Prozesses gefährden und wurde daher nicht untersucht.

	Temp	Si <sub>2</sub> H <sub>6</sub> -	PH <sub>3</sub> -	H2-	Druck		Rate	n <sup>+</sup>
	[°C]	Fluss	Fluss	Fluss	[kPa]	[Torr]	[nm/s]	$[cm^{-3}]$
		[slm]	[sccm]	[slm]				
Probe 7	680	1	50	8.45	0.7	5	0.5	$1.10^{19}$
Probe 8	700	1	50	8.45	0.7	5	0.75	$2 \cdot 10^{19}$

Tabelle 5.9: Parameter für die Abscheidung der Sourceschicht für 400 s mit der CVD und der resultierende Dotandeneinbaukonzentration  $n^+$  gemessen mittels SIMS

Mit diesen Parametern wurde *Probe* 7 bei 680°C gewachsen (siehe Tabelle 5.9). Die optische Kontrolle unter dem Streiflicht zeigte eine spiegelnde Oberfläche. Die Dotandeneinbaukonzentration erreicht mit 10<sup>19</sup> cm<sup>-3</sup> die vorgesehene Dotierung. Die Wachstumsgeschwindigkeit ist mit etwa 0.5 nm/s allerdings sehr gering, so dass lange Prozesszeiten benötigt werden. Weitere Tests sollten die Reproduzierbarkeit des Prozesses überprüfen. Diese zeigten, dass der Prozess instabil ist, da einige Schichten unter dem Streiflicht glänzend waren und einige ganzflächig matt. Ein Ätztest mit einer Defektätze (Kapitel 5.10) zeigte außerdem eine hohe Dichte an Versetzungen, wie in Abbildung 5.23a ersichtlich ist. Der Prozess musste demnach modifiziert werden.

Schindler zeigte, dass bei der Verwendung von Disilan und Arsin, die Aktivierungsenergie für kristallines Wachstum bei etwa 43 kcal/mol liegt. Dies liegt in der Nähe der Aktivierungsenergie für die Wasserstoffdesorption von 46 kcal/mol auf (100)-Silizium [97]. Die prozesslimitierende Reaktion ist demnach die Desorption von Wasserstoff von der Siliziumoberfläche. Diese hohe thermische Reaktionsbarriere von 2.0 eV pro Atom stellt bei niedrigen Prozesstemperaturen ein Problem dar, da die H-Terminierung nur unvollständig entfernt wird. Somit werden in das Kristallgitter auch Si-H-Bindungen eingebaut, die Punktdefekte verursachen. Bei höheren Temperaturen steigt die Wahrscheinlichkeit Si-H-Bindungen zu desorbieren, so dass für Probe 8 die Temperatur auf 700°C erhöht wurde. Hierdurch steigt auch die Dotandeneinbaukonzentration (siehe Tabelle 5.9). Wie aus Abbildung 5.23b ersichtlich ist, konnte vor allem die Defektdichte durch die Erhöhung der Temperatur verringert werden. Abbildung 5.23c weist aber immer noch eine sehr raue Oberfläche nach einem Defektätzen auf. Die hohen Ätzraten dieser Schicht im Vergleich zum Siliziumsubstrat (Kapitel 5.10) lässt auf eine hohe Anzahl an Punktdefekten schließen. Somit müssen bei der CVD, wie auch bei der MBE die gewachsenen Sourceschichten vor dem Herauslösen der SiGe-Opferschicht passiviert werden.

Wird die Sourceschicht in der CVD-Anlage gewachsen, so ergibt sich die Möglichkeit die Schicht in-situ auf die SiGe-Opferschicht zu wachsen. Die Substrate müssen dafür nicht aus der Anlage geschleust werden, so dass Kontaminationen der Oberfläche verhindert werden und somit die Kristallqualität erhöht wird. Aus diesem Grund wird für den VFD SONFET diese Variante gewählt.


### Abbildung 5.23: REM-Aufnahmen der Proben 7 und 8

*Probe 7* ist bei 680°C und *Probe 8* bei 700°C gewachsen. Beide Proben wurden je 2 min in einer Defektätze (Kapitel 5.10) bei etwa 60°C gehalten. *Probe 1* besitzt deutlich mehr Defekte als *Probe 8*.

# 5.6 Mesa Ätzprozess

Nachdem die SiGe-Opferschicht und die n<sup>+</sup>-Sourceschicht abgeschieden wurden, werden beide Schichten anisotrop strukturiert. Die resultierende Mesastruktur muss dabei folgende Eigenschaften erfüllen:

- 1. Die Ätztiefe sollte etwa 50 nm tief in das Substrat reichen, um sicher zugehen, dass das Kanalgebiet über die Seite der SiGe-Opferschicht abgeschieden werden kann. Bei einer Dicke von 300 nm für die Sourceschicht und 25 nm für die SiGe-Opferschicht ergibt sich mit einer 10% igen Überätzung eine Zieltiefe von 400 nm. Dabei ist darauf zu achten, dass je tiefer die Ätzung ist auch mehr von den Draingebieten abgetragen wird. Dies erhöht unter Umständen die Zuleitungswiderstände. Reicht die Ätztiefe allerdings nur wenig in das Siliziumsubstrat, so nimmt die Qualität des Kanalgebiets an der SiGe-Opferschicht ab, da beim Übergang zur Mesa häufig Verstrebungen auftreten können (siehe Abbildung 5.28c). Daher wird eine Ätztiefe von etwa 50 nm in das Substrat angestrebt.
- 2. Die freigeätzte Flanke der Mesa muss eine defektfreie und glatte Oberfläche besitzen, damit das Kanalgebiet einkristallin anwachsen kann.

Punkt 2 stellt dabei die größte und wichtigste Anforderung an den Prozess. Nur ein einkristallines Kanalgebiet wird hohe Beweglichkeiten im Kanal ermöglichen und ist damit Voraussetzung für die Beobachtung eines ballistischen Transportes.

Für den Ätzprozess wären anisotrope, nasschemische Lösungen wie TMAH denkbar. TMAH hinterlässt nach dem Ätzprozess von (100)-Silizium eine sehr glatte (111)-Oberfläche. Allerdings ätzt TMAH Silizium selektiv zu SiGe in einem Verhältnis von etwa 20 zu 1 bei 70°C und einer Germaniumkonzentration von 24 % [106]. Somit entstehen beim Übergang von Silizium zu SiGe Flanken mit unterschiedlicher Steigung, die die Beweglichkeit auf Grund einer nicht einkristallinen Struktur des Kanalgebiets erheblich vermindern würden. Eine vertikale Flanke in Richtung [100] wird deshalb bevorzugt. Zur Strukturierung von senkrechten Flanken eignet



Abbildung 5.24: Schema des RIE Reaktors

sich ein Trockenätzverfahren. Dieses Verfahren kann an der Universität der Bundeswehr an einem Oxford PlasmaLab 80 Plus Reactive Ion Etching (RIE) Reaktor durchgeführt werden. Dieser Standardprozess wird in Kapitel 5.6.1 vorgestellt. Die Beschreibung der Prozessentwicklung für den anisotropen Trockenätzprozess befindet sich im Kapitel 5.6.2.

### 5.6.1 RIE Reaktor

Der Aufbau des Oxford PlasmaLab 80 Plus Reactive Ion Etching (RIE) Reaktors ist in Abbildung 5.24 zu sehen. Der Reaktor besteht aus einer Prozesskammer, in welche die Prozessgase N<sub>2</sub>, O<sub>2</sub>, Ar, SF<sub>6</sub> und CHF<sub>3</sub> eingeleitet werden können. Der Durchfluss der Gase ist von 0 bis 100 sccm mithilfe von *Massflow-Controllern* (MFC) einstellbar. Das Vakuumsystem des Reaktors besteht aus einer Drehschieber- und einer Turbomolekularpumpe, die einen Prozessdruck von 0.13 Pa bis 13 Pa (1 mT bis 100 mT) je nach Durchfluss der Prozessgase erreichen können. Die Prozessgase werden von oben eingeleitet und unterhalb des Suszeptors wieder abgepumpt.

Die Substrate werden auf einen Suszeptor in der Kammer platziert. Dieser kann durch die Zuführung von flüssigem Stickstoff auf -150°C gekühlt werden. Eine eingebaute Heizung erlaubt ein kontrolliertes Einstellen der Temperatur und das Wiederaufheizen. Als Wärmekontakt zwischen Substrat und Suszeptor wird bei tiefen Temperaturen Helium verwendet.

Suszeptor und Kammer bilden einen Plattenkondensator an dem eine kapazitive, hochfrequente Wechselspannung (RF) von 13.56 MHz angelegt werden kann. Durch eine Glimmentladung wird das Plasma im Reaktor gezündet. Anschließend wird das Plasma durch die RF-Leistung aufrechterhalten. Durch die viel geringere Masse der Elektronen im Vergleich zu den Ionen können diese dem elektri-

	Zeit	Temperatur	Druck		Leistung	
	[s]	[°C]	[Pa]	[mTorr]	kapazitiv	induktiv
					[W]	[W]
Mesa	70	-130	0.8	6	60	300
O <sub>2</sub> -Plasma	240	25	13.3	100	20	500
VFD SONFET	60	-100	0.8	6	60	300

Tabelle 5.10: Standardprozess (Mesa und O<sub>2</sub>-Plasma) und modifizierter VFD SON-FET-Prozess für anistotropes Trockenätzen mit dem Oxford PlasmaLab 80 Plus RIE

	SF <sub>6</sub> -Fluss	O <sub>2</sub> -Fluss	Ar-Fluss
	[sccm]	[sccm]	[sccm]
Mesa	8	1	6
O <sub>2</sub> -Plasma	-	50	-
VFD SONFET	8	1	6

schen Wechselfeld im Gegensatz zu den Ionen folgen. Die Elektronen bewegen sich während der positiven Halbwelle der Wechselspannung auf die Substratelektrode (Suszeptor) zu und laden diese negativ auf. Auf Grund der hohen Austrittsarbeit der Substratelektrode werden keine Elektronen während der positiven Halbwelle emittiert. Hierdurch entsteht eine Spannung zwischen Plasma und der Substratelektrode die *DC self bias* genannt wird. In dieser Zone des Spannungsabfalls tritt eine Elektronenverarmung auf, so dass Anregungsprozesse unwahrscheinlich sind. Hierdurch wird keine sichtbare Strahlung emittiert, weshalb dieser Bereich auch *Dunkelzone* genannt wird.

Durch die entstandene DC-Spannung werden die Ionen auf das Substrat beschleunigt. Durch den Einschlag werden Sekundärelektronen erzeugt, die die Entladung aufrechterhalten. Die kinetische Energie der Ionen sind von der DC-Spannung und der mittleren freien Weglänge der Ionen und damit vom Kammerdruck abhängig. Die positiven Ionen vermindern die negative Ladung der Substratelektrode, so dass die DC-Spannung wieder abnimmt und mehr Elektronen als Ionen auf der Substratelektrode pro Zeit auftreffen. Hierdurch nimmt die DC-Spannung wieder zu. Ein stabiles Gleichgewicht stellt sich allerdings sehr schnell ein [68].

An der Kammer ist eine seitliche Spule angebracht, durch die induktiv getriebene Leistung (ICP)<sup>41</sup> in das Plasma eingekoppelt werden kann. Hierdurch kann die RF-Leistung und somit die physikalische Ätzwirkung reduziert werden, ohne die Plasmaentladung zu unterbrechen.

## 5.6.2 Prozessentwicklung

Zur Herstellung von senkrechten Flanken wurde bereits an der Universität der Bundeswehr ein Standardprozess entwickelt [72], der in Tabelle 5.10 aufgelistet ist.

<sup>&</sup>lt;sup>41</sup>engl.: Inductively Coupled Plasma

Die Realisierung anisotroper Flanken beruht auf dem Zusammenspiel eines chemischen und eines physikalischen Prozesses. Bei dem Standardprozess wird für die chemische Entfernung von Silizium Schwefelhexafluorid (SF<sub>6</sub>) verwendet. Dabei wird SF<sub>6</sub> im Plasma zu hoch reaktiven Radikalen dissoziiert. Bei der Reaktion

$$Si + 4F \rightarrow SiF_4$$
 (5.33)

wird SiF<sub>4</sub> produziert, das flüchtig ist und abgepumpt wird. Ein rein chemischer Prozess erzielt eine isotrope Ätzung, während ein rein physikalischer Prozess eine raue und nicht vertikale Flanke produziert [7]. Erst die Kombination beider Mechanismen erzeugen vertikale und glatte Flanken. Eine wesentliche Rolle spielt dabei der Photolack, der als Maske verwendet wird. Dieser bedarf einer speziellen Behandlung, die in Kapitel 4.3 beschrieben ist. Durch den physikalischen Abtrag des Photolacks durch Ionen im Plasma werden langkettige Polymere des Photolacks gelöst, die sich über das gesamte Substrat verteilen. Hierdurch wird die gesamte Oberfläche vor der chemischen Ätzwirkung der F-Ionen passiviert. Jedoch werden diese auf horizontalen Flächen wieder durch den steten Ionenbeschuss entfernt, und der chemische Abtrag des Siliziums wird fortgesetzt. An vertikalen Flanken ist der Ionenfluss kleiner, so dass hier das Silizium vor der chemischen Reaktion geschützt bleibt.

Durch die Temperatur und den SF<sub>6</sub>-Fluss kann die chemische Ätzung kontrolliert werden. Diese unterliegt dem *Arrhenius-Gesetz*, so dass tiefere Temperaturen die Reaktion verlangsamen. Höhere SF<sub>6</sub>-Flüsse erhöhen widerum die Reaktion. Durch die Einstellung der RF-Leistung im Plasma und des Druckes kann die physikalische Reaktion bestimmt werden. Höhere RF-Leistungen erhöhen den physikalischen Abtrag, während höhere Drücke diesen durch Verringerung der mittleren freien Weglänge reduzieren. Durch geeignete Wahl der Parameter lassen sich senkrechte und glatte Oberflächen erzielen. Eine genauere Beschreibung des Prozesses befindet sich in [72].

Der Standardprozess sieht ein O<sub>2</sub>-Plasma nach der Mesaätzung vor, um den verhärteten Photolack zu entfernen. Hierdurch wird auch an den vertikalen Flanken der Photolack entfernt, so dass das Silizium den Ionen im O<sub>2</sub>-Plasma ausgesetzt wird. Nach der Veraschung sind, wie in Abbildung 5.25a deutlich erkennbar ist, Defekte an der Mesaflanke entstanden. Diese lassen sich durch eine thermische Oxidation und einem anschließendem BHF-Schritt (Kapitel 4.2.3) entfernen (Abbildung 5.25b). Auch andere Defekte und Rauigkeiten auf der vertikalen Oberfläche können hierdurch geglättet werden.

Eine Si-Ge-Bindung (72 kcal/mol) ist schwächer als eine Si-Si-Bindung (78 kcal/mol) [107]. Mit zunehmendem Germaniumgehalt steigt auch die Anzahl der Si-Ge-Bindungen. Die Oxidationsrate wird sich demnach mit dem Germaniumgehalt erhöhen [108]. Bei kleinen Oxidationszeiten wird dabei das Germanium gar nicht in das SiO<sub>2</sub> eingebaut, sondern bildet eine hochdotierte Germaniumschicht hinter dem SiO<sub>2</sub> [109]. Daher eignet sich eine Oxidation bei SiGe-Schichten nicht. Ansonsten würde eine Kerbe in der vertikalen Flanke auf Höhe der SiGe-Opferschicht entstehen. Diese würde ein einkristallines Wachstum des Kanalgebiets verhindern. Aus diesem Grund wird für den VFD SONFET auf die Photolackveraschung verzichtet. Stattdessen wird der Photolack mit Isopropanol und Aceton entfernt (Kapitel 4.2.5).



Abbildung 5.25: REM-Aufnahmen von geätzten Siliziumsubstraten

a) Beim Standardprozess erleidet die Mesaflanke während der Veraschung des Photolacks mit einem O<sub>2</sub>-Plasma Defekte. b) Die Defekte können durch eine Oxidation und einem anschließenden BHF-Ätzschritt entfernt werden.

Beim Standardprozess wird eine sehr tiefe Temperatur benötigt, um die chemische Reaktion zu verlangsamen. Diese tiefen Temperaturen können zur Kristallisierung von einzelnen Photolackbrocken führen, die dem physikalischem Beschuss widerstehen können. Diese Brocken verteilen sich besonders in der Nähe der Photolackmaske und maskieren dort das Silizium. Hierdurch entstehen nadelförmige Strukturen, die die VFD SONFET-Struktur zerstören. Um dies zu vermeiden, wird die Temperatur auf -100°C erhöht. *Iskra* konnte zeigen, dass hierdurch die Bildung von nadelförmigen Strukturen verhindert werden kann (siehe Abbildung 5.27) [110].

Bei höheren Temperaturen ändert sich die Ätzrate des Prozesses, so dass diese neu angepasst werden muss. Hierbei ist zu beachten, dass der RIE Reaktor für 3-Zoll Substrate ausgelegt ist und daher nur eine homogene Ätzung in einem 3-Zoll Bereich gewährleistet. Bei den verwendeten 4-Zoll Substraten werden daher die Ränder zu wenig geätzt. Um die Anzahl an funktionierenden Strukturen zu erhöhen, wurde die Ätzzeit soweit angepasst, dass bei allen Strukturen die Si-Ge-Opferschicht freigelegt wird. Bei einer Prozesszeit von 60 s (siehe Tabelle 5.10) wurde in der Mitte des Substrates 530 nm und am Rand etwa 420 nm freigeätzt.

# 5.7 Kanalgebiet

Über die strukturierte Mesa wird anschließend das Kanalgebiet abgeschieden. Dieses muss dabei konform über die Mesa wachsen. Aus diesem Grund wird für das Kanalgebiet ein CVD-Prozess im reaktionsbegrenzten Bereich verwendet (vgl. Kapitel 5.3.1).

Für den VFD SONFET ist ein intrinsisches Kanalgebiet vorgesehen. Die minimale realisierbare Dotierung für die verwendete CVD-Anlage beträgt etwa  $10^{16}$  cm<sup>-3</sup> (Kapitel 5.3.1). Diese Hintergrunddotierung ist leicht n-dotiert. Hierdurch bekommt



Abbildung 5.26: REM-Aufnahmen von geätzen Siliziumsubstraten bei -130°C Bei zu tiefen Temperaturen kann der Photolack zu Brocken auskristallisieren, die zu nadelförmigen Strukturen führen.



**Abbildung 5.27: REM-Aufnahme eines geätzen Siliziumsubstrats bei -100°C** Es sind keine nadelförmigen Strukturen mehr erkennbar.

der VFD SONFET eine  $n^+/n^-/n^+$ -Struktur und ist somit bereits ohne angelegte Gatespannung angeschaltet<sup>42</sup>.

Auf der Seitenwand der Mesa wird das Kanalgebiet über der SiGe-Opferschicht verspannt aufwachsen, da diese Schicht pseudomorph verspannt ist (Kapitel 5.4.1). Das hierdurch *verzerrte Silizium* (s-Si)<sup>43</sup> besitzt eine höhere Ladungsträgermobilität der Elektronen als normales Silizium [111].

Für den Prozess wird eine Temperatur kleiner als 800°C angestrebt, da einerseits der Prozess im reaktionsbegrenzten Bereich stattfinden soll (siehe 5.3.1) und damit andererseits keine nachträglichen Versetzungen in der SiGe-Opferschicht entstehen (Kapitel 5.4.1). Je höher die Wachstumstemperatur ist, desto weniger Punktdefekte entstehen in der CVD-Schicht [87]. Um die SiGe-Opferschicht soweit wie möglich zu schützen, wird eine Temperatur von 775°C für den Prozess gewählt.

Als Präkursor für Silizium wird DCS verwendet, da die zusätzliche Ätzwirkung des Chlors ein homogeneres Wachstum mit weniger Punktdefekten ermöglicht.

Für die Vorreinigung des Substrats wird ein RCA-Clean (Kapitel 4.1.1), ein anschließender HF-Dip (Kapitel 4.1.2) und ein H<sub>2</sub>-Bake (Kapitel 4.1.3) verwendet. Die hohe Temperatur des Standardprozesses für den H<sub>2</sub>-Bake von 850°C ist zu hoch für die SiGe-Opferschicht. Daher wurde diese in den ersten Versuchen auf 750°C reduziert. Allerdings erwies sich diese Temperatur als zu niedrig, da Oxidreste auf dem Substrat vor der Kanalabscheidung noch vorhanden waren. Diese Oxide können entweder durch eine Reoxidation nach dem Spülen des Substrates (Kapitel 4.1.2) oder aber auch durch eine Reoxidation in der CVD-Kammer durch die hohen Temperaturen und den hohen Sauerstoffpartialdruck entstanden sein. Die Oxidreste wurden vor allem an der Ecke zwischen Substrat und Mesa beobachtet (siehe Abbildung 5.28a). Um diese Oxidreste zu entfernen wurde die Temperatur für den H<sub>2</sub>-Bake auf 775°C erhöht.

Weitere Probleme bei der Abscheidung treten durch raue Oberflächen der Mesaflanke auf. Hierdurch wächst das Kanalgebiet polykristallin an der Mesaflanke an (Abbildung 5.28b). Diese Rauigkeiten entstehen u.a. durch eine unvollständige Photolackpassivierung der Mesaseite während des RIE Prozesses (Kapitel 5.6). Beim Übergang von Substrat und Mesa können Verstrebungen auftreten, die ebenfalls durch den Photolack entstehen können (Abbildung 5.28b). Auch an der Kante zur Oberseite der Mesa bilden sich Defekte, falls der Photolack hier im Laufe des RIE Prozesses zu dünn wird (siehe Abbildung 5.28c). Durch die Einführung eines neuen Photolackes (Kapitel 4.3), konnten diese Effekte vermieden werden.

Nach der Erhöhung der Temperatur für den H<sub>2</sub>-Bake konnten keine weiteren Oxidreste in den Ecken der Mesa gefunden werden. Allerdings zeigten Mesastapel aus einem n<sup>+</sup>-Substrat einer SiGe-Schicht und einem p<sup>+</sup>-Deckel beim Überwachs mit intrinsischem Silizium, dass das Kanalgebiet zwar auf der n<sup>+</sup>- und SiGe-Schicht anwächst aber auf der p<sup>+</sup>-Schicht nur an Keimstellen abgeschieden wird. Bei einer 5 nm dicken Kanalschicht zeigen sich auf der p<sup>+</sup>-Schicht nur punktförmige Siliziuminseln (siehe Abbildung 5.29a). Bei 10 nm dicken Kanalschichten beginnen diese Inseln miteinander zu verwachsen (siehe Abbildung 5.29b). Aber auch auf dem n<sup>+</sup>-Substrat zeigen sich bei 5 nm dicken Kanalschichten kleinere Löcher in

<sup>&</sup>lt;sup>42</sup>engl.: normally-on

<sup>&</sup>lt;sup>43</sup>engl.: strained silicon

	Temp. DCS-Fluss		H <sub>2</sub> -Fluss	Druck		Zeit	Rate
	[°C]	[slm]	[slm]	[kPa]	[Torr]	[s]	[nm/s]
H <sub>2</sub> -Bake	775	-	17	1.3	10	120	-
Abscheidung	775	0.1	17	1.3	10	36	0.8

Tabelle 5.11:	Parameter	für die	Abscheidung	des k	<b>Kanalgebiets</b>	mit CVD
			0		0	



Abbildung 5.28: REM-Aufnahmen von überwachsenen Mesen

Über die Mesastruktur wurde ein 30 nm dickes intrinsisches Silizium mittels der CVD aufgewachsen. Dabei treten folgende Probleme auf. a) In der Ecke der Mesaflanke zum Substrat verhindern Oxidreste ein kristallines Wachstum des Kanalgebiets. b) Verstrebungen zwischen Mesaflanke und Substrat führen zu polykristallinem Wachstum. c) Defekte an der Kante zwischen Mesaflanke und Mesaoberseite verursachen auch Defekte im Kanalgebiet.

der Schicht (siehe Kreise in Abbildung 5.29a), die bei einer Schichtdicke von 10 nm bereits zugewachsen wurden. Ein solches Wachstum kann zu amorphen Schichten führen. Ursache für dieses *Volmer-Weber-Wachstum* könnte die Existenz von mikroskopischen Oxidresten auf dem Substrat sein. Allerdings ist die Reoxidation von n<sup>+</sup>-Schichten wesentlich stärker als bei p<sup>+</sup>-Schichten [112], so dass ein amorphes Wachstum eher bei dem n<sup>+</sup>-Substrat als bei der p<sup>+</sup>-Schicht zu vermuten wäre. Eine genaue Erklärung bedarf weiterer Untersuchungen. Da allerdings bei dem VFD SONFET nur n<sup>+</sup>-Schichten verwendet werden, stellt diese Beobachtung kein Problem für den VFD SONFET dar. Da bei dickeren Schichten die Störstellen in der Kanalschicht auswachsen, wurde für den VFD SONFET zunächst eine 30 nm dicke Schicht untersucht. Die Prozessparameter sind in Tabelle 5.11 aufgeführt.

# 5.8 Gatedielektrika

Nach der Abscheidung des Kanalgebiets wird dieses mit einem Dielektrikum überzogen, welches als Gatedielektrikum fungiert. Im Hinblick auf den Ätzprozess zur Entfernung der SiGe-Opferschicht (Kapitel 5.10), sollte ein Dielektrikum gewählt werden, welches möglichst inert gegenüber HF ist. Während dieser Arbeit stand



#### Abbildung 5.29: REM-Aufnahmen von überwachsenen Mesen

Ein Mesastapel aus n<sup>+</sup>-Substrat, SiGe (80 nm in Bild a) und 25 nm in Bild b) und einer  $p^+$ -Schicht wurde mit 5 nm (a) und 10 nm (b) intrinsischem Silizium überwachsen.

hierfür nur Nitrid zur Verfügung, das eine hohe Resistivität gegenüber HF besitzt (Kapitel 5.10).

Für die ersten VFD SONFETs wurde ein 6 nm dickes Nitrid verwendet. Hierzu wurde die Zeit für den Standardprozess für Nitrid (Kapitel 4.5.1) auf 1 min reduziert. Ein Interface zwischen Nitrid und Silizium besitzt eine hohe Anzahl an Grenzflächenzuständen (>  $10^{11}$  cm<sup>-2</sup>eV<sup>-1</sup>) [113]. Daher wird vor der Abscheidung des Nitrids ein Carbon-Burning durchgeführt. Hierfür wird das Substrat in einer Sauerstoffatmosphäre auf 600°C für 1 min erhitzt. Es entsteht eine etwa 1 nm dicke Oxidschicht, die wesentlich weniger Grenzflächenzustände am Interface zum Silizium besitzt als das Nitrid.

Die prozessierten VFD SONFETs zeigten allerdings einen sehr hohen Gateleckstrom, so dass der Strom hauptsächlich zwischen Source bzw. Drain und Gate fließt (siehe Abbildung 5.30b). Die Ursache für den Leckstrom liegt nicht an der Qualität des Dielektrikums, da dieses auf horizontalen Flächen niedrige Leckströme besitzt (siehe Abbildung 5.30a). Offensichtlich bestimmen Strompfade durch das Dielektrikum auf vertikalen Flanken den Leckstrom. Ursache hierfür könnten Rauigkeiten und damit verbundene Feldspitzen sein.

Als Gatedielektrikum wird daher ein 7 nm dickes thermisches Oxid gewählt (Kapitel 4.4). Durch den Wachstumsprozess wird auch Silizium aufoxidiert, so dass eventuelle Unebenheiten geglättet werden und Strompfade vermieden werden. Das thermische Oxid besitzt eine Hysterese von etwa 30 mV (siehe Abbildung 5.31a), die wesentlich kleiner ist als die Hysterese des Nitrids von etwa 125 mV. Darüber hinaus sind auch die Leckströme an vertikalen Flächen um mehr als zwei Größenordnungen geringer. Allerdings wird durch ein thermisches Gateoxid die weitere Prozessierung des VFD SONFETs aufwendiger, da dieses vor der Ätzlösung für die



#### Abbildung 5.30: Elektrische Charakterisierung des Nitrids

a) CV-Kurve und Leitwert der 6 nm Nitridschicht mit Carbon Burning für eine horizontale Fläche von 1 mm<sup>2</sup>. Der niedrige Leitwert deutet auf eine gute Qualität des Isolators hin. b) Stromkennlinien für einen VFD SONFET mit einer Kanallänge von etwa 30 nm und einer Kanalweite von 50 µm bei einer Drainspannung von 500 mV. Strompfade durch den Isolator erzeugen Strömflüsse zwischen Gate und Source bzw. Gate und Drain.





a) CV-Kurve und Leitwert eines 7 nm dicken thermischen Oxids für eine horizontale Fläche von 1 mm<sup>2</sup>. b) Gateleckstrom eines VFD SONFETs mit einer Kanallänge von 30 nm und einer Kanalweite von 47.4  $\mu$ m bei einer Drainspannung von 550 mV. Auch auf vertikalen Flächen sind die Leckströme durch den Isolator gering.

	Temp.	Si <sub>2</sub> H <sub>6</sub> -Fluss	H <sub>2</sub> -Fluss	PH <sub>3</sub> -Fluss	Druck		Zeit
	[°C]	[slm]	[slm]	[sccm]	[kPa]	[Torr]	[s]
Abscheidung	640	1	17	500	1.3	10	600

#### Tabelle 5.12: Parameter für die Abscheidung des Poly-Gates

Entfernung der SiGe-Opferschicht geschützt werden muss. Ein spezielles Verfahren wurde hierfür entwickelt, das im Kapitel 5.9 beschrieben wird.

## 5.9 Gatestack

Nach der thermischen Oxidation für das Gateoxid, wird anschließend ganzflächig eine etwa 500 nm dicke Polysiliziumschicht für das Gate des VFD SONFET abgeschieden. Das Poly-Gate wird mit einem bereits existierenden CVD-Prozess hergestellt. Die Parameter für diesen Prozess sind in Tabelle 5.12 aufgeführt. Die Abscheidetemperatur beträgt hierbei 640°C und stellt daher kein Risiko für die Bildung von Versetzungen in der SiGe-Opferschicht dar.

Wie im vorherigen Kapitel bereits angedeutet, erschwert die Verwendung eines thermischen Oxids als Gatedielektrikum die weiteren Prozessschritte. Ursache hierfür ist der Ätzprozess zur Entfernung der SiGe-Opferschicht. Hierbei wird hochkonzentrierte Flusssäure eingesetzt, die das thermische Oxid sofort auflöst. Um Strukturen vor der Flusssäure zu schützen, kann beispielsweise Nitrid eingesetzt werden, das inert gegenüber der Säure ist (Kapitel 5.10). Wird ein Gatestack mit einem Gateoxid vor der Strukturierung mit einer etwa 100 nm dicken Nitridschicht passiviert, so sind die Seiten des Gatestacks nach der Strukturierung freiliegend und können von der Ätzlösung angegriffen werden. In Abbildung 5.32a ist ein solcher Gatestack nach dem Ätzprozess dargestellt. Während die Nitridpassivierung intakt geblieben ist, wurden das Poly-Gate und das Gateoxid fast vollständig unterätzt.

Um dieses Problem zu umgehen, bietet es sich an, zuerst den Gatestack zu strukturieren, und anschließend die Nitridpassivierung abzuscheiden. Somit sind nun auch die Seiten des Gatestacks mit Nitrid passiviert und vor der Ätzlösung geschützt. Ein solcher Gatestack weist nach dem Herauslösen der SiGe-Opferschicht keinerlei Schäden auf (siehe Abbildung 5.32b).

Eine zusätzliche Maske musste für die Nitridpassivierung entwickelt werden. Beim Design dieser Maske wurde der Gatestack mit einem Mindestüberlapp von 2 µm abgedeckt. Die Sourceschicht und das Draingebiet wurden nur teilweise passiviert, damit die Mesaflanken freistehend bleiben, und die SiGe-Opferschicht herausgelöst werden kann (siehe Abbildung 5.33). Für eine kontrollierte Ätzung wird die SiGe-Opferschicht von der Seite, auf der das Draingebiet liegt, angegriffen und bis zum Kanal herausgelöst. Die Ätzstrecke ergibt sich somit aus der Sourcebreite  $t_{BOX}$  (siehe Abbildung 5.33). Ein wichtiges Kriterium ist dabei eine seitliche Unterätzung des Gatestacks zu vermeiden. Ansonsten wird die SiGe-Opferschicht auch von der



(a) Ohne Abkapselung



### Abbildung 5.32: REM-Aufnahmen von geätzten VFD SONFET-Strukturen

Beide VFD SONFET Strukturen wurden dem Ätzprozess zur Entfernung der SiGe-Opferschicht ausgesetzt (Kapitel 5.10). a) Bei dieser Struktur wurden das Schutznitrid und der Gatestack mit derselben Maske strukturiert. Hierdurch wird der Gatestack nur von oben vor dem Ätzprozess geschützt. Die Folge ist eine starke Unterätzung des Gatestacks. b) Bei dieser Struktur wurde zunächst der Gatestack strukturiert, und anschließend das Schutznitrid abgeschieden. Hierdurch ist der Gatestack abgekapselt und vor dem Ätzprozess geschützt.

Seite, auf der das Gate liegt, angegriffen. Ist die Ätzstrecke *A* kleiner als die Sourcebreite  $t_{BOX}$  (siehe Abbildung 5.33a), so wird das Gateoxid angegriffen, bevor der Kanal freigelegt wurde. Die Folge ist eine starke Unterätzung des Gateoxids und des Poly-Gates (siehe Abbildung 5.34a). Aus diesem Grund muss die Strecke *A* mindestens so groß wie die Strecke  $t_{BOX}$  sein.

Zur Strukturierung des Poly-Gates eignet sich TMAH, da das Gateoxid als Ätzstop fungiert (Kapitel 4.2.1). Somit sind alle anderen Strukturen bei diesem Ätzprozess passiviert. Als Hartmaske für den Ätzprozess bietet sich ein thermisches Oxid an. Hierzu wurde der Prozess für die thermische Oxidation des Gateoxids (siehe Tabelle 4.4) verwendet und die Zeit für die Feuchtoxidation auf 300 s reduziert. Die weiteren Prozessschritte sind in Tabelle 5.13 aufgeführt.

## 5.9.1 Nitrid Strukturierung

Zur Strukturierung der Nitridpassivierung wurde zunächst ein bereits bestehender Prozess verwendet (Kapitel 4.5.2). Als Maske kommt Photolack zum Einsatz. Hierdurch konnte das Nitrid auf lateralen Flächen vollständig entfernt werden. Der verwendete Prozess ist allerdings durch die hohe kapazitive Leistung stark anisotrop. Das Nitrid an der Mesaflanke wird somit nicht von der Seite weggeätzt, so dass ein *Nitridspacer* mit etwa 90 nm Dicke übrig bleibt (siehe Abbildung 5.35a). Das Nitrid passiviert damit die SiGe-Opferschicht. Beim Ätzprozess zum Entfernen der SiGe-Opferschicht wird das freiliegende Silizium angegriffen, bis dieses soweit entfernt wurde, dass der Nitidspacer nicht mehr an dem Substrat haftet. In Abbildung 5.35b ist das Ablösen des Nitridspacers deutlich zu sehen.



### Abbildung 5.33: Schematische Darstellung der Nitridpassivierung

a) Die Nitridmaske kapselt den Gatestack vollständig ab, und bedeckt Teile der Sourceschicht und der Drainimplantation. b) Mikroskopaufnahme eines mit Nitrid (dunkelblau) passivierten VFD SONFETS.



(a) Ohne Abkapselung

(b) Mit Abkapselung

### Abbildung 5.34: REM-Aufnahmen von geätzten VFD SONFET-Strukturen

Beide VFD SONFET Strukturen wurden dem Ätzprozess zur Entfernung der SiGe-Opferschicht ausgesetzt. a) Ist der Überlapp der Nitridmaske nicht groß genug, so findet eine seitliche Unterätzung des Gatestacks statt. Dabei werden das Gateoxid und das Poly-Gate stark angegriffen. b) In dieser REM Aufnahme ist der abgekapselte Gatestack sowie die teilweise bedeckte Sourceschicht zu sehen.

Prozess	Zweck	Zeit	Kapitel
Lithographie	Photolackmaske zur Strukturierung		4.3
	der Hartmaske		
BHF	Nasschemische Strukturierung der	20 s	4.2.3
	Hartmaske		
TMAH	Nasschemische Strukturierung des	1 min	4.2.1
	Poly-Gates. Die Unterätzung beträgt		
	etwa 500 nm		
BHF	Nasschemische Strukturierung des	20 s	4.2.3
	Gateoxids		
TMAH	Nasschemische Entfernung des frei-	5 s	4.2.1
	stehenden Kanals		
Nitridierung	Abscheidung einer etwa 100 nm Ni-		4.5.1
	tridpassivierung		
Lithographie	Photolackmaske zur Strukturierung		4.3
	des Nitrids		
Plasmaätzen	Trockenätzung zu Strukturierung des		5.9.1
	Nitrids		

Tabelle	5.13:	Prozessablauf	zur	Strukturierung	und	Abkapselung	des	Poly-
Gatestac	ks			_				-





a) Nach dem Standardprozess zur Strukturierung von Nitrid, verbleibt eine etwa 90 nm dicke Nitridschicht auf der vertikalen Flanke (Nitridspacer). b) Nach dem Ätzprozess zur Entfernung der SiGe-Opferschicht, löst sich der Nitridspacer von der Mesaflanke.

Die Nitridpassivierung sollte daher mit einem isotropen Ätzprozess strukturiert werden. Nasschemische Verfahren wie etwa heiße Phosphorsäure oder hochkonzentrierte Flusssäure eignen sich nicht sonderlich hierfür, da bei der heißen Phosphorsäure eine zusätzliche Oxidmaske benötigt wird und die Selektivität zu Silizium nur etwa 8 beträgt (Kapitel 4.5.2) und eine Photolackmaske der Flusssäure nicht lang genug standhält. Aus diesem Grund wurde der Trockenätzprozess modifiziert. Um die isotrope Ätzung zu erhöhen, wurde die induktive Leistung stufenweise erhöht. Gleichzeitig wurde die kapazitive Leistung auf den minimalen Wert reduziert. Dieser ist notwendig, um das Plasma zu zünden. In den Abbildungen 5.36 d) bis f) wurden Teststrukturen den modifizierten Prozessen ausgesetzt. An der hellen Färbung der Mesaflanke sind die Nitridreste zu erkennen. Zwar sinkt die Nitridbedeckung mit steigender induktiver Leistung, jedoch sind selbst bei einer induktiven Leistung von 150 W und einer langen Ätzzeit von 15 min die Mesaflanken immer noch mit Nitrid bedeckt. Die verbleibenden Nitridreste liegen entlang der SiGe-Opferschicht und können auch bei längeren Ätzzeiten von mehr als 20 min nicht mit diesem Prozess entfernt werden.

Um dieses Problem zu lösen wurden weitere Untersuchungen an dem bereits bestehenden Prozess mit reiner kapazitiver Leistung gemacht. Hierzu wurde die Ätzzeit schrittweise erhöht. Wie in den Abbildungen 5.36a bis c zu beobachten ist, nehmen die Nitridreste an der Mesaflanke mit steigender Ätzzeit ab. Bis schließlich ab einer Ätzzeit von 10 min keine Nitridreste mehr zu beobachten sind. Bei diesem Prozess werden die lateralen Schichten mit einer Rate von 21 nm/min durch die physikalische Ätzwirkung abgetragen. Damit wird die etwa 300 nm dicke Sourceschicht, nach dem Abtrag der Nitridschicht, um etwa 180 nm ausgedünnt. Die resultierende Stufe zwischen der mit Photolack passivierten und freiliegenden Sourceschicht ist in Abbildung 5.32b zu sehen. Zwar wurde hier die Sourceschicht angegriffen, sie ist aber noch ausreichend vorhanden. Somit ist dieser Prozess zur Strukturierung der Nitridpassivierung geeignet.

# 5.10 Entfernen der SiGe-Opferschicht

Nachdem die Nitridpassivierung strukturiert wurde, wird im nächsten Prozessschritt die SiGe-Opferschicht entfernt. Dieser Prozess ist eine Schlüsseltechnologie für die Herstellung eines VFD SONFETs. Die Anforderungen an den Prozess sind zum einen eine hohe Selektivität zwischen Silizium und SiGe und zum anderen eine moderate Ätzrate, um den Prozess optisch kontrollieren zu können.

Für den Prototyp des VFD SONFET wurde eine Sourcebreite  $t_{BOX}$  von 2 µm gewählt, da hier einerseits die Strukturen einwandfrei durch die verwendete Lithographie übertragen werden können und andererseits die Ätzstrecke relativ zu anderen Strukturen am kleinsten ist.

Die Selektivität des Ätzprozesses wird durch unterschiedlich starke Bindungen der einzelnen Atome im Gitter hervorgerufen. Je schwächer diese Bindungsenergien sind, desto leichter kann das Atom aus dem Gitter gelöst werden. Für Silizium und Germanium ergeben sich folgende molare Bindungsenergien [107, 114]:



(a) FWP:150W, ICP:0W, 5min



(d) FWP:20W, ICP:50W, 15min



(b) FWP:150W, ICP:0W, 8min



(e) FWP:30W, ICP:100W, 5min



(c) FWP:150W, ICP:0W, 10min



(f) FWP:30W, ICP:150W, 15min

# Abbildung 5.36: REM-Aufnahmen für die Untersuchungsreihe zur Entfernung des Nitridspacers an der Mesaflanke

Si-Si	78 kcal/mol
Si-Ge	72 kcal/mol
Ge-Ge	65 kcal/mol

Einen offensichtlichen Einfluss auf die Selektivität besitzt der Germaniumanteil der SiGe-Opferschicht. Denn je mehr Ge-Ge und Si-Ge-Bindungen vorhanden sind, desto leichter kann die SiGe-Opferschicht entfernt werden. *Carns* zeigte beispielsweise, dass eine Verdoppelung des Germaniumanteils zu einer um fast zwei Größenordnungen höheren Ätzrate führt [115]. Für den VFD SONFET liegt allerdings der maximale Germaniumanteil bei etwa 20 % für den *SiGe-Stack* (Kapitel 5.4.2), so dass dieser Parameter bereits festgelegt ist.

Als Ätzverfahren zum Entfernen der SiGe-Opferschicht können sowohl Trockenwie auch Nasschemischeätzverfahren eingesetzt werden. Bei Trockenätzverfahren kann sowohl gasförmiges Chlor als auch gasförmiges Fluor verwendet werden. *Yamamoto* erzielte beispielsweise mit einem Gasphasenätzprozess mit H<sub>2</sub> und HCl bei Atmosphärendruck und einer Temperatur von 650°C bis 750°C Selektivitäten von etwa 5 für 20 % und etwa 17 für 30 % Germaniumanteil [116]. *Borel* verwendete ein Remote Plasma mit Tetraflourmethan (CF<sub>4</sub>) bei einem Druck von 47 Pa (350 mT) und einer eingespeisten Leistung von 700 W [117]. Die erzielte Selektivität liegt bei etwa 60 für 20 % Germaniumanteil. Im Allgemeinen sind aber die erzielten Selektivitäten mit Trockenätzverfahren im Vergleich zu nasschemischen geringer.

Die nasschemischen Verfahren enthalten in der Regel ein starkes Oxidationsmittel und Flusssäure. Das Oxidationsmittel oxidiert die Silizium- und Germaniumatome auf. Je stärker die Atome dabei im Gitter gebunden sind, desto schwieriger können sie gelöst werden. Durch die unterschiedlich starken Bindungsenergien wird Germanium leichter oxidiert als Silizium. Aber auch Kristalldefekte und Si-H-Bindungen (76 kcal/mol [118]) sind schwächer gebunden und werden daher ebenfalls leichter aufoxidiert. Solche Lösungen sind daher auch geeignet um Kristalldefekte zu untersuchen. Die Flusssäure entfernt nun das gebildete Oxid (Kapitel 4.1.2), so dass weiter darunter liegende Atome aufoxidiert werden können. GeO ist schon teilweise durch Wasser löslich und wird sofort gelöst. Als mögliches Oxidationsmittel kann beispielsweise Salpetersäure (HNO<sub>3</sub>) verwendet werden [119]. Um eine bessere Benetzung des Kristalls zu erzielen und Blasenbildung zu reduzieren wird häufig noch Essigsäure (CH<sub>3</sub>COOH) hinzugesetzt. Das Gemisch aus HF/HNO<sub>3</sub>/CH<sub>3</sub>COOH erzielt allerdings nur Selektivitäten von etwa 10 [120]. Durch Ersetzen des Oxidationsmittel mit Wasserstoffperoxid (H<sub>2</sub>O<sub>2</sub>) erreichte *Carns* eine Selektivität von bis zu 150 für 20 % Germaniumanteil. Er verwendete dabei ein Gemisch aus:

$$50 \% HF: 30 \% H_2O_2: 100 \% CH_3COOH = 1:2:3.$$
(5.34)

Das eigentliche Oxidationsmittel dieser Reaktion ist *Peressigsäure* (CH<sub>3</sub>COOOH, PAA) die sich in der Lösung durch folgende Gleichgewichtsreaktion bildet:

$$CH_3COOH + H_2O_2 \rightleftharpoons CH_3COOOH + H_2O$$
. (5.35)

Nach dem Ansätzen der Lösung benötigt diese allerdings mehrere Stunden, bis sich das Gleichgewicht eingestellt hat und die Ätzrate konstant bleibt. Es ist daher ein vorrangiges Ziel, die Reaktionsgeschwindigkeit zu erhöhen. Dies kann beispielsweise durch eine höhere Temperatur erfolgen. Wird die Temperatur schon um 10°C erhöht, so verdoppelt sich in etwa die Reaktionsgeschwindigkeit [120]. Für das Erreichen des Gleichgewichts benötigt man bei 45°C etwa 5 Stunden. H<sub>2</sub>O<sub>2</sub> besitzt bei einer Wellenlänge von 310 nm eine starke Absorption und zerfällt dadurch unter UV-Licht leichter. Hierdurch kann das Erreichen des Gleichgewichts für die Reaktion (5.35) ebenfalls gesteigert werden. Allerdings weist auch Peressigsäure eine starke Absorption bei dieser Wellenlänge auf. Sobald das Wasserstoffperoxid daher zerfallen ist, nimmt auch die Konzentration der Peressigsäure wieder ab. Die Lichteinwirkung sollte daher nicht länger als 6 Stunden dauern [120]. Eine weitere Möglichkeit das Gleichgewicht schneller zu erreichen, ist die Verwendung eines Ultraschallbeckens, durch das das Gleichgewicht etwa doppelt so schnell erreicht wird [120].

*Guder* konnte in seiner Arbeit zeigen, dass je höher die Konzentration der Peressigsäure ist, desto höher ist auch die Ätzrate von SiGe [120]. Um die Konzentration zu steigern, kann der Wassergehalt der Lösung reduziert werden, da dies die Reaktion (5.35) zu Gunsten der rechten Seite verschiebt [120]. Lösungsansätze wie beispielsweise PAA:HF:H<sub>2</sub>O = 1:1:1 [17] sind daher zu überdenken. *Guder* konnte weiterhin zeigen, dass die Zugabe von 69% iger Schwefelsäure (H<sub>2</sub>SO<sub>4</sub>) auf Grund der hygroskopischen Wirkung, die Konzentration der Peressigsäure um 15 % erhöht. Allerdings ist die Säurekonstante der Schwefelsäure mit  $pK_S(H_2SO_4)$ =-3.9 höher als die der Flusssäure mit  $pK_S(HF)$ =-3.14. Je niedriger aber der pH-Wert der Lösung ist, desto höher ist auch die Konzentration der Peressigsäure, da der Dissoziationsgrad der Lösung zurück gedrängt wird [120]. Offensichtlich überwiegt

Bezeichnung	Dotierung	Widerstand	Aufbau
$n^+$	Antimon	8 bis 18 mΩcm	Nitridmaske
$p^+$	Bor	1 bis 2.5 mΩcm	Nitridmaske
n <sup>-</sup>	Phosphor	3.5 bis 6 Ωcm	Nitridmaske
Nitrid	Antimon	8 bis 18 mΩcm	$\sim$ 100 nm Nitrid (Kapitel 4.5.1)
Sourceschicht	Phosphor	3.5 bis 6 Ωcm	Sourceschicht (Kapitel 5.5.2)
			Nitridmaske
Stack 1	Phosphor	3.5 bis 6 Ωcm	SiGe-Stack (Kapitel 5.4.2)
			Sourceschicht (Kapitel 5.5.2)
Stack 2	Phosphor	3.5 bis 6 Ωcm	100 nm Si <sub>0.8</sub> Ge <sub>0.2</sub>
			100 nm Si-Cap
Stack 3	Antimon	8 bis 20 Ωcm	80 nm Si <sub>0.9</sub> Ge <sub>0.1</sub>
			200 nm Si-Cap
Stack 4	Phosphor	3.5 bis 6 Ωcm	100 nm Si <sub>0.7</sub> Ge <sub>0.3</sub>
			100 nm Si-Cap
Stack 5	Antimon	8 bis 20 Ωcm	20 nm Si <sub>0.8</sub> Ge <sub>0.2</sub>
			200 nm Si-Cap

### Tabelle 5.14: Proben zur Bestimmung der Ätzraten

Alle Proben besitzen ein <100> Substrat.

aber in diesem Fall die hygroskopische Wirkung der Schwefelsäure. Durch die Zugabe von Schwefelsäure wird auch das Gleichgewicht der Reaktion (5.35) schon innerhalb von ein bis zwei Stunden erreicht.

In dieser Arbeit wurde eine 39% ige Peressigsäure<sup>44</sup> der Firma Fluka verwendet. Um eine optimale Selektivität zu erreichen wurden verschiedene Versuche durchgeführt, um einerseits ein möglichst schnelles Gleichgewicht und damit konstante Ätzraten zu erzielen und andererseits das optimale Verhältnis zwischen HF und Peressigsäure zu finden. Des Weiteren wurden verschiedene Einflüsse wie Temperatur, Zugabe von Schwefelsäure, Licht, Kristallqualität und Dotierung untersucht. Die Ergebnisse dieser Untersuchungen sind im Kapitel 5.10.2 beschrieben. Die Bestimmung der Ätzraten ist in Kapitel 5.10.1 erläutert und die Beschreibung des Ätzprozesses für den VFD SONFET ist in Kapitel 5.10.3 zu finden.

# 5.10.1 Bestimmung der Ätzraten

Zur Bestimmung der Ätzraten wurden verschiedene Proben untersucht, die in der Tabelle 5.14 aufgelistet sind. Es wurden sowohl Ätzraten für den *Stack 1* (Kapitel 5.5.2) als auch für die Sourceschicht (Kapitel 5.5.2) und Siliziumsubstrate mit verschiedenen Dotierungen untersucht. Zusätzlich diente ein Substrat, auf das eine etwa 90 nm dicke Nitridschicht abgeschieden wurde (Kapitel 4.5.1), zur Evaluierung für die Ätzrate von Nitrid.

Auf die Siliziumsubstrate und die Sourceschicht wurde eine etwa 90 nm dicke Nitridschicht als Hartmaske abgeschieden und strukturiert. Die Probe *Stack 1*, be-

 $<sup>^{44}</sup>$ gelöst in etwa 45 % Essigsäure und 6 %  $H_2O_2$  bei Raumtemperatur





stehend aus dem *SiGe-Stack* und der Sourceschicht, wurde mit einem RIE Prozess (Kapitel 5.6.2) strukturiert, so dass die SiGe-Opferschicht frei zugänglich war.

Für die Bestimmung der Ätzraten wurden die Proben nach der Ätzung gebrochen und die Bruchkante mit einem REM<sup>45</sup> der Firma JEOL untersucht. In Abbildung 5.37b ist eine typische Bruchkante der Siliziumproben zu sehen. Die Nitridmaske ist deutlich vom Substrat unterscheidbar, so dass durch Anlegen von parallelen Geraden an die untere Grenze der Nitridschicht und an die freiliegende, geätzte Siliziumkante die geätzte Strecke  $x_{Si}$  bestimmt werden kann. Die SiGe-Ätzstrecke  $x_{SiGe}$  setzt sich aus der Länge des geätzten Spalts und der berechneten Siliziumätzstrecke  $x_{Si}$  zusammen (siehe Abbildung 5.37a). Für jede Probe wurden 10 verschiedene Strukturen vermessen und der erhaltene arithmetische Mittelwert durch die Ätzzeit geteilt.

Für die Ätzrate von Nitrid, wurde die Schichtdicke mit einem monochromatischen Ellipsometer der Firma Gaertner mit der Wellenlänge  $\lambda$ =633 nm und dem Brechungsindex für Nitrid  $n_{Si_3N_4}$ =2.01 vor und nach der Messung bestimmt. Die Differenz ergibt die Ätzstrecke  $x_{Ni}$ . Für jeden Messpunkt wurden die Ätzungen fünfmal durchgeführt und die Ätzstrecke  $x_{Ni}$  bestimmt. Aus diesen Werten wurde der arithmetische Mittelwert berechnet und durch die Ätzzeit t geteilt.

Die Ätzraten für Silizium  $r_{Si}$  für die SiGe-Opferschicht  $r_{SiGe}$  und für Nitrid  $r_{Ni}$  können durch die folgend Gleichung bestimmt werden:

$$r_{Si,SiGe,Ni} = \frac{\langle x_{Si,SiGe,Ni} \rangle}{t}.$$
(5.36)

## 5.10.2 Optimierung der Ätzlösung

Der erste Schritt um ein optimales Ätzverfahren zu erhalten ist die Gewährleistung einer konstanten Ätzrate. Ausschlaggebend hierfür ist ein möglichst schnelles

<sup>&</sup>lt;sup>45</sup>Raster-Tunnel-Mikroskop

Erreichen des Gleichgewichts der Reaktion (5.35). Die Möglichkeiten zur Beschleunigung dieser Reaktion sind in Kapitel 5.10 beschrieben. In dieser Arbeit wurde die Lösung (HF:PAA=1:5) nach dem Ansetzen in ein Ultraschallbecken auf etwa 55°C erhitzt. Die Lösung ist während dieser Zeit nur dem Licht von Leuchtstoffröhren ausgesetzt. Diese besitzen nur Wellenlängen größer als 400 nm. Ein beschleunigender Zerfall von  $H_2O_2$  ist daher nicht zu erwarten. Die SiGe-Ätzraten dieser Lösung wurden anhand von zwei Schichtstapeln (*Stack 2* und 3, siehe Tabelle 5.14) untersucht (siehe Abbildung 5.39a). Die Ergebnisse zeigen, dass bereits nach einer Stunde Anrührzeit die Ätzrate konstant ist und erst nach etwa 2 Tagen ihre Ätzwirkung leicht verliert. Dieses Ergebnis ist bereits ausreichend, so dass der Einsatz von UV-Licht zur Beschleunigung der Ätzrate nicht erforderlich ist.

In einem zweiten Schritt wird der Bereich für das Mischungsverhältnis von HF und PAA abgegrenzt. Ohne Zugabe von HF liegt das optimale Verhältnis für CH<sub>3</sub>COOH : PAA bei 2 : 3 [120]. Dieses verschiebt sich jedoch bei der Zugabe von HF durch den starken sauren Charakter der HF. Um einen ersten Eindruck für das optimale Verhältnis zu bekommen, wird dieses in einem weiten Bereich variiert und die Ätzrate für die *Stacks 3, 4* und *5* (siehe Tabelle 5.14) untersucht (siehe Abbildung 5.39b). Alle Proben durchlaufen eine maximale Ätzrate im Bereich von 1:10 bis 1:5. Um den Bereich noch genauer Einzugrenzen wurde der *Stack 1* mit Mischungsverhältnissen zwischen 3:50 und 9:50 für die Lösung geätzt (siehe Abbildung 5.40a). Eine optimale Ätzrate ergibt sich bei einem Mischungsverhältnis von

$$HF: PAA = 3: 25 \quad (SiGe-\ddot{A}tzl\ddot{o}sung). \tag{5.37}$$

Um die Selektivität der *SiGe-Ätzlösung* zu bestimmen, wurde zunächst die Ätzrate von unterschiedlich dotierten Siliziumsubstraten und der Sourceschicht untersucht (siehe Abbildung 5.40c). Die Proben  $p^+$  und  $n^-$  zeigen die kleinsten Ätzraten, während die Ätzrate für die Probe  $n^+$  deutlich größer ist. Dieser Effekt beobachtete auch *Carns* für die Ätzlösung (5.34). Der Grund hierfür liegt in der Oxidationsgleichung für Silizium mit Peressigsäure:

$$Si + 2CH_3COOOH + 2e^- \rightarrow Si^{+2} + 2CH_3COO^- + 2OH^-$$
 (5.38)

$$Ge + 2CH_3COOOH + 2e^- \rightarrow Ge^{+2} + 2CH_3COO^- + 2OH^-.$$
 (5.39)

Da bei der Oxidation des Siliziums Elektronen benötigt werden, steigert eine höhere Elektronendichte im Silizium die Reaktionsrate. Eine n-dotierte SiGe-Opferschicht würde also eine höhere Ätzrate aufweisen als eine undotierte, und damit eine höhere Selektivität erreichen. Für den VFD SONFET würde allerdings eine n-dotierte SiGe-Opferschicht bei der thermischen Oxidation für das Gateoxid (Kapitel 5.8) zu einer Diffusion der Dotierstoffe in das angrenzende Kanalgebiet führen. Dies würde zu einem Kurzschluss zwischen Source und Drain führen, so dass eine n-Dotierung für die SiGe-Opferschicht nicht für den VFD SONFET verwendet werden kann.

Die Elektronendichte im Silizium wird auch durch die Lichteinwirkung der Neonröhren während des Ätzprozesses beeinflusst. Beinahe das gesamte Spektrum dieser Lampen besitzt Wellenlängen unter 1.1 µm und kann daher Elektronen aus dem Valenzband über die Energielücke von 1.12 eV in das Leitungsband heben. Die Elektronendichte wird daher unter Lichteinfall erhöht. Bei der VFD SONFET- Struktur ist dadurch besonders die Sourceschicht betroffen, während die vergrabene SiGe-Opferschicht weitestgehend vor dem Lichteinfall unberührt bleibt. Dies könnte aber die Selektivität vermindern, da die Siliziumätzrate steigt, die SiGe-Ätzrate aber konstant bleibt. Es ist daher wichtig, den Einfluss des Lichts auf den Ätzprozess zu untersuchen. Es wurden Messungen mit und ohne Licht für die Proben *Stack 1, n*<sup>+</sup> und *p*<sup>+</sup> durchgeführt (siehe Abbildungen 5.40b und d). Innerhalb der Messungenauigkeiten ergibt sich kein Unterschied zwischen den Ätzraten. Der Ätzprozess kann demnach bei normaler Beleuchtung im Digestorium durchgeführt werden.

Die Ätzrate der *Sourceschicht* ist im Vergleich zu den Siliziumsubstraten wesentlich höher. Die Ursache hierfür ist die hohe Anzahl an Punktdefekten dieser Schicht. Diese führen zu Kristalldefekten und Si-H-Bindungen, die die Kristallbindungen schwächen und damit die Oxidationsrate erhöhen.

Wie aus den Abbildungen 5.40a-e hervorgeht, sind die Ätzraten exponentiell von der Temperatur abhängig. Generell kann diese Abhängigkeit durch das *Arrhenius-Gesetz* ausgedrückt werden:

$$k_{\text{etch}} = A_F \cdot e^{-W_A/RT} \,. \tag{5.40}$$

 $k_{\text{etch}}$  Ätzrate  $A_F$  Arrhenius-Faktor R allgemeine Gaskonstante

Die gemessenen Ätzraten wurden daher an dieses Gesetz gefittet und die jeweiligen Aktivierungsenergien bestimmt. Die Ergebnisse sind in Tabelle 5.15 aufgelistet.

Zur genaueren Bestimmung der Selektivitäten wurden die gefitteten Kurven verwendet. Exemplarisch sind in Abbildung 5.40f die Selektivitäten zwischen dem Stack 1 und den Proben  $n^+$  und Sourceschicht aufgetragen. Hieraus wird ersichtlich, dass je tiefer die Temperatur ist, desto höher wird auch die Selektivität. Ohne eine aktive Kühlung sind allerdings Temperaturen unterhalb von 25°C nicht möglich und wurden daher in dieser Arbeit nicht weiter untersucht. Auf Grund der bereits angesprochenen Punktdefekte innerhalb der Sourceschicht ist die Ätzrate erhöht, und somit die Selektivität im Vergleich zur  $n^+$  Probe um etwa den Faktor 2 kleiner. Die erzielte Selektivität für die Probe  $n^+$  von etwa 90 ist im Vergleich zu anderen nasschemischen Ätzverfahren geringer als erwartet. Wie aus der Tabelle 5.15 ersichtlich ist, liegen die Aktivierungsenergien für den Stack 1 alle unterhalb von 10 kcal/mol. Nach Abramson und King ist die chemische Reaktion zur Oxidation der SiGe-Opferschicht daher durch die Diffusion kontrolliert [121]. In Vorversuchen zu dieser Arbeit konnte bereits gezeigt werden, dass eine 100 nm dicke SiGe-Opferschicht mit 40 % Germaniumanteil eine fast doppelt so hohe Ätzrate besitzt als eine entsprechende mit nur 50 nm Dicke. Diese Befunde lassen darauf schließen, dass die Diffusion der Lösung in den frei geätzten Spalt die chemische Auflösung der SiGe-Opferschicht verlangsamt. Um diesem Effekt entgegenzuwirken, wurde der Ätzprozess mit einem Ultraschallbecken unterstützt. Dies erhöht den Massentransport in den frei geätzten Spalt. Die mechanische Belastung der Ultraschallwellen führte allerdings zum teilweise Abbrechen der bereits frei geätzten Sourceschicht

Probe	HF:PAA	Licht	$2 \text{ ml H}_2\text{SO}_4$	$W_A$ [kcal/mol]
Stack 1	3:50	+	-	$8.3\pm1.9$
	6:50	+	-	$7.8\pm0.4$
	6:50	-	-	$8.7\pm0.8$
	6:50	+	+	$5.1\pm0.2$
	7:50	+	-	$7.3\pm0.3$
	9:50	+	-	$7.4\pm0.7$
Nitrid	3:50	+	-	$10.5\pm2.0$
	6:50	+	-	$12.7\pm0.3$
	6:50	-	-	$12.7\pm0.2$
	6:50	+	+	$10.5\pm0.5$
	7:50	+	-	$13.6\pm0.5$
	9:50	+	-	$13.0\pm0.2$
$n^+$	6:50	+	-	$10.0\pm0.4$
	6:50	-	-	$10.5\pm1.1$
	6:50	+	+	$9.0\pm0.4$
$p^+$	6:50	+	-	$8.6\pm0.7$
	6:50	-	-	$8.8\pm2.3$
	6:50	+	+	$9.6\pm0.4$
n <sup>-</sup>	6:50	+	-	$9.0 \pm 1.7$
Sourceschicht	6:50	+	-	$11.0\pm0.5$

Tabelle 5.15: Aktivierungsenergien



Abbildung 5.38: REM-Aufnahme eines Sourcepads

Durch die Verwendung eines Ultraschallbeckens während des Ätzprozesses zur Unterstützung des Massentransportes in den frei geätzten Spalt wird die freistehende Sourceschicht mechanisch zu stark belastet und bricht ab.

(siehe Abbildung 5.38), so dass diese Modifikation des Ätzprozesses für den VFD SONFET nicht geeignet ist.

In einem weiteren Versuch sollte überprüft werden, ob die Ätzraten und auch die Selektivität, wie im Kapitel 5.10 beschrieben, durch die Zugabe von Schwefelsäure erhöht werden kann. Hierfür wurden der Lösung (5.37) 2 ml H<sub>2</sub>SO<sub>4</sub> beigemengt. Die Ergebnisse (siehe Abbildung 5.40) zeigen allerdings eine Abnahme der Ätzraten sowohl für SiGe als auch für Silizium. Die resultierende Selektivität ist ebenfalls gesunken. Eine mögliche Ursache für diesen Befund könnte die Verunreinigung der Schwefelsäure mit Eisen sein. Eisen wirkt als Katalysator für die chemische Zersetzung von H<sub>2</sub>O<sub>2</sub>. Schon 100 ppb können zu einer starken Blasenbildung führen bei der Sauerstoff entweicht [120]. Die oxidierende Wirkung der Lösung nimmt daher ab. Die in dieser Arbeit verwendete Schwefelsäure der Qualität VLSI besitzt 50 ppb und kann daher ein möglicher Grund für die niedrigere Selektivität sein.

Die Ätzraten von Nitrid sind mit etwa 2 nm/min bei Raumtemperatur ausreichend gering, um Nitrid als Passivierung für den Ätzprozess verwenden zu können. Die Nitridätzrate ist dabei hauptsächlich von der Konzentration der Flusssäure und dem pH-Wert der Lösung abhängig und nicht von der Peressigsäure. Die Zugabe von 2 ml Schwefelsäure zur *SiGe-Ätzlösung* verringert deutlich die Ätzrate, da der pH-Wert der Lösung gestiegen ist (siehe Abbildung 5.40f).



#### Abbildung 5.39: SiGe-Ätztests

a) Vortest zur Ermittlung der Anrührzeit bis zum Erreichen des Gleichgewichts der Reaktion (5.35). b) Vortest zur Abgrenzung des Mischungsverhältnis für HF und PAA für verschiedene SiGe-Opferschichten.

# Tabelle 5.16: Rezept zur selektiven Entfernung der SiGe-Opferschicht für ein 4-Zoll Substrat

Ansetzen der Lösung	48 ml Flusssäure + 400 ml Peressigsäure
Aufheizen	im Ultraschallbecken zugedeckt auf 55°C für 1 h
Abkühlen	auf 25°C ohne Ultraschallbecken

### 5.10.3 Ätzprozess

Das evaluierte Rezept für das Entfernen der SiGe-Opferschicht ist in Tabelle 5.16 beschrieben. Die SiGe-Ätzrate bei Raumtemperatur liegt für die *SiGe-Ätzlösung* bei etwa 150 nm/min. Der Prozess kann damit gut optisch unter dem Lichtmikroskop kontrolliert werden. Diese Kontrolle sollte etwa alle 7 min durchgeführt werden. Hierzu dienen spezielle Teststrukturen mit denen die ungefähre Ätzrate bestimmt werden kann (siehe Abbildung 5.41a). Dabei ist zu beachten, dass durch die Lithographie und durch den Mesaätzprozess die Breite der Mesastrukturen um einige hundert Nanometer abnehmen kann. Hierdurch kann leicht die Ätzrate überschätzt werden. Eine zusätzliche Kontrolle der eigentlichen Transistorstrukturen mit dem Lichtmikroskop ist daher unerlässlich. Der Fortschritt der Ätzung kann bei den Transistoren durch eine deutliche Verfärbung der freitragenden Sourceschicht bestimmt werden (siehe Abbildung 5.41b). Um sicherzustellen, dass die SiGe-Opferschicht vollständig im Spalt entfernt wurde, sollte etwa 1 min überätzt werden. Untersuchungen haben gezeigt, dass das Kanalgebiet nach dem Freilegen der Lösung mindestens zwei Minuten standhält.



#### Abbildung 5.40: SiGe-Ätztests

Gezeigt sind die gemessenen Ätzraten für die SiGe-Opferschicht (*Stack 1*, Kapitel 5.4.2), die Sourceschicht (*Sourceschicht*, Kapitel 5.5.2), die Nitridpassivierung (*Nitrid*, Kapitel 4.5.1) und verschieden dotierte Substrate ( $n^+$ ,  $p^+$ ,  $n^-$ ) in Abhängigkeit der Temperatur. Zusätzlich wurde der Einfluss der Konzentration von HF, des Lichts und die Zugabe von 2 ml H<sub>2</sub>SO<sub>4</sub> überprüft.



Abbildung 5.41: Mikroskop-Aufnahmen von SiGe-Teststrukturen

a) Gezeigt sind Teststrukturen mit unterschiedlich breiter Mesastruktur, bestehend aus der SiGe-Opferschicht und der Sourceschicht. Abgelöste Sourceschichten signalisieren, dass die jeweilige SiGe-Opferschicht entfernt wurde. Das zurückbleibende Gebiet ist dunkler als die ursprüngliche Mesastruktur. Aus der Mesabreite kann die Ätzstrecke optisch mit einem Lichtmikroskop kontrolliert werden. b) Bei Transistoren ist das bereits entfernte SiGe unterhalb der Source durch eine Verfärbung deutlich zu erkennen.

# 5.11 Ausdünnen des Kanals

Der in dieser Arbeit hergestellte VFD SONFET besitzt einen leicht n-dotierten Kanal und ist damit ohne das Anlegen einer externen Spannung bereits im angeschalteten Zustand. Um den Transistor auszuschalten, muss an dem Gate eine negative Spannung angelegt werden. Hierdurch werden die freien Elektronen im Kanal verdrängt und der Kanal beginnt zu verarmen. Bei noch niedrigeren Spannungen sammeln sich an der Oberfläche des Siliziums freie Löcher an, die durch thermische Generation erzeugt wurden [6]. Der Kanal ist damit in Inversion. Bei einem konventionellen Transistor bestimmt der Zustand der Inversion den eingeschalteten Modus. In diesem Fall aber bewirkt die Inversion das Ausschalten des VFD SONFETs, da hierdurch eine  $n^+/p^+/n^+$ -Struktur erzeugt wird.

Das Sperrverhalten des VFD SONFET wird durch das Verhältnis zwischen der Tiefe der Inversionsschicht und der Tiefe der Raumladungszone beeinflusst, da die Barriere  $V_{bi}$  für Elektronen in der Inversionsschicht höher ist als für die Raumladungszone (vgl. Abbildung 2.2). Für den VFD SONFET wirkt sich daher ein großes Verhältnis in einem niedrigeren Leckstrom und einer besseren Gatekontrolle aus. Die maximale Tiefe der Inversionsschicht beträgt etwa 2 nm und kann nicht weiter erhöht werden (vgl. Kapitel 3.2). Daher kann nur die Tiefe der Raumladungszone durch die Prozessierung verändert werden.

Nach dem die SiGe-Opferschicht entfernt wurde liegt das Kanalgebiet offen. Wie man in Abbildung 5.42a erkennen kann, ist das Kanalgebiet durch den Ätzprozess von anfänglich 30 nm auf etwa 23 nm Dicke reduziert worden. Ein weiteres Ausdünnen des Kanals kann durch eine längere Ätzzeit beim Entfernen der SiGe-Opferschicht erreicht werden. Allerdings ist hier die genaue Kontrolle der Kanaldi-



Abbildung 5.42: REM-Aufnahmen des VFD SONFET Querschnitts

a) Nach der Entfernung der SiGe-Opferschicht verbleibt eine Kanaldicke von etwa 23 nm. b) Durch eine thermische Oxidation wird der Kanal auf 9 nm Dicke ausgedünnt.

cke auf dem Nanometer sehr schwierig, da dies nicht optisch kontrolliert werden kann. Für eine kontrollierte Ausdünnung des Kanalgebiets eignet sich beispielsweise eine thermische Oxidation. Wie im Kapitel 4.4 bereits beschrieben wurde, wird bei der thermischen Oxidation auch Silizium in das Siliziumoxid eingebaut. Dabei wächst das Siliziumoxid etwa 44 % in das Siliziumsubstrat hinein.

Für den ersten Prototyp des VFD SONFETs wurde eine Kanalreduzierung von 10 nm angepeilt. Die resultierende Kanaldicke von etwa 13 nm liegt dadurch im Bereich der simulierten VFD SONFETs (Kapitel 3.3). Somit sollte ein etwa 25 nm thermisches Oxid auf dem Kanalgebiet aufgewachsen werden. Hierbei ist zu beachten, dass die entfernte SiGe-Opferschicht nur einen etwa 25 nm dicken Spalt zum Kanalgebiet hinterlassen hat. Um nicht Gefahr zu laufen, diesen Spalt während der Oxidation zu schließen, und somit das weitere Ausdünnen des Kanalgebiets zu verhindern, wird die thermische Oxidation in zwei Schritten durchgeführt. Dabei wird nach der ersten Oxidation das entstandene Oxid nasschemisch mit BHF entfernt (Kapitel 4.2.3). Für die thermische Oxidation wurde der Prozess für das Gateoxid zeitlich angepasst. Die genaue Prozessabfolge ist in Tabelle 5.17 zu sehen. Die Oxiddicken wurden mit einem monochromatischen Ellipsometer vermessen.

Anschließend werden die Strukturen mit einer 100 nm dicken LPCVD Nitridschicht passiviert (Kapitel 4.5). Diese füllt auch den Spalt zum Kanalgebiet aus. Wie in Abbildung 5.42b zu erkennen ist, konnte das Kanalgebiet mit Hilfe der thermischen Oxidation auf 9 nm Dicke ausgedünnt werden. Das Kanalgebiet wurde damit um wenige Nanometer dünner als beabsichtigt. Dies könnte an einer geringeren Kristallqualität des Kanalgebiets im Vergleich zu der des Substrates liegen, da die Oxidationsrate mit einer geringeren Kristallqualität steigt. Durch die thermische Oxidation wird auch der Spalt zum Kanalgebiet vergrößert. Die Kanallänge des VFD SONFETs wird dadurch allerdings nicht größer, da sich durch die Diffusion der Dotierstoffe in das Kanalgebiet während der thermischen Oxidationen die Bereiche von Source und Drain in die intrinsische Siliziumschicht ausgeweitet haben.

### Tabelle 5.17: Prozessablauf zur Ausdünnung des Kanalgebiets

Ellipsometer Teststrukturen zeigen eine insgesamt gewachsene Oxiddicke von etwa 25 nm.

Prozess	Zweck	Zeit	Kapitel
Therm. Oxidation	Gemessene SiO <sub>2</sub> -Dicke: 14.3 nm	20 min	4.4
BHF	Nasschemische Entfernung des Oxids	20 s	4.2.3
Therm. Oxidation	Gemessene SiO <sub>2</sub> -Dicke: 10.8 nm	15 min	4.4
Nitridierung	Passivierung	22 min	4.5



### Abbildung 5.43: Simulation der Diffusion in das Kanalgebiet

Diese Simulation mit Silvaco zeigt die Diffusion der Dotierstoffe aus Source und Drain nach insgesamt vier Oxidationsschritten (55 min bei 800°C). Das ursprüngliche 30 nm dicke Kanalgebiet wird nicht vollständig durchdotiert, so dass ein mindestens 17 nm langer Kanal mit einer Dotierung von weniger als  $10^{17}$  cm<sup>-3</sup> übrig bleibt.

Mit dem Simulationsprogramm Silvaco wurde diese Diffusion für die thermische Oxidation des Gateoxids, die Oxidhartmaske zur Strukturierung des Poly-Gates und den zwei Oxidationen für die Ausdünnung des Kanalgebiets simuliert. Das Ergebnis in Abbildung 5.43 zeigt einerseits die angesprochene Diffusion in die intrinsische Siliziumschicht und andererseits, dass der eigentliche Kanal von anfänglich 25 nm auf etwa 17 nm verkürzt wurde.

# 5.12 Zusammenfassung

In diesem Kapitel wurden die neu entwickeltenden Prozesse für den VFD SON-FET vorgestellt. Der erste Schritt zur Herstellung eines VFD SONFETs beinhaltet das Anbringen von Justierkreuzen auf dem Substrat. Der hierfür entwickelte RIE Prozess erzielt bei Raumtemperatur genügend hohe Ätzraten, um Gräben im Mikrometerbereich zu realisieren, die auch nach der fertigen Prozessierung des VFD SONFET noch gut erkennbar sind. In einem nächsten Schritt werden die p<sup>+</sup>-Gebiete zur Bildung einer pin-Diode unterhalb der Sourcepads implantiert. Für die Realisierung der Draingebiete wurden sowohl Diffusion als auch Implantation untersucht. Für alle Implantationen wurden Simulationen durchgeführt, um die Prozessparameter bestimmen zu können. Die resultierenden Dotierprofile weichen allerdings leicht von den Simulationen ab. Sind aber für einen ohmschen Kontakt zu der Metallisierung ausreichend. Des Weiteren wurde auch die Möglichkeit untersucht, das Draingebiet mittels Diffusion zu erzeugen. Das entsprechende Dotierprofil eignet sich gut für einen ohmschen Kontakt. Durch die Diffusion werden Kristallschäden im Substrat vermieden, so dass eine anschließende Epitaxie weniger Kristallschäden aufweist. Allerdings ergibt sich zwischen dem Substrat und dem Draingebiet eine Stufe an der Epitaxieschichten Defekte erleiden. Daher muss die später aufgebrachte Sourceschicht passiviert werden, um sie vor der Ätzlösung für die Entfernung der SiGe-Opferschicht zu schützen. Auf Grund der elektrischen Ergebnisse (Kapitel 6) ist die Diffusion der Implantation vorzuziehen.

Für die ganzflächig abgeschiedene SiGe-Opferschicht wurde ein Schichtstapel *SiGe-Stack* entwickelt, der einerseits pseudomorph verspannt ist und somit einkristallines Wachstum auf dieser Schicht erlaubt und andererseits eine maximale Germaniumkonzentration besitzt, um beim Entfernen dieser Schicht eine möglichst hohe Selektivität zu erzielen. Die Kristallqualität wurde durch optische Kontrolle, Defektätzen, elektrischen Messungen an pin-Dioden und durch HRTEM-Aufnahmen überprüft. Alle Ergebnisse sind in sich stimmig und bescheinigen der SiGe-Opferschicht eine sehr gute Kristallqualität mit einer Versetzungsdichte von etwa  $10^5$  cm<sup>-2</sup> und eine pseudomorphe Gitterstruktur. Durch die HRTEM-Aufnahmen konnte die exakte Dicke der SiGe-Opferschicht von 17 nm und deren Germaniumgehalt von 20 % bestimmt werden.

Die anschließend ganzflächig abgeschiedene Sourceschicht wurde einerseits mit MBE und andererseits mit CVD realisiert. Bei der MBE zeigte sich eine hohe Defektdichte auf Grund von segregiertem Phosphor, die mit der Dotierstoffkonzentration zunimmt. Eine akzeptable Versetzungsdichte konnte nur für Dotierstoffkonzentrationen unterhalb von  $10^{19}$  cm<sup>-3</sup> gefunden werden. Diese ist für einen ohmschen Kontakt zur Metallisierung zu gering, so dass die Sourceschicht mit der CVD gewachsen wurde. Hier konnte eine Dotierung von  $2 \cdot 10^{19}$  cm<sup>-3</sup> erreicht werden. Weitere Nachteile der MBE sind der Transport der Substrate aus dem Reinraum und die hohen Temperaturen für die thermische Desorption, die die Kristallqualität der SiGe-Opferschicht zerstören kann. Bei der CVD wurde ein Prozess bei 700°C entwickelt, der in-situ auf die SiGe-Opferschicht abgeschieden werden kann. Hierdurch ergeben sich keine Verunreinigungen an der Grenzfläche beider Schichten. Allerdings ergeben sich eine hohe Dichte an Punktdefekten bei den niedrigen Wachstumstemperaturen und Versetzungen durch Silizium-Kohlenstoff-Clustern, so dass die Sourceschicht vollständig (bis auf die Ränder) mit Nitrid vor dem Ätzprozess zur Entfernung der SiGe-Opferschicht passiviert werden muss.

Die SiGe-Opferschicht und die Sourceschicht werden anschließend mit einem RIE Trockenätzprozess anisotrop strukturiert. Hierfür wurde ein Standardprozess modifiziert. Die Temperatur wurde von -130°C auf -100°C erhöht, um das Auskristallisieren des Photolacks und damit die Bildung von nadelförmigen Strukturen um die Mesa zu verhindern. Des Weiteren wurde die Ätzzeit angepasst und das Veraschen des Photolacks weggelassen, da sich ansonsten durch den Ionenbeschuss Defekte auf der Mesaseitenwand bilden können. Der entwickelte Prozess produziert steile und glatte Flanken auf denen mit dem REM keine Defekte mehr erkennbar waren.

Über die Mesa wird nun konform das Kanalgebiet abgeschieden. Hierzu wurde ein reaktionsbegrenzter Prozess mit der CVD entwickelt, um intrinsische Schichten mit Dotierungen unterhalb von  $10^{16}$  cm<sup>-3</sup> zu produzieren. Hierbei führten Unebenheiten auf der Mesaseitenwand zu polykristallinem Wachstum. Die meisten Defekte konnten durch die Einführung eines neuen Photolacks und der damit reduzierten Rauigkeit der Mesaseitenwand vermieden werden. Durch die geringe Temperatur des H<sub>2</sub>-Bakes von 775°C (um die SiGe-Opferschicht vor nachträgliche Versetzungen zu schützen) können Oxidreste zurückbleiben, die auf p<sup>+</sup>-dotierten eher anzutreffen sind als auf n<sup>+</sup> bzw. der SiGe-Opferschicht. Diese können zu einem polykristallinem Wachstum des Kanalgebiets führen.

Auf das Kanalgebiet wird das Gatedielektrikum abgeschieden. Im Hinblick auf den Ätzprozess zur Entfernung der SiGe-Opferschicht sollte ein Dielektrikum verwendet werden, das inert gegenüber Flusssäure ist. Ein LPCVD Nitrid wurde daher untersucht, zeigte aber auf vertikalen Flächen einen hohen Leckstrom auf Grund von Strompfaden durch das Nitrid. Ein thermisches Oxid oxidiert Unebenheiten auf dem Kanalgebiet auf und reduziert somit diese Strompfade. Für die Oxidation wurde ein Prozess mit einer RTP Anlage bei 800°C entwickelt. Das resultierende Oxid besitzt sehr gute elektrische Eigenschaften und einen geringen Leckstrom auf vertikalen Flanken. Allerdings muss hierdurch der weitere Prozessablauf neu konzipiert werden, da das Oxid vor der Flusssäure geschützt werden muss.

Der nächste Schritt beinhaltet die Abscheidung von polykristallinem Silizium, das als Gate des VFD SONFETs fungiert. Dieses wurde mit einer thermischen Hartmaske und einem anschließenden TMAH-Ätzen strukturiert. Zur Passivierung des Gatestacks wurde eine Nitridmaske entwickelt, die den gesamten Gatestack und Teile der Sourceschicht und des Draingebiets abkapselt. Mit dieser Entwicklung ist es möglich den Gatestack auch mit einem Oxid als Dielektrikum zu bauen.

Die anschließende Entfernung der SiGe-Opferschicht wurde nasschemisch mit einem Gemisch aus Flusssäure und Peressigsäure durchgeführt. Um eine optimale Selektivität zwischen Silizium und SiGe zu erreichen wurden das Mischungsverhältnis, der Einfluss der Dotierung des Silizium, Licht, Temperatur, die Verwendung eines Ultraschallbeckens und die Zugabe von Schwefelsäure untersucht. Als Ergebnis kann eine Selektivität von 90 für den *Stack 1* und ein n<sup>+</sup>-Substrat bzw. etwa 45 für die Sourceschicht erzielt werden. Die chemische Reaktion ist durch die Diffusion kontrolliert. Daher könnte die Selektivität durch die Verwendung eines Ultraschallbeckens erhöht werden. Dies führt aber zum Abbruch der freistehenden Sourceschicht. Die erzielte Selektivität ist aber für den Prototyp des VFD SONFET ausreichend hoch.

Nach der Entfernung der SiGe-Opferschicht ist der Kanal frei zugänglich und besitzt eine Dicke von etwa 23 nm. Um verbesserte, elektrische Eigenschaften zu erzielen, sollte das Kanalgebiet möglichst dünn sein. Daher wurden zwei thermische Oxidationen durchgeführt, um den Kanal auszudünnen. Es ergibt sich eine erzielte Kanaldicke von etwa 9 nm. Durch die hohen Temperaturen der Oxidationen, diffundieren die Dotierstoffe aus den Anschlussgebieten in das Kanalgebiet. Als Ergebnis einer Simulation für diese Diffusion zeigt sich, dass das Kanalgebiet auf eine Länge von etwa 17 nm mit einer Dotierung von unter  $10^{17}$  cm<sup>-3</sup> geschrumpft ist.

Zusammenfassend lässt sich sagen, dass die Entwicklung der hier aufgeführten Prozesse zum ersten VFD SONFET führten, dessen elektrischen Eigenschaften im nächsten Kapitel besprochen werden.

# Kapitel 6

# Elektrische Charakterisierung des VFD SONFETs

In diesem Kapitel werden die elektrischen Eigenschaften des VFD SONFET-Prototyps *D8H6IL* (Anhang 9) besprochen. Dieser Prototyp wurde mit dem im Kapitel 5 entwickelten Prozessen prozessiert. Das Draingebiet wurde dabei durch Diffusion gebildet. Die geometrischen Kenngrößen des untersuchten Bauelements sind in der Tabelle 6.1 aufgelistet.

Für die Messungen der Kennlinien des Transistors D8H6IL wurde ein Synatron Cascad Microtech Summit 117524 Messplatz und ein HP4155A Parameteranalyzer verwendet. Das Substrat und der Sourceanschluss wurden auf Masse und die Drain- und Gateanschlüsse auf ein variables Potential gelegt. Eine schematische Darstellung für die Beschaltung des Transistors ist in den Abbildungen 6.1 und 6.2 zu sehen.

Die Messung der Ausgangskennlinie in logarithmischer Darstellung ist in Abbildung 6.3 gezeigt. Der gemessene Strom  $I_{Mess}$  besteht aus dem Drainstrom des Transistors und aus dem parasitären Strom  $I_{Dioden}$ , der von Source über das verbleibende SiGe unterhalb der Sourcepads und dem Substrat nach Drain fließt:

$$I_{\rm Mess} = I_D + I_{\rm Dioden} \,. \tag{6.1}$$

#### Parasitäre Dioden

Der Strompfad für  $I_{\text{Dioden}}$  passiert dabei die *pin-Diode*, bestehend aus dem p<sup>+</sup>-Gebiet, der intrinsischen SiGe-Opferschicht und der n<sup>+</sup>-Sourceschicht, und die

Kanaldicke	$T_{Si}$	$\sim 9 \text{ nm}$	Drainweite		47.4 μm
Kanallänge	L	$\sim 20 \text{ nm}$	Sourcebreite	$t_{BOX}$	1.6 µm
Kanalweite	W	50 µm	Gateweite		50 µm
Oxiddicke	$t_{ox}$	7 nm	Kapazität pro Fläche	$C_{ox}$	$0.5 \mu\text{F}/\text{cm}^2$

Tabelle 6.1: Kenngrößen für den Transistor D8H6IL

*pn-Diode*, die sich aus dem p<sup>-</sup>-Substrat und dem n<sup>+</sup>-Draingebiet zusammensetzt (siehe Abbildung 6.1). Beim Anlegen einer positiven Drainspannung  $V_{DS}$  ist die pn-Diode in Sperrrichtung, während die pin-Diode in Durchlassrichtung geschaltet ist. Für eine negative Drainspannung kehren sich die Durchlassrichtungen um. Es ist daher bei jeder Drainspannung sicher gestellt, dass eine Diode sperrt, und somit der Strom IDioden möglichst gering ist. Zur Bestimmung der Kennlinien für beide Dioden wurde jeweils das Substrat geerdet. Für die Kennlinie der pn-Diode wurde nur das Draingebiet kontaktiert und die angelegte Spannung variiert. Für die Kennlinie der pin-Diode wurde entsprechend nur an die Sourceschicht Spannung angelegt. Die resultierenden Kennlinien sind in Abbildung 6.4 zu sehen. Wie erwartet ist jeweils eine Diode stets in Sperrrichtung geschaltet. Allerdings ist der Sperrstrom der pin-Diode für Spannungen bis über -1 V größer als der Strom der pn-Diode in Durchlassrichtung. Dieser sehr hohe Sperrstrom der pin-Diode ist auf die kurze intrinsische Zone der SiGe-Schicht und auf die im Vergleich zu einer Siliziumschicht relativ hohe Versetzungsdichte von 10<sup>7</sup> cm<sup>-2</sup> (Kapitel 5.4.3) zurückzuführen. Für die Messung der Kennlinien für den VFD SONFET sollte daher kein Spannungsabfall über die pin-Diode erfolgen. Dies kann durch die Erdung des Sourcegebiets erreicht werden.

Zur Reduzierung des Stromanteils  $I_{\text{Dioden}}$  an  $I_{\text{Mess}}$  steht nunmehr nur noch die pn-Diode zur Verfügung, so dass für negative Drainspannungen der Strom  $I_{\text{Dioden}}$  für den Fall  $V_{GS} < V_{th}$  hauptsächlich durch  $I_{\text{Mess}}$  bestimmt ist (siehe Abbildung 6.3). Zur Bestimmung des Drainstroms  $I_D$  für den VFD SONFET können somit nur positive Drainspannungen verwendet werden.

### Kennlinien

Die Kennlinien des VFD SONFETs wurden bei 25°C und -40°C für positive Drainspannungen gemessen (siehe Abbildungen 6.5 und 6.6). Der vermessene Transistor D8H6IL besitzt ein  $I_{on}/I_{off}$  Verhältnis von vier Größenordungen bei Raumtemperatur. Bei niedrigeren Temperaturen vermindert sich der Generations- und Rekombinationsstrom, so dass für -40°C das Verhältnis  $I_{on}/I_{off}$  fünf Größenordnungen beträgt. *Monfray* erreichte mit seinem lateralen SONFET (Kapitel 3) ein Verhältnis von etwa sieben Größenordnungen. Im eingeschalteten Zustand erreicht der Transistor einen Strom  $I_{on}$  von etwa 0.044 µA/µm bei einer Gatespannung  $V_{GS}$  von 1 V und einer Drainspannung  $V_{DS}$  von 550 mV, und liegt damit etwa vier Größenordnungen unterhalb des gemessenen Werts für den lateralen SONFET von *Monfray* [11]. Die Ursache für diesen geringen Strom im eingeschalteten Zustand und das niedrige  $I_{on}/I_{off}$  Verhältnis, ist die geringe Beweglichkeit der Ladungsträger im Kanal. Diese wird im folgenden Abschnitt näher untersucht.

#### Ladungsträger Beweglichkeit

Eine weitere wichtige Eigenschaft zur Charakterisierung des Transistors ist die Bestimmung der maximalen Beweglichkeit  $\mu_0$  der Ladungsträger im Kanal. Diese beschreibt die Beweglichkeit der Ladungsträger ohne die dämpfenden Einflüsse des vertikalen Feldes auf Grund der Gatespannung und den damit verbundenen Streuungen an der Grenzfläche zum Oxid. Sie kann über die Gleichung [122]

$$\mu = \frac{\mu_0}{1 + \theta \cdot (V_{GS} - V_{th})} \tag{6.2}$$

aus der Beweglichkeit  $\mu$  berechnet werden. Zur Modellierung der Dämpfung durch das elektrische Feld des Gates wird der Faktor  $\theta$  eingeführt, der von den seriellen Widerständen  $R_{SD}$  der Zuleitungen abhängt [122]:

$$\theta = \theta_0 + \frac{W}{L} \mu_0 \cdot C_{ox} \cdot R_{SD} \,. \tag{6.3}$$

Dabei ist der Faktor  $\theta_0$  indirekt proportional zur Oxiddicke  $t_{ox}$  [9]. Aus den Gleichungen (6.2), (2.14) für  $V_{GS} - V_{th} \gg V_{SD}$  und der Definition der Steilheit  $g_m$  kann zunächst folgende Gleichung bestimmt werden [123]:

$$\frac{I_D}{\sqrt{g_m}} = \sqrt{\frac{W}{L}} C_{ox} \mu_0 V_{DS} \cdot (V_{GS} - V_{th}).$$
(6.4)

Durch das Auftragen des Graphen  $I_D / \sqrt{g_m}$  gegen  $V_{GS}$  kann die Steigung ermittelt werden, aus der die Beweglichkeit berechnet werden kann. Die Ergebnisse sind in den Tabellen 6.2 und 6.3 aufgeführt. Mit dieser Methode ergibt sich für den Transistor bei 25°C eine durchschnittliche Beweglichkeit der Elektronen im Kanal von  $(564 \pm 1) \cdot 10^{-5} \text{ cm}^2/\text{Vs}$  und bei -40°C ein Wert von  $(596 \pm 2) \cdot 10^{-5} \text{ cm}^2/\text{Vs}$ . Diese Werte weichen sehr stark von der zu erwartenden Beweglichkeit für Elektronen von etwa 300 cm<sup>2</sup>/Vs ab. Eine mögliche Ursache hierfür könnte die Rauigkeit der Mesaseitenwand sein. Zur Überprüfung dieser Rauigkeit stellte Born vertikale MOSFETs her, deren Kanalgebiete entlang der Mesaseitenwand verlaufen. Dabei wurde der Standardprozess zur Strukturierung der Mesa verwendet (Kapitel 5.6.2). Die fertigen Transistoren erzielten eine maximale Beweglichkeit von 36 cm<sup>2</sup>/Vs für die [110]-Orientierung [72]. Die Mesaseitenwand besitzt demnach eine geringe aber vorhandene Rauigkeit. Auf Grund dieser Rauigkeiten können beim Wachsen des Kanalgebiets über der Mesa Defekte innerhalb des Kanals entstehen, die als Streuzentren fungieren und die Beweglichkeit damit herabsetzten. Wie im Kapitel 5.7 beschrieben wurde, ist das Wachstum des Kanals auf der Mesaseitenwand möglicherweise polykristallin, da mikroskopische Oxidreste auf der Seitenwand vorhanden sind. Dies verringert die Beweglichkeit im Kanal zusätzlich. Eine weitere Erklärung für die niedrigen Beweglichkeiten könnte die SiGe-Opferschicht liefern. Wie im Kapitel 5.7 erläutert wurde, wächst das Silizium auf der SiGe-Opferschicht verspannt auf und steht somit unter einer Zugbelastung. Diese könnte an Defekten zu Rissen in der dünnen Kanalschicht führen. Generell führen kleinere Defekte in der Kanalschicht zu einer höheren Ätzrate beim Entfernen der SiGe-Opferschicht (Kapitel 5.10). Hierdurch könnten große Löcher im Kanalgebiet entstehen, die zum einen die Beweglichkeit herabsetzten und zum anderen die Kanalweite verringern. Dies konnte aber bei der Bestimmung der Beweglichkeit nicht berücksichtigt werden, so dass hier die Beweglichkeit möglicherweise unterschätzt wurde. Auch nach dem nasschemischen Ätzprozess zur Entfernung der SiGe-Opferschicht kann das Kanalgebiet durch die Nitridpassivierung beschädigt werden. Wie im Kapitel 4.5.1 beschrieben wurde, kann die Nitridschicht zu einer Zugbelastung führen, die das Kanalgebiet einer weiteren Belastung aussetzt. Dieser Effekt soll von der darunter liegenden Oxidschicht verhindert werden. Eventuell könnte die Oxiddicke allerdings zu klein gewesen sein.

$V_{DS}$	[mV]	550	450	350	250	150	50	40	30	20	10
$\mu_0$	$\left[\frac{\mathrm{cm}^2}{\mathrm{Vs}}\cdot 10^{-5}\right]$	492	514	535	549	566	581	592	597	601	616
$\Delta \mu_0$	$\left[\frac{\mathrm{cm}^2}{\mathrm{Vs}}\cdot 10^{-5}\right]$	1	1	3	2	3	2	3	3	4	11

#### Tabelle 6.2: Beweglichkeit $\mu_0$ des Transistors D8H6IL bei 25°C

Tabelle 6.3: Beweglichkeit  $\mu_0$  des Transistors D8H6IL bei -40°C

$V_{DS}$	[mV]	550	450	350	250	150	50
$\mu_0$	$\left[\frac{\mathrm{cm}^2}{\mathrm{Vs}}\cdot 10^{-5}\right]$	553	589	607	627	622	577
$\Delta \mu_0$	$\frac{\mathrm{cm}^2}{\mathrm{Vs}} \cdot 10^{-5}$	3	5	6	9	6	9

#### Einsatzspannung

Auf Grund der guten Oxidqualität besitzt der Transistor nur eine Hysterese von etwa 30 mV. Zur Bestimmung der Einsatzspannung kann Gleichung (6.4) verwendet werden. Durch Auftragen des Graphen  $I_D/\sqrt{g_m}$  gegen  $V_{GS}$  kann die Einsatzspannung aus dem Schnittpunkt der Geraden mit der Abszisse bestimmt werden. Die berechneten Werte sind in den Tabellen 6.4 und 6.5 aufgeführt. Bei 25°C ergibt sich somit eine Einsatzspannung von (280 ± 3) mV für  $V_{DS}$  = 550 mV. Da bei diesem Prototyp ein leicht n-dotiertes Kanalgebiet mit einer Dotierstoffkonzentration von etwa 10<sup>16</sup> cm<sup>-3</sup> verwendet wurde, beträgt die Austrittsarbeitdifferenz  $\phi_{ms}$  zum n<sup>+</sup>dotierten Gate bei Raumtemperatur etwa -0.3 V und  $\phi_F$  etwa 0.3 V [7]. Die Einsatzspannung ohne Berücksichtigung von Oxidladungen und Grenzflächenzuständen ist dann nach den Gleichungen (2.6) und (2.7) 0.3 V, und entspricht damit dem gemessenen Wert bei Raumtemperatur. Dies ist ein weiteres Indiz für die gute Oxidqualität, da offensichtlich kaum Oxidladungen vorhanden sind. Die Bestimmung der Grenzflächenzustandsdichte nach der Methode von [74] ergibt einen akzeptablen Wert von 10<sup>11</sup> eV<sup>-1</sup>cm<sup>-2</sup>.

Die Einsatzspannung ist mit (600 ± 8) mV bei einer Temperatur von -40°C und einer Drainspannung von  $V_{DS}$  = 550 mV um etwa 0.3 V höher als bei Raumtemperatur. Ursache hierfür ist die Veränderung der Fermienergie relativ zur intrinsischen Energie bei unterschiedlichen Temperaturen. Für  $\phi_F$  gilt bei n-dotierten Halbleitern [5]:

$$e \cdot \phi_F = W_F - W_i = k_B T \cdot \ln\left(\frac{n_L}{n_i}\right) \,. \tag{6.5}$$

Bei hochdotierten Halbleitern wird die Elektronendichte bei Raumtemperatur durch die Donatordichte bestimmt. Je höher die Temperatur wird, desto mehr Elektronen können die Energielücke  $W_{\text{Gap}}$  des Halbleiters überwinden und zur Elektronendichte beitragen. Die intrinsische Ladungsträgerkonzentration  $n_i$  steigt dabei ex-

$V_{DS}$	[mV]	550	450	350	250	150	50	40	30	20	10
$V_{th}$	[mV]	280	219	163	97	26	-46	-62	-71	-77	-72
$\Delta V_{th}$	[mV]	3	3	4	4	6	5	7	7	9	21
DIBL	[mV/V]	-	604	585	609	635	651	669	674	673	652
$\Delta$ DIBL	[mV/V]	-	2	3	3	4	4	5	5	6	14

Tabelle 6.4: E	Einsatzspannung un	d DIBL	für den	Transistor	D8H6IL	bei 25°C
	• • • • • • • • • • • • • • • • • • • •					

Tabelle 6.5: Einsatzspannung und DIBL für den Transistor D8H6IL bei -40°C

$V_{DS}$	[mV]	550	450	350	250	150	50
$V_{th}$	[mV]	600	566	515	460	388	268
$\Delta V_{th}$	[mV]	8	11	12	14	9	15
DIBL	[mV/V]	-	341	424	467	530	664
$\Delta$ DIBL	[mV/V]	-	5	6	7	7	11

ponentiell mit der Temperatur an [5]:

$$n_i = N_L \cdot N_{Va} \cdot e^{-W_{\text{Gap}}/k_B T} \,. \tag{6.6}$$

*N<sub>L</sub>* effektive Zustandsdichte im Leitungsband

*N<sub>Va</sub>* effektive Zustandsdichte im Valenzband

Der intrinsische Charakter des Halbleiters nimmt daher mit höheren Temperaturen immer mehr zu, so dass sich die Fermienergie  $W_F$  der intrinsischen Energie  $W_i$ immer mehr annähert. Sinkt jedoch die Temperatur, so entfernt sich die Fermienergie von der intrinsischen Energie. Im Fall eines n-dotierten Halbleiters steigt die Fermienergie mit abnehmender Temperatur in Richtung des Leitungsbands. Bei -40°C ist daher  $\phi_F$  größer als bei 25°C während  $\phi_{MS}$  in etwa konstant bleibt. Nach den Gleichungen (2.6) und (2.7) steigt daher auch die Einsatzspannung bei tieferen Temperaturen.

### DIBL

Zur Bestimmung des DIBLs wurde die Eingangskennlinie bei verschiedenen Drainspannungen im Bereich von 10 mV bis 550 mV gemessen (siehe Abbildung 6.7), und die jeweilige Einsatzspannung berechnet. Der DIBL wurde anschließend mit der Gleichung (2.23) und der Referenzspannung  $V_0$  = 550 mV bestimmt. Die Ergebnisse sind in Tabelle 6.4 aufgelistet.

Der durchschnittliche Wert bei 25°C für den DIBL beträgt (639  $\pm$  2) mV/V und ist damit etwas geringer als der für diesen Prototyp simulierte Wert von 765 mV/V. Bei -40°C ist der durchschnittliche DIBL mit (485  $\pm$  2) mV/V kleiner als bei Raumtemperatur, da die thermisch Energie der Elektronen mit der Temperatur abnimmt. Es stehen somit weniger Ladungsträger zur Verfügung, welche die Potentialbarriere  $V_{bi}$  überwinden können, so dass der Drainstrom kleiner wird.
$V_{DS}$	[mV]	550	450	350	250	150	50	40	30	20	10
S	[mV/Dek]	293	296	295	297	308	338	344	350	357	367
$\Delta S$	[mV/Dek]	6	6	6	7	8	11	12	12	12	13

#### Tabelle 6.6: Subthreshold Swing für den Transistor D8H6IL bei 25°C

Tabelle 6.7: Subthreshold Swing für den Transistor D8H6IL bei -40°C

$V_{DS}$	[mV]	550	450	350	250	150	50
S	[mV/Dek]	254	253	252	253	260	275
$\Delta S$	[mV/Dek]	2	2	2	3	4	4

#### Subthreshold Swing

Der Subthreshold Swing wurde ebenfalls aus den Eingangskennlinien des Transistors D8H6IL bestimmt. Die Drainspannung variiert hierbei im Bereich von 10 mV bis 550 mV (siehe Abbildung 6.7). In der logarithmischen Darstellung des Drainstroms kann aus der Steigung des Drainstroms im Unterschwellwertbereich nach Gleichung (2.15) der Subthreshold Swing berechnet werden. Die hierdurch ermittelten Werte für den Subthreshold Swing sind in den Tabellen 6.6 und 6.7 aufgelistet. Der durchschnittliche Subthreshold Swing bei 25°C beträgt ( $325 \pm 3$ ) mV/Dek. Dieser Wert ist wesentlich höher als der für diesen Prototyp simulierte Wert von 170 mV/Dek. Eine mögliche Erklärung hierfür ist die zusätzliche Nitridpassivierung, die eine weitere Grenzfläche zum Oxid mit sich bringt. Diese Grenzfläche stellt eine zusätzliche Kapazität dar, welche die Kapazität C<sub>BOX</sub> vergrößert und somit laut Gleichung (3.13) zu einem höheren Subthreshold Swing führt. Die zusätzliche Kapazität wurde bei den Simulationen nicht berücksichtigt. Hierdurch ist die Diskrepanz zur Messung zu erklären. Die Bestimmung des Subthreshold Swings bei -40°C ergibt einen niedrigeren Wert von (258  $\pm$  1) mV/Dek. Die Abnahme des Subthreshold Swings bei tieferen Temperaturen ist mit der Gleichung (2.15) konform.



Abbildung 6.1: Frontansicht des VFD SONFETs



Abbildung 6.2: Querschnitt des VFD SONFETs



Abbildung 6.3: Ausgangskennlinie mit Source und Substrat auf Masse Der Leckstrom der pn-Diode bestimmt die Ausgangskennlinie des Transistors für  $V_{GS} < V_{th}$  und  $V_{DS} < 0$ .



Abbildung 6.4: Vergleich der Kennlinien von pin- und pn-Diode



Abbildung 6.5: Eingangskennlinien des VFD SONFETs bei 25°C und -40°C



Abbildung 6.6: Ausgangskennlinien des VFD SONFETs bei 25°C und -40°C



Abbildung 6.7: Eingangskennlinien des VFD SONFETs zur Bestimmung des DIBLs und des Subthreshold Swings

### Kapitel 7

### Zusammenfassung

Im Rahmen dieser Arbeit wurde der weltweit erste Prototyp eines VFD SON-FETs realisiert. Dies wurde durch die Entwicklung einer SiGe-Opfertechnik mit hohen Selektivitäten zwischen Silizium und SiGe ermöglicht. Im Fokus dieser Arbeit stand dabei die Optimierung einer SiGe-Opferschicht im Hinblick auf Kristallqualität und hohen Germaniumanteil und der nasschemische Ätzprozess zur Entfernung dieser Opferschicht. Beide Prozesse müssen dabei aufeinander abgestimmt werden, um ein optimales Ergebnis zu erzielen. Es konnte eine dreilagige pseudomorph verspannte SiGe-Opferschicht mit einer Dicke von 17 nm und einem durchschnittlichen Germaniumanteil von 20 % mit einer geringen Anzahl an Versetzungen realisiert werden. Die erreichten Selektivitäten sind mit 90 zwischen der entwickelten SiGe-Opferschicht und einem n<sup>+</sup>-Substrat im Vergleich zur Literatur für freiliegende Schichten geringfügig kleiner. Der Grund hierfür liegt am Massentransport in dem engen Spalt, der die Reaktionsgeschwindigkeit bestimmt. Mögliche Verbesserungen, wie durch ein Ultraschallbecken, scheitern an der hiermit verbundenen mechanischen Belastung auf die freitragenden Strukturen, die dadurch abbrechen. Dennoch ist die Selektivität ausreichend hoch, um das Kanalgebiet während des Ätzvorgangs zu schützen, und damit die Struktur des VFD SONFETs zu realisieren.

Ein weiterer Schwerpunkt dieser Arbeit war die Entwicklung eines geeigneten Gatestacks, der sowohl auf vertikalen Seiten einen niedrigen Leckstrom besitzt als auch den Ätzprozess zur Entfernung der SiGe-Opferschicht übersteht. Als möglicher Kandidat für das Dielektrikum wurde hierfür Nitrid untersucht, das inert gegenüber dem anschließenden Ätzprozess ist. Allerdings wies Nitrid auf vertikalen Flanken einen hohen Leckstrom auf Grund von Strompfaden auf. Daher wurde als Dielektrikum ein thermisches Oxid verwendet, das zwar nicht inert gegenüber dem Ätzprozess ist, dafür aber durch das Aufoxidieren von Rauhigkeiten an den Mesaflanken für einen niedrigen Leckstrom sorgt. Ein zusätzlicher Technologieschritt musste entwickelt werden, um den Gatestack vor dem Ätzprozess zu passivieren. Hierzu wurde eine Nitridmaske konzipiert und ein technologisches Verfahren zur Strukturierung dieser Maske entwickelt. Die Ergebnisse zeigen, dass der Gatestack den Ätzprozess unbeschadet überstanden hat.

Des Weiteren wurden Epitaxieprozesse für Schichtabscheidungen bei niedrigen Temperaturen von 700°C entwickelt und auf ihre Kristallqualität untersucht. Die prozessierten Schichten wiesen nur wenige Versetzungen auf Grund von Kohlenstoffclustern auf. Ätztests zeigten allerdings eine relativ hohe Punktdefektdichte, die jedoch durch die Technologie der CVD-Prozesse nur schwerlich zu vermeiden ist. Durch die entwickelte Passivierungstechnik konnte aber das Auflösen der Sourceschicht während des Ätzvorgangs vermieden werden. Entscheidend war das Erreichen einer hohen Dotierdichte von über  $10^{19}$  cm<sup>-3</sup> für die Sourceschicht. Dies konnte auch bei einer niedrigen Temperatur, bei welcher der Dotierstoffeinbau reduziert ist, mit  $2 \cdot 10^{19}$  cm<sup>-3</sup> erreicht werden.

Für die Schichtabscheidung der SiGe-Opferschicht ist eine intakte Kristallstruktur des Substrats eine wichtige Voraussetzung, um einkristallines Wachstums zu gewährleisten. Es wurde daher nach einer Methode gesucht, um das Draingebiet ohne Schädigung der Kristallstruktur des Substrats zu realisieren. Hierzu wurde sowohl die Implantation mit einem anschließenden Ausheilschritt als auch die Diffusion mit Dotierglas untersucht. Dabei wies die Implantation auch nach dem Ausheilen eine zu große Schädigung der Kristallstruktur des Substrats auf. Die hiermit prozessierten VFD SONFETs zeigten daher auch keine guten elektrischen Kennlinien auf. Dagegen konnte auf diffundierten Gebieten die Epitaxie beinahe defektfrei gewachsen werden. Allerdings ergibt sich durch den Prozess der Diffusion eine etwa 90 nm tiefe Stufe zwischen Substrat und Draingebiet. Hierdurch werden sehr viele Defekte innerhalb der epitaktischen Schicht über dieser Stufe erzeugt. Diese befinden sich aber außerhalb der aktiven Region des VFD SONFETs, so dass eine Passivierung dieser Stellen mit Nitrid ausreicht, um sie vor dem Ätzprozess zur Entfernung der SiGe-Opferschicht zu schützen und die elektrischen Eigenschaften nur gering zu beeinflussen.

Weitere Prozesse, die in dieser Arbeit entwickelt wurden, sind ein Verfahren zur Realisierung von Justierkreuzen, die auch nach der kompletten Prozessierung des VFD SONFETs noch sichtbar sind, sowie die Verbesserung eines anisotropen Ätzverfahrens zur Herstellung von steilen und glatten Mesaflanken. Hier zeigte sich allerdings, das die geringe Oberflächenrauigkeit, die mit REM-Aufnahmen nicht mehr zu erkennen ist, ausreicht, um Defekte im Kanalgebiet zu erzeugen. Abschließend wurde ein Prozess zur kontrollierten Ausdünnung des Kanalgebiets entwickelt. Hierdurch konnte eine Kanaldicke von 9 nm erzielt werden.

Zur Optimierung der Prozessparameter wurden einfache Modelle zur Charakterisierung des VFD SONFETs und deren Simulationen besprochen. Diese Modelle beruhen auf einem vereinfachten Schema der wichtigsten Kapazitäten des VFD SONFETs. Hierdurch lässt sich sowohl die Einsatzspannung, als auch der Subthreshold Swing so wie der DIBL des VFD SONFETs bestimmen. Die Gültigkeit dieser Modelle wurde durch einen Vergleich mit MEDICI Simulationen bestätigt. Die Simulationen zeigen den Vorteil der SON- gegenüber der SOI-Struktur auf, da die Kapazität der BOX-Region den Subthreshold Swing mit beeinflusst. Die Simulationen zeigten eine gute Unterdrückung der Kurzkanaleffekte bis zu einer Kanallänge von etwa 50 nm. Der in dieser Arbeit realisierte Prototyp mit einer Kanallänge im Bereich von 20 nm besitzt daher keine optimalen Eigenschaften. Trotzdem sollte in dieser Arbeit eine Kanallänge in diesem Bereich realisiert werden, um einen eventuellen ballistischen Transport studieren zu können. Bei Raumtemperaturen wurde allerdings nur klassischer Transport beobachtet. Daher wurden Tieftemperaturmessungen durchgeführt, die der Prototyp allerdings nicht überstand. Daher kann in dieser Arbeit keine Aussage über einen möglichen ballistischen Transport getroffen werden.

Die elektrische Charakterisierung des VFD SONFET Prototyps zeigte ein typisches MOSFET-Verhalten für die Ein- und Ausgangskennlinie. Das Verhältnis  $I_{on}/I_{off}$  ist mit vier Größenordnungen bei Raumtemperatur und fünf bei -40°C kleiner als im Vergleich zu dem lateralen SONFET mit sieben Größenordnungen. Auch  $I_{on}$  ist mit 0.044 µA/µm bei einer Gatespannung  $V_{GS}$  von 1 V und einer Drainspannung  $V_{DS}$  von 550 mV um etwa vier Größenordnungen kleiner als bei dem lateralen SONFET. Die Hauptursache hierfür ist die Kristallqualität des Kanalgebiets. Messungen der Beweglichkeiten im Kanalgebiet ergeben Werte von etwa (564 ± 1)  $\cdot$  10<sup>-5</sup> cm<sup>2</sup>/Vs bei Raumtemperatur. Dies deutet auf eine bestenfalls polykristalline Struktur des Kanalgebiets hin. Offensichtlich führen Rauhigkeiten der geätzten Mesaflanke zu einem defektreichen Wachstum. Diese Defekte führen zu Streuzentren für Elektronen im Kanal und können bei dem Ätzvorgang zur Entfernung der SiGe-Opferschicht freigeätzt werden, so dass das Kanalgebiet zusätzliche Löcher bekommt, die die Beweglichkeit weiter einschränken.

Die Einsatzspannung des VFD Prototyps entspricht mit etwa 0.3 V für  $V_{DS}$  = 550 mV den theoretischen Überlegungen und lässt ebenso wie die geringe Hysterese von 30 mV auf eine gute Oxidqualität schließen.

Der simulierte DIBL für diesen Prototyp ist mit 765 mV/V relativ hoch, was auf die sehr kleine Kanallänge zurückzuführen ist. Die Messungen des DIBLs zeigen einen Wert von ( $639 \pm 2$ ) mV/V bei Raumtemperatur. Die Variation ist wahrscheinlich mit geringfügigen Abweichungen in der Geometrie zwischen simulierten und prozessierten Transistor zu begründen.

Der Subthreshold Swing ist mit einem Wert von (325  $\pm$  3) mV/Dek bei Raumtemperatur höher als der simulierte Wert von 170 mV/Dek. Ursache hierfür ist ein weitere Nitridpassivierung, die eine zusätzliche Grenzfläche erzeugt und damit die Kapazität der BOX-Region erhöht. Diese Grenzfläche konnte bei den Simulationen nicht berücksichtigt werden. Dieses Problem kann aber durch eine durchgehende Passivierung leicht behoben werden.

Insgesamt konnte in dieser Arbeit gezeigt werden, wie eine komplexe VFD SON-FET Struktur erfolgreich prozessiert werden kann. Die elektrischen Eigenschaften des entwickelten Prototyps sind auf Grund der geringen Kristallqualität des Kanalgebiets noch nicht optimal. Dennoch zeigen sie eine deutliche Unterdrückung der Kurzkanaleffekte, wie etwa den DIBL. Dieses Ergebnis bestätigen auch die zahlreichen Simulationen. Das zukünftige Arbeitsfeld für den VFD SONFET liegt in der Verbesserung der Kristallqualität des Kanalgebiets. Erste Lösungsansätze werden hierfür im Kapitel 8 gegeben.

### **Kapitel 8**

### Ausblick

In diesem Kapitel werden Lösungsansätze zur Verbesserung der elektrischen Eigenschaften des VFD SONFETs gegeben und die Möglichkeiten für die Anwendung der in dieser Arbeit entwickelten SiGe-Opfertechnik erörtert.

#### Verbesserung der elektrischen Eigenschaften

Zur Verbesserung der elektrischen Eigenschaften des VFD SONFETs muss die Kristallqualität des Kanalgebiets entscheidend erhöht werden. Ursachen für die hohe Defektdichte des Kanalgebiets sind offensichtlich Rauigkeiten der Mesaflanke und die niedrigen Wachstumstemperaturen für die Epitaxie. Letztere sowie die Temperatur des H<sub>2</sub>-Bakes richten sich nach der Wachstumstemperatur der SiGe-Opferschicht. Höhere Temperaturen könnten Versetzungen in der SiGe-Schicht hervorrufen und zu zusätzlichen Defekten im Kanalgebiet und der Sourceschicht führen. Dennoch sollte in zukünftigen Arbeiten das Maximum der thermischen Belastbarkeit der SiGe-Opferschicht untersucht werden, um die Abscheidung des Kanalgebiets bei höheren Temperaturen zu ermöglichen. Hierdurch könnten einerseits Verunreinigungen an der Mesaflanke effektiver entfernt werden und andererseits die Punktdefektdichte reduziert werden. Des Weiteren sollte für den H<sub>2</sub>-Bake der optimierte Prozess von *Zilbauer* eingesetzt werden, um Kohlenstoffverunreinigungen besser zu entfernen.

Zur Verringerung der Rauigkeiten der Mesaflanke scheidet eine thermische Oxidation auf der blanken Mesaflanke aus, da die SiGe-Schicht eine höhere Oxidationsrate als Silizium besitzt und damit eine Kerbe in der Flanke entstehen würde. Nasschemische Ätzungen mit TMAH führen zu atomar glatten Flanken. Durch die Selektivität von TMAH zwischen Silizium und SiGe von etwa 20, wird allerdings die SiGe-Opferschicht stärker geätzt als die Siliziumschicht. Hierdurch entsteht keine gerade Mesaflanke und das Kanalgebiet muss über eine Kerbe in der Mesaflanke abgeschieden werden. Dies beeinträchtigt die Kristallqualität und somit die Beweglichkeit der Elektronen im Kanal und ist somit nicht geeignet. Eine Reduzierung der Rauigkeit könnte aber durch das teilweise Aufoxidieren des Kanalgebiets erreicht werden. Das entstandene Oxid wird anschließend mit BHF entfernt und hinterlässt eine glatte Oberfläche auf der nun ein zweites Kanalgebiet gewachsen werden kann. Der Überrest des ersten Kanalgebiets wird dann beim Ausdünnen des Kanalgebiets entfernt. Eine weitere Möglichkeit zur Verbesserung der Kristallqualität kann durch eine spezielle Lasertechnik erreicht werden. Hierbei wird das Kanalgebiet mit einem ArF-Excimer Laser mit etwa 200 mJ/cm<sup>2</sup> aufgeschmolzen. Die Wellenlänge des Lasers beträgt 193 nm und die Pulslänge entspricht etwa 20 ns. Beim anschließenden Abkühlen rekristallisiert das Silizium. Mit dieser Methode konnte bereits gezeigt werden, dass amorphe SiGe-Schichten hierdurch rekristallisiert werden können [4].

Bei dem realisierten VFD SONFET wird die BOX-Region durch ein Dielektrikum gefüllt. Dieses erhöht aber die Kapazität der BOX-Region und damit den Subthreshold Swing. Zur Verbesserung des Subthreshold Swings sollte daher die BOX-Region nur mit Luft gefüllt bleiben. Hierfür wird eine anisotrope Passivierung benötigt, die beispielsweise mit einem PECVD<sup>46</sup> Oxide realisiert werden kann. Im Rahmen der Arbeit stand diese Methode nicht zur Verfügung. Der Nachteil hiervon ist allerdings eine undefinierte Oberfläche zwischen Kanal und Luft. Ladungsträger könnten sich hier anreichern und die elektrischen Eigenschaften negativ beeinflussen. Es ist daher ratsam, ein dünnes thermisches Oxid über dem Kanalgebiet zu wachsen. Dieses sorgt für eine definierte Oberfläche.

#### Anwendungen für die entwickelte SiGe-Opfertechnik

Die in dieser Arbeit entwickelte SiGe-Opfertechnik ist eine Schlüsseltechnik, um freitragende Strukturen zu erzeugen. Anders als bei der herkömmlichen MEMS-Technologie können in diesem Fall die freitragenden Strukturen einkristallin aufgewachsen werden, da SiGe und nicht SiO<sub>2</sub> als Substrat verwendet wird. Die Vorteile dieser Strukturen sind zum Einen eine wesentlich höhere mechanische Stabilität und zum Anderen eine höhere Beweglichkeit in den kristallinen Strukturen. Des Weiteren besitzen die freitragenden Strukturen denselben Ausdehnungskoeffizienten wie das Substrat, so dass Temperaturschwankungen die Eigenschaften des Bauelements weniger stark verändern.

Diese positiven Eigenschaften der SiGe-Opfertechnik wurden bereits bei der Herstellung eines freitragenden Gates für die Entwicklung eines Nano-Sensors im Rahmen einer Diplomarbeit eingesetzt [3]. Auf Grund dieser Technologie konnte eine 13 µm lange und 3 µm breite Brücke über einen darunter liegenden Kanalgebiet realisiert werden. Das Gate schwebt dabei etwa 100 nm über dem Kanal. Schwankungen dieses Abstands führen zu einer Änderung von  $C_{ox}$  und können durch eine Änderung des Drainstroms registriert werden. Das Gate kann dabei mit funktionalen Schichten überzogen werden, die beispielsweise auf Magnetfelder oder chemische Prozesse reagieren und das Gate zur Auslenkung bewegen. Durch den integrierten Transistor kann dieses Signal verstärkt werden. In Abbildung 8.1 ist ein freitragendes Gate zu sehen.

Der in dieser Arbeit entwickelte Ätzprozess für hohe Selektivitäten zwischen Silizium und SiGe kann auch als Defektätze verwendet werden und zur Untersuchung von SiGe-Schichten dienen. So wurde damit bereits ein Verfahren zur Rekristallisierung von amorphen SiGe-Schichten charakterisiert [4].

<sup>&</sup>lt;sup>46</sup>engl.: Plasma Enhanced Chemical Vapor Deposition



Abbildung 8.1: REM-Aufnahme eines freitragenden Gates



#### Abbildung 8.2: Schema eines MBCFETs

a) Mit Hilfe einer Spacer-Technologie können sehr kleine Silizium-SiGe-Multischichten strukturiert werden. Mit der in dieser Arbeit entwickelten SiGe-Opfertechnik können die SiGe-Opferschichten entfernt werden. b) Die freitragenden Siliziumstege werden aufoxidiert und mit polykristallinem Silizium umschlossen.

Die SiGe-Opfertechnik ist auch der Schlüsselprozess zur Entwicklung von MBC-FETs<sup>47</sup>, welche erstmals 2003 von *Sung-Young* entwickelt wurden [124]. Bei diesem Bauelement wird ein aus mehreren alternierenden Silizium- und SiGe-Schichten gewachsener Schichtstapel strukturiert und anschließend einer Ätzlösung zur Entfernung der SiGe-Opferschicht ausgesetzt. Die freitragenden dünnen Siliziumstege werden aufoxidiert und mit einem Poly-Gate umschlossen (siehe Abbildung 8.2). Auf diese Weise können sehr dünne laterale FINFETs auf engem Raum produziert werden, so dass ein hoher Drainstrom erzielt werden kann. Im Gegensatz zum VFD SONFET sind durch die Spacer-Technologie die Ätzstrecken wesentlich kürzer, so dass der Massentransport beim Entfernen der SiGe-Opferschicht keine Rolle mehr spielt. Auf diese Weise können viel höhere Selektivitäten erreicht werden.

<sup>&</sup>lt;sup>47</sup>engl.: Multibridge-Channel MOSFET

### Kapitel 9

### Anhang

#### Technologieplan

Der Prototyp des VFD SONFETs mit der Bezeichnung D8H6IL wurde auf dem Substrat mit der Kennung *Alice Springs D8* prozessiert. Dabei bezeichnet H6 den Chip, I die Spalte und L die Reihe.

In der folgenden Tabelle wird eine Übersicht der notwendigen Prozessschritte für die Herstellung eines VFD SONFETs gegeben. Die einzelnen Schritte werden in den jeweiligen Kapiteln ausführlich beschrieben. Die genauen Angaben bezüglich der Prozessparameter sind in den entsprechenden Tabellen zu finden.

Die nasschemischen Prozesse wurden in den Digestorien durchgeführt. Bei den weiteren Prozessen wird der Gerätetyp hinter dem Programmnamen in Klammern angegeben. Außerdem ist der Programmname für das jeweilige Gerät mitangegeben. Falls in einem Programm Änderungen vorgenommen wurden, so wird dies durch *Einstellung* gekennzeichnet.

#### Alice Springs D8

	Prozessschritt	Bemerkungen
1.	Lithographie für Justierkreuze	Kapitel 4.3
	HMDS für 5 min	
	Preback für 2 min bei 110°C	
	Hard-Contact/Contact für 4.5 s	
	Postback für 5 min bei 130°C	
	Entwicklung: pur für 70 s	
2.	Plasmaätzprozess für Justierkreuze	Kapitel 5.1
	Programm (RIE): SONFET RF	Tabelle 5.2
3.	Photolack entfernen	Kapitel 4.2.5
	Isopropanol : Aceton = 1 : 1 im Ultraschalbecken	
	bei 35°C	
4.	RCA-Clean	Kapitel 4.1.1
5.	HF-Dip	Kapitel 4.1.2
6.	Thermische Oxidation für Streuoxid	Kapitel 4.4 und 5.2.2
	Programm (Inothermofen): OX80024 für 24 min	Tabelle 4.3
		Dicke: 17 nm
7.	Lithographie für p <sup>+</sup> -Gebiete	Kapitel 4.3
	HMDS für 5 min	
	Preback für 2 min bei 110°C	
	Hard-Contact/Contact für 6 s	
	Postback für 5 min bei 130°C	
	Entwicklung: pur für 75 s	
8.	Bor Implantation	Kapitel 5.2.2
	am IISB Erlangen	Tabelle 5.4
9.	Photolack entfernen	Kapitel 4.2.5
	$O_2$ -Plasma und Isopropanol:Aceton = 1:1 im Ul-	
	traschalbecken bei 35°C	
10.	RCA-Clean	Kapitel 4.1.1
11.	LPCVD Oxid (DES) für Hartmaske	<i>Kapitel 4.5 und 5.2.1</i>
	Programm (ATV-Ofen):	Oxiddicke: 254 nm
	Des_ 430C_ 600mTorr_ 120min.atv	
12.	Lithographie für n <sup>+</sup> -Gebiete	Kapitel 4.3
	HMDS für 5 min	
	Preback für 2 min bei 110°C	
	Hard-Contact/Contact für 6.5 s	
	Postback für 5 min bei 130°C	
	Entwicklung: pur für 60 s	
	Postback2 für 5 min bei 130°C	
13.	BHF-Ätzen	Kapitel 4.2.3
	Zur Strukturierung der Hartmaske	Dauer: 1 min

	Prozessschritt	Bemerkungen
14.	Photolack entfernen	Kapitel 4.2.5
	Isopropanol : Aceton = 1 : 1 im Ultraschalbecken bei 35°C	
15.	RCA-Clean	Kapitel 4.1.1
16.	HF-Dip	Kapitel 4.1.2
17.	Dotierglas	Kapitel 5.2.1
	Filmtronics SOD P507, halbe Pipette Aufschleudern: 3000 u/min für 10 s Heizplatte: 1 min für 100° und 15 min für 200°	an der TUM
18.	Tempern	Kapitel 5.2.1
	30 min für 950°C in $O_2$ : $N_2 = 1 : 1$	
19.	BHF-Ätzen	Kapitel 4.2.3
	Zur Entfernung des SODs und der LPCDV Hartmaske	Dauer: 5 min
20.	RCA-Clean	Kapitel 4.1.1
21.	HF-Dip	Kapitel 4.1.2
22.	Epitaxie für SiGe- und Sourceschicht	<i>Kapitel 5.4 und 5.5.2</i>
	Programm (Centura): A-SONFET Stack	Tabelle 5.7
	(Sourceschicht: 700°C für 400 s)	Tabelle 5.9
23.	Lithographie für Mesa	Kapitel 4.3
	Preback für 2 min bei 110°C	Photolack:
	Hard-Contact/Contact für 5 s	SX AR-P 3740
	Postback für 5 min bei 130°C	
	Entwicklung: verdunnt 5:1 fur 70 s	V 1560
24.	RIE Mesaatzprozess	<i>Kapitel 5.6.2</i>
	Programm (Oxford):	Tiofo: 400 bis 500 pm
	Finstellungen: 85 s. kein Veraschen	11ere. 400 bis 500 mm
25	Photolack antforman	Kanital 125
20.	Isopropanol : Aceton = $1 \cdot 1$ im Ultraschalbecken	Кирист 4.2.5
	bei 35°C	
26.	RCA-Clean	Kapitel 4.1.1
27.	HF-Dip	Kapitel 4.1.2
28.	Epitaxie für Kanal	Kapitel 5.7
	Programm (Centura): A-Ueberwachs	Tabelle 5.11
29.	Thermische Oxidation für GOX	Kapitel 4.4 und 5.8
	Programm (RTP): GOX.7	Tabelle 4.4 Oxiddicke: 8.1 nm
30.	Epitaxie für Poly-Gate	Kapitel 5.9
	Programm (Centura): A-N Poly 640°C	Tabelle 5.12
31.	Thermische Oxidation für Hartmaske	Kapitel 4.4 und 5.9
	Programm (RTP): GOX.7	Tabelle 4.4
		Oxiddicke: 50 nm

	Prozessschritt	Bemerkungen
32.	Lithographie für Gatestack	Kapitel 4.3
	HMDS für 5 min	
	Preback für 2 min bei 110°C	
	Hard-Contact/Contact für 5.5 s	
	Postback für 5 min bei 130°C	
	Entwicklung: pur für 55 s	
	Postback2 für 5 min bei 130°C	
33.	BHF-Ätzen	Kapitel 4.2.3
	Zur Strukturierung der Hartmaske	Dauer: 20 s
34.	Photolack entfernen	Kapitel 4.2.5
	Isopropanol : Aceton = 1 : 1 im Ultraschalbecken	
	bei 35°C	
35.	TMAH-Ätzen	Kapitel 4.2.1
	Zur Strukturierung des Poly-Gates	Dauer: 2 min
36.	BHF-Ätzen	Kapitel 4.2.3
	Zur Strukturierung des GOXs	Dauer: 20 s
37.	TMAH-Ätzen	Kapitel 4.2.1
	Zur Strukturierung des Kanals	Dauer: 10 s
38.	LPCVD Nitrid	Kapitel 4.5.1
	Programm (Intertherm): Nitrid750 für 1300 s	Dicke: 92 nm
39.	Lithographie für Nitridmaske	Kapitel 4.3
	HMDS für 5 min	,
	Preback für 2 min bei 110°C	
	Hard-Contact/Contact für 4 s	
	Postback für 5 min bei 130°C	
	Entwicklung: pur für 90 s	
	Postback2 für 5 min bei 130°C	
40.	RIE Nitridätzprozess	<i>Kapitel</i> 4.5.2 <i>und</i> 5.9.1
	Programm (Oxford):	Dauer: 10 min
	Contact NanoMOS SIN-GOX	
41.	RCA-Clean	Kapitel 4.1.1
42.	SiGe-Ätzprozess	Kapitel 5.10.3
	alle 7 min mit Mikroskop kontrollieren	Tabelle 5.16
43.	Thermische Oxidation zum Dünnen des Kanals	Kapitel 4.4 und 5.11
	Programm (RTP): GOX.7	Tabelle 4.4
	Einstellung: 20 min	Oxiddicke: 14.3 nm
44.	BHF-Ätzen	Kapitel 4.2.3
	Zur Entfernung des Oxids	Dauer: 20 s
45.	Thermische Oxidation zum Dünnen des Kanals	Kapitel 4.4 und 5.11
	Programm (RTP): GOX.7	Tabelle 4.4
	Einstellung: 15 min	Oxiddicke: 10.8 nm
46.	LPCVD Nitrid zur Passivierung	Kapitel 4.5.1
	Programm (Intertherm): Nitrid750 für 1300 s	Dicke: 95 nm

	Prozessschritt	Bemerkungen
47.	Lithographie für Kontaktlöcher	Kapitel 4.3
	HMDS für 5 min	
	Preback für 2 min bei 110°C	
	Hard-Contact/Contact für 5.5 s	
	Postback für 5 min bei 130°C	
	Entwicklung: pur für 50 s	
	Postback2 für 5 min bei 130°C	
48.	RIE Nitridätzprozess	Kapitel 4.5.2
	Programm (Oxford):	Dauer: 150 s
	Contact NanoMOS SIN-GOX	
49.	BHF-Ätzen	Kapitel 4.2.3
	Zur Entfernung des Oxids in den Kontaktlö-	Dauer: 20 s
	chern	
50.	Photolack entfernen	Kapitel 4.2.5
	Isopropanol : Aceton = 1 : 1 im Ultraschalbecken	
	bei 35°C	
51.	Metallisierung	Kapitel 4.6
	Ti / TiN / AlSi -Stapel	Tabelle 4.6
52.	Lithographie für Metallisierung	Kapitel 4.3
	HMDS für 5 min	Photolack:
	Preback für 2 min bei 110°C	AR-P 3840
	Hard-Contact/Contact für 5.5 s	
	Postback für 5 min bei 130°C	
	Entwicklung: pur für 80 s	
	Postback2 für 5 min bei 130°C	
53.	PNA-Ätzen	Kapitel 4.2.4
	Zur Strukturierung für AlSi	
	Bei 35°C im Ultraschallbecken	Dauer: 3 min
54.	SC-1-Ätzen	<i>Kapitel 4.1.1 und 4.6</i>
	Zur Strukturierung für TiN und Ti	
	Bei 35°C im Ultraschallbecken	Dauer: 18 min
55.	Photolack entfernen	Kapitel 4.2.5
	Isopropanol : Aceton = 1 : 1 im Ultraschalbecken	
	bei 35°C	
56.	Formiergastempern	Kapitel 4.7
	Programm (Inotherm): N350	

# Abbildungsverzeichnis

2.1	Schema Langkanal MOSFET	5
2.2	Banddiagramme für NMOSFET	5
2.3	Schema für MOS-Kapazitäten	8
2.4	Vergleich Lang- und Kurzkanaltransistor	13
2.5	Schema Lang- und Kurzkanaltransistor	14
2.6	Kanallängenmodulation	15
2.7	Barrierendegradation	16
2.8	Maßnahmen gegen Kurzkanaleffekte	17
2.9	Dotierstoffschwankungen im Kanal	19
3.1	Schema des VFD SONFET	22
3.2	Schema der Kapazitäten im VFD SONFET	23
3.3	Banddiagramm des VFD SONFETs	24
3.4	Simulationen der Einsatzspannung	27
3.5	Simulationen der Einsatzspannung	29
3.6	Simulationen des DIBLs	30
3.7	Simulationen der Kennlinien	31
3.8	Schema der Draingebiete	33
3.9	Schema der Mesastruktur	34
3.10	Schema des Gatestacks	34
3.11	Schema des VFD SONFET Querschnitts	35
3.12	Schema der Siliziumnitridmaske	35
3.13	Schema des fertigen VFD SONFETs	36
4.1	Schema der Desorption und Oxidation	49
5.1	Referenzmarken	58
5.2	SIMS-Profil für Diffusion	62
5.3	Schema der Kantenbildung bei Diffusion	63

5.4	REM-Aufnahme der Kantenbildung bei Diffusion	63
5.5	SIMS-Profile für Implantation	67
5.6	Defekte durch Implantation	67
5.7	Schema für CVD Abscheidungen	70
5.8	Schema der CVD Regime	71
5.9	SIMS-Profil für Hintergrunddotierung	72
5.10	Kritische Schichtdicke	75
5.11	Schema für pseudomorph verspannte SiGe-Schichten	76
5.12	REM-Aufnahme von relaxiertem SiGe	77
5.13	Ätzprofil des <i>SiGe-Stacks</i>	78
5.14	Defektätzen des SiGe-Stacks	81
5.15	REM-Aufnahme von Defekten durch Kohlenstoffcluster	82
5.16	REM-Aufnahme des <i>SiGe-Stacks</i>	83
5.17	pin-Dioden Charakteristik des <i>SiGe-Stacks</i>	85
5.18	Hellfeldaufnahme des <i>SiGe-Stacks</i>	86
5.19	HRTEM Aufnahme des <i>SiGe-Stacks</i>	87
5.20	Elektronenbeugungsmuster des <i>SiGe-Stacks</i>	88
5.21	FFT Aufnahme für Versetzungen	88
5.22	Defekte der Sourceschicht mit MBE	91
5.23	Defekte der Sourceschicht mit CVD	94
5.24	Schema des RIE Reaktors	95
5.25	Plasmadefekte durch RIE Prozess	98
5.26	Nadelstrukturen beim RIE Prozess	99
5.27	Modifizierter RIE Prozess	99
5.28	Defekte bei der Kanalabscheidung	101
5.29	REM-Aufnahmen des Kanalwachstums	102
5.30	CV-Kurve der 6 nm Siliziumnitridschicht	103
5.31	CV-Kurve des 7 nm thermischen Oxids	103
5.32	Passivierung des Gatestacks	105
5.33	Abkapselung mit Nitrid	106
5.34	Seitliche Unterätzung des Gatestacks	106
5.35	Nitridspacer	107
5.36	Prozessentwicklung für die Siliziumnitridätzung	109
5.37	Bestimmung von Ätzraten	112
5.38	REM Aufnahme einer Sourcebruchkante	116

5.39	Vortests zur Bestimmung der Ätzraten	117
5.40	Messungen der Ätzraten	118
5.41	Optische Kontrolle des SiGe-Ätzprozesses	119
5.42	Ausdünnen des Kanalgebiets	120
5.43	Simulation für Diffusion in das Kanalgebiet	121
6.1	Anschlüsse für VFD SONFET (Front)	131
6.2	Anschlüsse für VFD SONFET (Quer)	131
6.3	Leckstrom durch parasitäre Diode	132
6.4	Vergleich der parasitären Dioden	132
6.5	Eingangskennlinie des VFD SONFETs	133
6.6	Ausgangskennlinie des VFD SONFETs	133
6.7	Eingangskennlinien zur Bestimmung des DIBLs	134
8.1	REM-Aufnahme eines freitragenden Gates	141
8.2	Schema eines MBCFETs	141

### Literaturverzeichnis

- [1] CHAU, R.AND DOYLE, B., M. DOCZY, S. DATTA, S HARELAND, B. JIN, J. KAVALIE-ROS und M. METZ: Silicon nano-transistors and breaking the 10 nm physical gate length barrier. In: Device Research Conference, 2003.
- [2] MONFRAY, S., T. SKOTNICKI, Y. MORAND, S. DESCOMBES, M. PAOLI, P. RIBOT, A. TALBOT, D. DUTARTRE, F. LEVERD, Y. LEFRIEC, R. PANTEL, M. HAOND, D. RENAUD, M.-E. NIER, C. VIZIOZ und D. LOUIS: First 80 nm SON (Silicon-On-Nothing) MOSFETs with perfect morphology and high electrical performance. Electron Devices Meeting, 2001. IEDM Technical Digest. International, Seiten 29.7.1–29.7.4, 2001.
- [3] TACKE, J.: Entwicklung eines Nano-Sensors auf Basis eines MOS-Transistors mit freitragender Gatestruktur. Diplomarbeit, Ludwig-Maximilians-Universität München, 2007.
- [4] CHIUSSI, S., F. GONTAD, R. RODRIGUEZ, J. SERRA, B. LEON, T. SULIMA, L. HÖLLT und I. EISELE: Growth and modification of thin a-Si:H/a-Ge:H bi-layers to Sacrifical c-SiGe alloys through ArF Excimer Laser assisted processing. Applied Surface Science, 254:6030–6033, 2008.
- [5] SZE, S.M.: Physics of Semiconductor Devices. John Wiley & Sons, 1985.
- [6] NICOLLIAN, E. H. und J. R. BREWS: *Metal Oxide Semiconductor Physics and Technology*. John Wiley & Sons, 1982.
- [7] EISELE, I.: Grundlagen der Silizium-Halbleitertechnologie. Vorlesungsskript.
- [8] MOORE, G.E.: *Progress in Digital Integrated Electronics*. Technical Digest IEDM, 1.3:11, 1975.
- [9] TSIVIDIS, Y.: Operation and Modelling of the MOS Transistor. McGraw-Hill, Singapore, 1996.
- [10] SCHULZ, T.: Konzepte zur lithographieunabhängigen Skalierung von vertikalen Kurzkanal-MOS-Feldeffekt-Transistoren und deren Bewertung. Doktorarbeit, Ruhr-Universität Bochum, 2001.
- [11] MONFRAY, S., T. SKOTNICKI, Y. MORAND, S. DESCOMBES, A. TALBOT, D. DUTAR-TE, F. LEVERD, Y. LE FRIEC, R. PALLA, M. HAOND, M-E. NIER, C. VIZIOZ und D. LOUIS: Highly-performant 38 nm SON (Silicon-On-Nothing) P-MOSFETs with 9 nm-thick channels. In: IEEE International SOI Conference, 10/02, 2002.

- [12] HARRISON, S., D. MUNTEANU, J.L. AUTRAN, A. CROS, R. CERUTTI und T. SKOT-NICKI: Electrical characterization and modelling of high-performance SON DG MOSFETs. In: Proceeding of the 34th European Solid-State Device Research conference, 2004.
- [13] MONFRAY, S., T. SKOTNICKI, Y. MORAND, S. DESCOMBES, P. CORONEL, P. MA-ZOYER, S. HARRISON, P. RIBOT, A. TALBOT, D. DUTARTRE, M. HAOND, R. PALLA, Y. LE FRIEC, F. LEVERD, M.-E. NIER, C. VIZIOZ und D. LOUIS: 50 nm-Gate All Around (GAA)-Silicon On Nothing (SON)-devices: a simple way to co-integration of GAA transistors within bulk MOSFET process. VLSI Technology, 2002. Digest of Technical Papers. 2002 Symposium on, Seiten 108–109, 2002.
- [14] CORONEL, P., S. HARRISON, R. CERUTTI, S. MONFRAY und T. SKOTNICKI: Highly Performant Double Gate MOSFET realized with SON process How we address the Design and Process for the GAA SON Challenges? IEEE 2004 Int. Con. on Integrated Circuit Design and Technology, Seiten 81–89, 2004.
- [15] MONFRAY, S., T. SKOTNICKI, B. TAVEL, Y. MORAND, S. DESCOMBES, A. TAL-BOT, D. DUTARTRE, C. JENNY, P. MAZOYER, R. PALLA, F. LEVERD, Y. LE FRIEC, R. PANTEL, M. HAOND, C. CHARBUILLET, C. VIZIOZ, D. LOUIS und N. BUFFET: SON (Silicon-On-Nothing) P-MOSFETs with totally silicided (CoSi<sub>2</sub>) Polysilicon on 5nm-thick Si-films: The simplest way to integration of Metal Gates on thin FD channels. IEDM Tech. Dig., Seiten 263–266, 2002.
- [16] MONFRAY, S., A. SOUIFI, F. BOEUF, C. ORTOLLAND, A. PONCET, L. MILITARU, D. CHANEMOUGAME und T. SKOTNICKI: *Coulomb-Blockade in Nanometric Si-Film Silicon-On-Nothing (SON) MOSFETs*. IEEE Transactions on Nanotechnology, 2:295–300, 2003.
- [17] THOMPSON, P. E., G. JERNIGAN, J. SCHULZE, I. EISELE und T. SULIGOJ: Vertical SiGe-based silicon-on-nothing (SON) technology for sub-30 nm MOS devices. Materials Science in Semiconductor Processing, 8:51–57, 2005.
- [18] SVILICIC, B., V. JONAVIC und T. SULIGOJ: Vertical silicon-on-nothing FET: Threshold voltage calculation using compact capacitance model. Solid State Electron (2008), doi:10.1016/j.sse.2008.06.013.
- [19] SVILICIC, B., V. JOVANOVIC und T. SULIGOJ: Vertical Silicon-on-Nothing FET: Capacitance-Voltage Compact Modeling. In: MIPRO, 2007.
- [20] CHOI, Y.-K., K. ASANO, N. LINDERT, V. SUBRAMANIAN, T.-J. KING, J. BOKOR und C. Hu: Ultrathin body SOI MOSFET for deep-sub-tenth micron era. IEDM Tech. Dig., Seiten 919–921, 1999.
- [21] ZHANG, Z., S. ZHANG und M CHAN: Self-Align Recessed Source Drain Ultrathin Body SOI MOSFET. IEEE Electron Device Letters, 25:740–742, 2004.
- [22] AHN, C.-G., W.-J. CHO, J.H. YANG, I.B. BAEK, S. BAEK und S. LEE: 30-nm Recessed S/D SOI MOSFET With an Ultrathin Body and a Low SDE Resistance. IEEE Electron Device Letters, 26:486–488, 2005.

- [23] SKOTNICKI, T., G. MERCKEL und T PEDRON: *The Voltage-Doping Transformation: A New Approach to the Modeling of MOSFET Short-Channel Effects*. IEEE Transaction on Electron Devices, 9:109–112, 1988.
- [24] SVILICIC, B., V. JOVANOVIC und T. SULIGOJ: Vertical silicon-on-nothing FET: Threshold voltage calculation using compact capacitance model. Semiconductor Device Research Symposium, 2007 International, Seiten 1–2, Dec. 2007.
- [25] SVILICIC, B., V. JOVANOVIC und T. SULIGOJ: Vertical Silicon-on-Nothing FET: Analytical Model of Subthreshold Slope. In: 43rd MIDEM, Bled, 2007.
- [26] KERN, W.: Cleaning Solutions Based on Hydrogen Peroxide for Use in Silicon Semiconductor Technology. RCA Review, 31:187, 1970.
- [27] MORITA, E., H. OKUDA, F. INOUE und K. AKIYAMA: Wet Cleaning (Part 4): Micro-Roughness and COPs Created by SC-1. Springer, 1998.
- [28] KERN, W.: Handbook of Semiconductor Wafer Cleaning Technology. Noyes Publications, 1993.
- [29] SPIERINGS, G.A.C.M.: Review Wet chemical etching of silicate glasses in hydrofluoric acid based solutions. Journal of Materials Science, 28:6261–6273, 1993.
- [30] KOLASINSKI, K.W.: *The mechanism of Si etching in fluoride solutions*. Phys. Chem. Chem. Phys. (PCCP), 5:1270–1278, 2003.
- [31] GRÄF, D., M. GRUNDNER und R. SCHULZ: Reaction of water with hydrofluoric acid treated silicon (111) and (100) surfaces. Journal of Vaccum Science & Technology A, 7:808–813, 1989.
- [32] TRUCKS, G.W., K. RAGHAVACHARI, G.S. HIGASHI und Y.J. CHABAL: Mechanism of HF Etching of Silicon Surfaces: A Theoretical Understanding of Hydrogen Passivation. Physical Review Letters, 65:504–507, 1990.
- [33] RAO, A.V., F. OZANAM und J.-N. CHAZALVIEL: In Situ Fourier-Transform Electromodulated Infrared Study of Porous Silicon Formation: Evidence for Solvent Effects on the Vibrational Linewidths. J. Electrochem. Soc., 138:153–159, 1991.
- [34] HOUSTON, M.R. und R. MABOUDIAN: Stability of ammonium fluoride-treated Si(100). J.Appl. Phys., 78:3801, 1995.
- [35] MATSUMURA, M. und H. FUKIDOME: Enhanced Etching Rate of Silicon in Fluoride Containing Solutions at pH 6.4. J. Electrochem. Soc., 143:2683–2686, 1996.
- [36] CANHAM, L.T., M.R. HOULTON, W.Y. LEONG, C. PICKERING und J.M. KEEN: Atmospheric impregnation of porous silicon at room temperature. J. Appl. Phys., 70:422, 1991.
- [37] OGATA, Y., H. NIKI, T. SAKKA und M. IWASAKI: *Hydrogen in Porous Silicon: Vibrational Analysis of SiHx Species.* J. Electrochem. Soc., 142:195–201, 1995.
- [38] TAKAHAGI, T., A. ISHITANI und H. KURODA: Fluorine-containing species on the hydrofluoric acid etched silicon single-crystal surface. J. Appl. Phys., 69:803, 1991.

- [39] KLUTH, G.J. und R. MABOUDIAN: Oxidation mechanism of the ammoniumfluoride-treated Si(100) surface. J. Appl. Phys., 80:5408, 1996.
- [40] CHABAL, Y.J., A.L. HARRIS, K. RAGHAVACHARI und J.C. TULLY: *Infrared spectroscopy of H-terminated silicon surfaces*. Int. J. Mod. Phys., 7:1031–1078, 1993.
- [41] WATANABE, S., N. NAKAYAMA und T. ITO: *Homogeneous hydrogen-terminated Si*(111) surface formed using aqueous HF solution and water. Appl. Phys. Lett., 59:1458, 1991.
- [42] VASQUEZ, R.P., R.W. FATHAUER, T. GEORGE, A. KSENDZOV und T.L. LIN: *Electronic structure of light-emmiting porous Si*. Appl. Phys. Lett., 60:1004, 1992.
- [43] DUMAS, P. und Y.J. CHABAL: Electron-energy-loss characterization of the Hterminated Si(111) and Si(100) surfaces obtained by etching in NH<sub>4</sub>F. Chem. Phys. Lett., 181:537–543, 1991.
- [44] FENNER, D.B., D.K. BIEGELSEN und R.D. BRINGANS: Silicon surface passivation by hydrogen termination: A comparative study of preparation methods. J. Appl. Phys., 66:419, 1989.
- [45] ZAZZERA, L. und J.F. EVANS: In situ internal reflection infrared study of aqueous hydrofluoric acid and ultraviolet/ozone treated silicon (100) surfaces. J. Vac. Sci. Technol. A, 11:934–939, 1993.
- [46] WATANABE, S. und M. SHIGENO: Fluorine Adsorption and Etching on Si(111):SiH Surface during Immersion in HF Solution. Jpn. J. Appl. Phys., 31:1702–1708, 1992.
- [47] SANGANERIA, M.K., M.C. ÖZTÜRK, K.E. VIOLETTE, G. HARRIS, C.A. LEE und D.M. MAHER: Low thermal budget in situ removal of oxygen and carbon on silicon for silicon epitaxy in an ultrahigh vacuum rapid thermal chemical vapor deposition reactor. Applied Physics Letters, 66 (10), 1995.
- [48] YAGI, Y., T. IMAOKA, Y. KSAMA und T. OHMI: Advanced ultrapure water systems with low dissolved oxygen for native oxide free wafer processing. Semiconductor Manufacturing, IEEE Transactions on, 5(2):121–127, May 1992.
- [49] ASSMUTH, A., T. STIMPEL-LINDNER, O. SENFTLEBEN, A. BAYERSTADLER, T. SULI-MA, H. BAUMGÄRTNER und I. EISELE: *The role of atomic hydrogen in pre-epitaxial silicon substrate cleaning*. Appl. Surface Science, 253:8389–8393, 2007.
- [50] SILVESTRI, V.J., K. NUMMY, P. RONSHEIM, R. BENDERNAGEL, D. KERR und V.T. PHAN: ULSI Quality Silicon Epitaxial Growth at 850°C. J. Electrochem. Soc., 137:2323–2327, 1990.
- [51] CARROLL, M.S., J.C. STURM und M. YANG: Low-Temperature Preparation of Oxygen- and Carbon-Free Silicon and Silicon-Germanium Surfaces for Silicon and Silicon-Germanium Epitaxial Growth by Rapid Thermal Chemical Vapor Deposition. J. Electrochem. Soc., 147:4652–4659, 2000.
- [52] YABUMOTO, N.: Ultraclean Surface Processing of Silicon Wafers. Springer, Berlin, Germany, 1998.

- [53] CHENG, C. C., P. A. TAYLOR, R. M. WALLACE, H. GUTLEBEN, L. CLEMEN, M. L. COLAIANNI, P. J. CHEN, W. H. WEINBERG, W. J. CHOYKE und J. T. YATES: *Hy-drocarbon surface chemistry on Si*(100). Thin Solid Films, 225:196–202, 1993.
- [54] ROCHET, F., F. JOLLY, F. BOURNEL, G. DUFOUR, F. SIROTTI und J.-L. CANTIN: *Ethylene on Si(001)-2x1 and Si(111)-7x7: X-ray photoemission spectroscopy with synchrotron radiation.* Phys. Review B, 58:11029–11042, 1998.
- [55] OSTEN, H. J., M. METHFESSEL, G. LIPPERT und H. RÜCKER: Observation of the formation of a carbon-rich surface layer in silicon. Phys. Review B, 52:12179– 12183, 1995.
- [56] ZILBAUER, T., P. ISKRA, D. KULAGA-EGGER, M. SCHLOSSER, H. LOCHNER, T. SU-LIMA und I. EISELE: *Optimized hydrogen bake as in-situ removal of residual oxide and carbon on silicon substrates for thin film deposition*. In: *DPG Berlin*, 2008.
- [57] STEINSLAND, E., M. NESE, A. HANNEBORG, R.W. BERNSTEIN, H. SANDMO und G. KITTILSLAND: Boron etch-stop in TMAH solutions. Sensors and Actuators A, 54:728–732, 1996.
- [58] MERLOS, A., M. ACERO, M.H. BAO, J. BAUSELLE und J. ESTEVE: *TMAH/IPA anisotropic etching characteristic*. Sensors and Actuators A, 37-38:737–743, 1993.
- [59] TSAUR, J., C. DU und C. LEE: Investigation of TMAH for front-side bulk micromachining process from manufacturing aspect. Sensors and Actuators A, 92:375–383, 2001.
- [60] YAN, G., P.C.H. CHAN, I. HSING, R.K. SHARMA, J.K.O. SIN und Y. WANG: An improved TMAH Si-etching solution without attacking exposed aluminum. Sensors and Actuators A, 89:135–141, 2001.
- [61] SCHNAKENBERG, U., W. BENECKE und L. LANGE: *TMAHW etchants for silicon micromachining*. In: ?, 1991.
- [62] ROBBINS, H. und B. SCHWARTZ: *Chemical Etching of Silicon*. Journal of the Electrochemical Society, 106:505–508, 1959.
- [63] FREITAG, G.: Entwicklung eines neuen Feldeffekt-Gassensors mit hybriden Gate-Aufbau und vertikalen Transistordesign. Cuvillier, E, 2005.
- [64] TRAPP, O.D., R.A. BLANCHARD, L.J. LOPP und T.I. KAMINS: Semiconductor Technology Handbook. Technology Associates, 1985.
- [65] WILK, G. D., R. M. WALLACE und J. M. ANTHONY: *High-k gate dielectrics: Current status and materials properties considerations*. J. Appl. Phys., 89:5243–5275, 2001.
- [66] HILLERINGMANN, U: Silizium-Halbleitertechnologie.2, überarb. und erw. Auflage. Teubner, Stuttgart, 1999.
- [67] DEAL, B.E. und A.S. GROVE: General Relationship for the Thermal Oxidation of Silicon. J. Appl. Phys., 36:3770–3778, 1965.

- [68] WIDMANN, D., H. MADER und H. FRIEDRICH: *Technologie hochintegrierter Schaltungen*. Springer, Germany, 1996.
- [69] SMITH, F.W. und G. GHIDINI: *Reaction of Oxygen with Si*(111) and Si(100): Critical Conditions for the Growth of SiO<sub>2</sub>. J. Electrochem. Soc., 129:1300, 1982.
- [70] BOHG, A. und A.K. GAIND: *Influence of film stress and thermal oxidation on the generation of dislocations in silicon*. Appl. Phys. Lett., 33:895–897, 1978.
- [71] SCHMUCKI, G und P. SEEGEBRECHT: Prozesstechnologie: Fertigungsverfahren für integrierte MOS-Schaltungen. Springer, Berlin, 1991.
- [72] BORN, M.: Vertical Gate Controlled Tunnel Transistor in Si and SiGe. Cuviller Verlag Göttingen, 2007.
- [73] GMELIN-INSTITUT: *Gmelins Handbuch der Anorganischen Chemie*. Verlag Chemie GmbH, 1971.
- [74] LUDSTECK, A.: Optimierung von Gate-Dielektrika für die MOS-Technologie. Shaker Verlag, 2005.
- [75] DEAL, B.E., E.L. MACKENNA und P.L. CASTRO: Characteristics of Fast Surface States Associated with SiO<sub>2</sub>-Si and Si<sub>3</sub>N<sub>4</sub>-SiO<sub>2</sub>-Si Structures. J. Electrochem. Soc., 116:997–1005, 1969.
- [76] SCHMIDT, M.: Neuartige Metallelektroden und Dielektrika für die MOS-Technologie. Doktorarbeit, Universität der Bundeswehr München, Fakultät für Elektrotechnik und Informationstechnik, 2005.
- [77] UEMATSU, M.: Simulation of boron, phosphorus and arsenic diffusion in silicon based on an integrated diffusion model, and the anomalous phosphorus diffusion mechanism. J. Appl. Phys., 82:2228–2246, 1997.
- [78] WIDMANN, D., H. MADER und H. FRIEDRICH: *Technologie hochintegrierter Schaltungen*. Springer Verlag, Berlin, 1988.
- [79] SCHEEL, H.J.: *Historical aspects of crystal growth technology*. J. Cryst. Growth, 211:697–738, 2000.
- [80] SCHNEIDER, H.G. und L. ICKERT: *Halbleiterepitaxie*. Dr. Alfred Hüthig Verlag Heidelberg, 1984.
- [81] BAYERSTADLER, A.: Reinigung und Gasphasenepitaxie in einem Ultrahochvakuum-Mehrkammersystem f
  ür zuk
  ünftige CMOS-Technologien. Cuvillier Verlag G
  öttingen, 2006.
- [82] ASSMUTH, A.: Photonenaktivierte Reinigungs- und Oxidationsprozesse f
  ür die Nanoelektronik. Cuvillier Verlag G
  öttingen, 2007.
- [83] BHUSHAN, B. (Herausgeber): Springer Handbook of Nanotechnology. Springer Verlag, 2004.
- [84] JAIN, S.C.: *Germanium-Silicon Strained Layers and Heterostructures*. Academic Press, Boston, 1994.

- [85] BEAN, J.C., L.C. FELDMAN, A.T. FIORY, S. NAKAHARA und I.K. ROBINSON:  $Ge_x$  $Si_{(1-x)}/Si$  strained-layer superlattice grown by molecular beam epitaxy. J. Vac. Sci. Tech. A, 2:436–440, 1984.
- [86] MERWE, J.H. VAN DER: Crystal Interfaces. Part II. Finite Overgrowths. J. Appl. Phys., 34:123, 1963.
- [87] RUPP, T.: *Silizium-Germanium-Heterostrukturbauelemente für die Nanoelektronik*. Doktorarbeit, Universität der Bundeswehr, Neubiberg, 1996.
- [88] MATTHEWS, J.W. und A.E. BLAKESLEE: *Defects in epitaxial multilayers*. J. Cryst. Growth, 27:118–125, 1974.
- [89] KASPER, E., H.J. HERZOG und H. KIBBEL: *A one-dimensional SiGe superlattice grown by UHV*. Appl. Phys. A, 8:199–205, 1975.
- [90] MATTHEWS, J.W.: Epitaxial Growth A and B. Academic Press, New York, 1975.
- [91] TERSOFF, J. und F. K. LEGOUES: *Competing relaxation mechanisms in strained layers*. Phys. Rev. Lett., 72(22):3570–3573, May 1994.
- [92] HSU, J. W., E. A. FITZGERALD, Y. H. XIE, P. J. SILVERMAN und M. J. CARDILLO: Surface morphology of related  $Ge_xSi_{1-x}$  films. Appl. Phys. Lett., 61:1293–1295, 1992.
- [93] SCHINDLER, M.: Selektive Epitaxie für Quantenbauelemente. Doktorarbeit, Universität der Bundeswehr München, Fakultät für Elektrotechnik und Informationstechnik, 2006.
- [94] JAIN, S.C. und M. WILLANDER: Silicon-Germanium Strained Layers and Heterostructures. Academic Press, 2003.
- [95] JAIN, S.C, T.J GOSLING, J.R WILLIS, R. BULLOUGH und P. BALK: A theoretical comparison of the stability characteristics of capped and uncapped GeSi strained epilayers. Solid-State Electron., 35:1073–1079, 1992.
- [96] HIERLEMANN, M., A. KERSCH, C. WERNER und H. SCHÄFER: A Gas-Phase and Surface Kinetics Model for Silicon Epitaxial Growth with SiH<sub>2</sub>Cl<sub>2</sub> in an RTCVD Reactor. J. Electrochem. Soc., 142:259, 1995.
- [97] HULL, R. und J.C. BEAN: Germanium Silicon: Physics and Materials, Semiconductors and Semimetals Volume 56. Academic Press, 1999.
- [98] BLOEM, J. und L.J. GILING: *Current Topics in Materials Science*. North Holland, Amsterdam, 1978.
- [99] GARONE, P.M., J.C. STURM, P.V. SCHWARTZ, S.A. SCHWARZ und B.J. WILKENS: *Silicon vapor phase epitaxial growth catalysis by the presence of germane*. Appl. Phys. Lett., 56:1275, 1990.
- [100] WOLANSKY, D.: *Niedertemperaturepitaxie zur Herstellung von SiGe/Si-HBTs*. Doktorarbeit, Cottbus, Brandenburgische Techn. Univ., Fakultät Maschinenbau, Elektrotechnik und Wirtschaftsingenieurwesen, LS Mikroelektronik, 2003.

- [101] BERGMANN-SCHÄFER: Lehrbuch der Experimentalphysik, Band IV, Teile 1 & 2: Aufbau der Materie. Walter de Gruyter-Verlag, Berlin, 1981.
- [102] GRILLOT, P.N., S.A. RINGEL, E.A. FITZGERALD, G.P. WATSON und Y.H. XIE: Electron trapping kinetics at dislocations in relaxed Ge<sub>0.3</sub>Si<sub>0</sub>.7/Si heterostructures. J. Appl. Phys., 77:3248, 1995.
- [103] GIOVANE, L.M., H.-C. LUAN, A.M. AGARWAL und C. KIMERLING: Correlation between leakage current and threading dislocation density in SiGe p-i-n diodes grown on relaxed graded buffer layers. Appl. Phys. Lett., 78:541–543, 200.
- [104] BUSS, R. J., P. HO, W.G. BREILAND und M.E. COLTRIN: Reactive sticking coefficients for silane and disilane on polycrystalline silicon. J. Appl. Phys., 63:2808, 1988.
- [105] MAITY, N., L.-Q. XIA und J.R. ENGSTROM: Effect of PH<sub>3</sub> on the dissociative chemisorption of SiH<sub>4</sub> and Si<sub>2</sub>H<sub>6</sub> on Si(100): Implications on the growth of in situ doped Si thin films. Appl. Phys. Lett., 66:1909–1911, 1995.
- [106] WIESER, U., D. IAMUNDO, U. KUNZE, T. HACKBARTH und U. KÖNIG: Nanoscale patterning of Si/SiGe heterostructures by electron-beam lithography and selective wet-chemical etching. Semicond. Sci. Technol., 15:862–867, 2000.
- [107] KERR, J. A. und A. F. TROTMAN-DICKENSON: *Handbook of Chemistry and Phyics*, 63rd ed. R. C. Weast and M. J. Astle, CRC Press Inc., Boca Raton, 1982.
- [108] MANE, S.S., S. HAMEED, A.R. SAHA und C.K. MAITI: Modeling of low temperature SiGe oxidation. Materials Science in Semiconductor Processing, 9:668–672, 2006.
- [109] LIOU, H.K., P. MEI, U. GENNSER und E.S. YANG: *Effects of Ge concentration on SiGe oxidation behavior*. Appl. Phys. Lett., 59:1200–1202, 1991.
- [110] ISKRA, P.: Gas sensors, in preparation. Doktorarbeit, Universität der Bundeswehr München.
- [111] GHANI, T., M. ARMSTRONG, C. AUTH, M. BOST, P. CHARVAT, G. GLASS, T. HOFF-MANN, K. JOHNSON, C. KENYON, J. KLAUS, B. MCINTYRE, K. MISTRY, A. MUR-THY, J. SANDFORD, M. SILBERSTEIN, S. SIVAKUMAR, P. SMITH, K. ZAWADZKI, S. THOMPSON und M. BOHR: A 90nm high volume manufacturing logic technology featuring novel 45nm gate length strained silicon CMOS transistors. Electron Devices Meeting, 2003. IEDM '03 Technical Digest. IEEE International, Seiten 11.6.1–11.6.3, 8-10 Dec. 2003.
- [112] MORITA, M., T. OHMI, E. HASEGAWA, M. KAWAKAMI und M. OHWADA: *Growth* of native oxide on a silicon surface. J. Appl. Phys., 68:1272–1282, 1990.
- [113] MISRA, V., H. LAZAR, Z. WANG, Y. WU, H. NIIMI, G. LUCOVSKY, J. J. WORTMAN und J. R. HAUSER: Interfacial properties of ultrathin pure silicon nitride formed by remote plasma enhanced chemical vapor deposition. J. Vac. Sci. Technol. B, 17:1836–1839, 1999.

- [114] GODBEY, D. J., A. H. KRIST, K. D. HOBART und M. E. TWIGG: Selective Removal of  $Si_{1-x}Ge_x$  from (100) Si Using HNO<sub>3</sub> and HF. J. Electrochem. Soc., 139:2943, 1990.
- [115] CARNS, T.K., M.O. TANNER und K.L. WANG: Chemical Etching of  $Si_{1-x}Ge_x$  in  $HF:H_2O_2:CH_3COOH$ . J. Electrochem. Soc., 142:1260–1266, 1995.
- [116] YAMAMOTO, Y., K. KÖPKE und B. TILLACK: Selective Vapor Phase Etching of SiGe by HCl. In: ICSI-5, Marseille, 2007.
- [117] BOREL, S., C. ARVET, J. BILDE, S. HARRISON und D. LOUIS: Isotropic etching of SiGe alloys with high selectivity to similar materials. Microelectronic Engineering, 73-74:301–305, 2004.
- [118] CHRISTEN, H. R.: *Chemie*. Sauerländer AG, Aarau und Läser und Co, Gontenschwil, Schweiz, 11. Auflage, 1977.
- [119] KRIST, A.H. und D.J. GODBEY: Selective removal of a Si<sub>0.7</sub>Ge<sub>0.3</sub> layer from Si(100).
   Appl. Phys. Lett., 58:1899–1901, 1991.
- [120] GUDER, M.: Selektives Ätzen von Silizium/Germanium und Germanium : Selektive Analysemethoden für die aktive Ätzspezies Peressigsäure und Einflüsse auf die Kinetik sowie das Gleichgewicht der in situ-Bildung. Diplomarbeit, Goethe Universität, Frankfurt am Main, 2005.
- [121] ABRAMSON, M. B. und C. V. KING: *The Rate of Dissolution of Iron in Acids*. J. Am. Chem. Soc., 61:2290–2295, 1939.
- [122] CRISTOLOVEANU, S., D. MUNTEANU und S. T. LIU: A Review of the Pseudo-MOS Transistor in SOI Wafers: Operation, Parameter Extraction and Applications. IEEE Trans. on electron. Devices, 47:1018–1026, 2000.
- [123] GHIBAUDO, G.: *New methode for the extraction of MOSFET parameters*. Electron. Lett., 24:543–544, 1988.
- [124] SUNG-YOUNG, L., K. SUNG-YOUNG, Y. EUN-JUNG, O. CHANG-WOO, C. ILSUB, P. DONGGUN und K. KINAM: A Novel Multibridge-Channel MOSFET (MBCFET): Fabrication Technologies and Characteristics. IEEE Transactions on Nanotechnology, 2:253–257, 2003.

### Publikationen

#### Konferenzen

HÖLLT, L., J. SCHULZE, I. EISELE, T. SULIGOJ, V. JOVANOVIC, P. E. THOMPSON *First sub-30nm vertical Silicon-On-Nothing MOSFET*. 31st international Convention MIPRO, 2008

HÖLLT, L., W. SUTTROP, L. GIANNONE, C. SIHLER, A. C. C. SIPS, D. ZASCHE und AUG TEAM. *Flight Simulator for ASDEX Upgrade Plasmas*. DPG Kiel, 2004

ABELEIN, U., L. HÖLLT, T. SULIMA und I. EISELE. *Influence of in-situ phosphorus doping on crystal quality of MBE grown silicon*. Book of abstracts of the 71st annual DPG meeting, Seiten 263ff, 2007

SUTTROP, W., L. HÖLLT und AUG TEAM. *Predictive simulation of tokamak Discharge behaviour based on simple scalings*. 32nd EPS Conference on Plasma Phys., Vol. 29C, 2005

CHIUSSI, S., F. GONTAD, C. SERRA, J. SERRA, B. LEON, L. HÖLLT, J. TACKE und I. EISE-LE. Graded heteroepitaxial Si/Ge/Si(100) structures for sacrifical layers obtained Through ArF Excimer Laser assisted processing. ICSI-5, Marseille, 2007

#### Journale

HÖLLT, L., M. BORN, M. SCHLOSSER, I. EISELE, J. GRABMEIER und A. HUBER: *A Modified PseudoMOS Technique to Characterize Interface Quality of SOI Wafers*. IEEE Transaction on Electron Devices, Vol.54, Seiten 2685–2689, 2007.

CHIUSSI, S., F. GONTAD, R. RODRIGUEZ, J. SERRA, B. LEON, T. SULIMA, L. HÖLLT und I. EISELE. *Growth and modification of thin a-Si:H/a-Ge:H bi-layers to Sacrifical c-SiGe alloys through ArF Excimer Laser assisted processing*. Applied Surface Science, Vol.254, Seiten 6030-6033, 2008.

## Danksagung

Diese Arbeit entstand während meiner Tätigkeit als wissenschaftlicher Mitarbeiter am Institut für Physik der Fakultät für Elektrotechnik und Informationstechnik an der Universität der Bundeswehr München im Zeitraum von November 2004 bis Juli 2008. An dieser Stelle möchte ich gerne all den vielen Leuten danken, die mich gefördert und unterstützt haben, und die zum Gelingen dieser Arbeit beitrugen.

In besonderem Maße möchte ich mich bei **Prof. Dr. Ignaz Eisele** für das sehr interessante und herausfordernde Dissertationsthema und seine große Unterstützung bedanken. Sein großes Wissen und seine Erfahrung standen mir jederzeit zur Vefügung. Besonders inspirierend waren für mich die gemeinsamen Diskussionen meiner Ergebnisse und seine große Begeisterungsfähigkeit, die mich auch in den schwierigsten Momenten immer wieder neu beflügelte. Nicht zuletzt möchte ich mich auch für sein in meine Arbeit gesetztes Vertrauen bedanken und für die Freiheit, diese selbst gestalten zu dürfen.

Mein Dank gilt auch **Prof. Dr. Hermann Baumgärtner**, der mich in seinem Seminar in die höheren Weihen der MOS-Kapazitäten einführte, und mich jederzeit mit seinem Wissen unterstützte.

Bei meinen Kollegen der Linien-Crew möchte ich mich ganz besonders für die große Unterstützung während meiner Arbeit bedanken und für die Freundschaft, die mir entgegengebracht wurde.

Insbesondere gilt mein Dank meinem Mentor **Dr. Mathias Born**, der mich in die Alchemie der Nasschemie eingeführt hat und mir zeigte, wie man im Reinraum überleben kann.

Meinen Kollegen **Dipl.-Phys. Thomas Zilbauer** und **Dipl.-Phys. Peter Iskra** gilt mein besonderer Dank für die große Unterstützung, den Reinraum am Laufen zu halten, für die mir sehr wichtigen Gespräche und Diskussionen, für die Rettung in größter Not, für die vielen Prozesse, die zum Gelingen dieser Arbeit beitrugen, und nicht zuletzt für ihre gute Kameradschaft. Mercie, Buam!

Bei **Dr. Florian Wiest** möchte ich mich für seine sehr große Hilfsbereitschaft und für seine Unterstützung in allen Belangen bedanken. Er stand mir immer mit gutem Rat beiseite, wenn wieder einmal ein Gerät nicht funktionierte. Ich freue mich schon auf viele gemeinsame Mountainbike-Touren!

**Dr. Torsten Sulima** danke ich für seine große Hilfe bei allen Fragen, und für das entspannte und freundschaftliche Arbeitsklima am Institut.

Bei **Dr. Tanja Stimpel-Lindner** möchte ich mich für ihre Unterstützung und ihre Tipps beim Physikpraktikum bedanken.
Des Weiteren danke ich:

- **Dipl.-Ing. Markus Reinl** für seine administrative Unterstützung in allen Belangen von Computern und seine Hilfe bei LATEX ,
- **Dipl.-Phys. Christoph Senft** für die spannenden Schachpartien, die meistens positiv für mich endeten,
- Dipl.-Ing. Dipl.-Wirt. Ing. Ulrich Abelein für die gute Zusammenarbeit zwischen Linien- und MUM-Crew,
- **Dipl.-Phys. Oliver Senftleben** für sein großes Wissen, das er gerne mit mir teilte, sowohl in der Physik als auch im Schach,
- **Dipl.-Ing. Helmut Lochner** für das gute Klima und die entspannte Atmosphäre im Büro,
- Dipl.-Phys. Martin Schlosser für die elektrischen Messungen,
- Dipl.-Ing. Rudolf Nüssl für seine relaxte Sicht der Dinge,
- Dr. Andreas Aßmuth für die gemeinsame Zeit im Büro, die viele Unterstützung in allen Bereichen und die FORNEL-Fahrten, auf denen wir immer viel Spaß und eine gute Zeit hatten
- und unseren fleißigen Sekretärinnen Karin Bächle, Elena Grüner und Cornelia Budach.

Diese Arbeit hätte ohne einen funktionierenden Reinraum und dessen technischem Personal nicht zustande kommen können. Ich möchte mich daher bei **Dipl.-Ing. Peter Ciecierski** und **Michael Meyer** bedanken, die die Versorgung des Reinraums gewährleisteten und mir bei technischen Fragen immer hilfsbereit und kameradschaftlich beiseite standen. Ein besonderes Dankeschön gilt hier **Andreas Rippler** für die unzähligen RCA-Cleans und seine große Unterstützung bei der Durchführung von SPC. An dieser Stelle sei vor allem auch meinen Kollegen **Thorsten Bötzow** und **Anke Heller** gedankt, die für ein konstant gutes und freundschaftliches Klima im Reinraum sorgten, und ohne die der Alltag im Reinraum nur grau wäre. Des Weiteren möchte ich mich bei **Hans Messarosch** für die Unterstützung bei allen technischen Problemen bedanken, und bei **Dipl.-Phys. Dorota Kulaga-Egger** für die zahlreichen SIMS-Messungen.

Ferner danke ich:

- Assistant Prof. Ph.D. Tomislav Suligoj, Ph.D. Boris Sviličić und Ph.D. Vladimir Jovanović für die erhellenden Diskussionen und die Simulationen über den VFD SONFET und für ihre Kameradschaft in Opatija,
- Dr. Martin Sterkel, Lehrstuhl für Technische Elektronik (TUM), für die Unterstützung bei den SOD-Prozessen,
- Dr. Anton Bauer, IISB Erlangen, für die durchgeführten Implantationen und die hilfreichen Diskussionen,

- Dr. Phillip E. Thompson, Naval Research Laboratory (USA), für die gewachsenen SiGe-Stapel und für die fruchtbare Zusammenarbeit.
- Der Bayerischen Forschungsstiftung (BFS) für die Förderung des bearbeiteten Projekts.

Einen ganz besonderen Dank möchte ich an meine Familie richten, die mir dies alles ermöglicht hat, die immer in allen Lebenslagen für mich da war und mich jederzeit bedingungslos unterstützt hat. Ohne die Hilfe meiner Eltern wäre mein Weg wohl steiniger.

Und last but not least möchte ich meiner Frau Tanja für ihr großes Verständis, für ihre liebevolle Unterstützung und ihre Hilfe während dieser arbeitsintensiven Zeit danken, und dafür, dass sie auch meine grauesten Momente mit ihrem Lächeln überstrahlt und mir den Sinn im Leben wieder gibt.