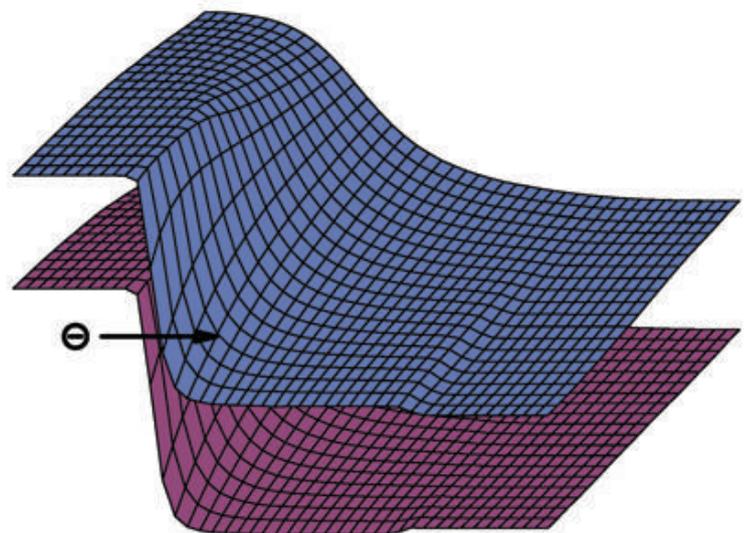
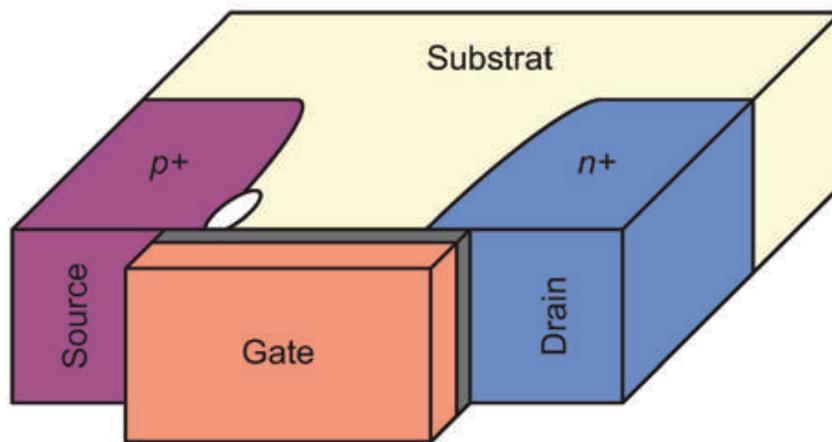


Ultra-Kurzkanal

Tunnel-Feldeffekt-Transistoren auf Silizium- und SOI-Substraten



TECHNISCHE UNIVERSITÄT MÜNCHEN
LEHRSTUHL FÜR TECHNISCHE ELEKTRONIK
FACHGEBIET HALBLEITERPRODUKTIONSTECHNIK

Ultra-Kurzkanal Tunnel-Feldeffekt-Transistoren auf Silizium- und SOI-Substraten

Martin Sterkel

Vollständiger Abdruck der von der Fakultät für Elektrotechnik und Informationstechnik der Technischen Universität München zur Erlangung des akademischen Grades eines

Doktor-Ingenieurs

genehmigten Dissertation.

Vorsitzender: Univ.-Prof. P. Lugli, Ph.D.

Prüfer der Dissertation:

1. Univ.-Prof. Dr.-Ing. W. Hansch
2. Univ.-Prof. Dr. rer. nat. I. Eisele,
Universität der Bundeswehr München

Die Dissertation wurde am 20.02.2008 bei der Technischen Universität München eingereicht und durch die Fakultät für Elektrotechnik und Informationstechnik am 01.07.2008 angenommen.

Bibliografische Information der Deutschen Nationalbibliothek

Die Deutsche Nationalbibliothek verzeichnet diese Publikation in der Deutschen Nationalbibliografie; detaillierte bibliografische Daten sind im Internet über <http://dnb.ddb.de> abrufbar.

1. Aufl. - Göttingen : Cuvillier, 2008

Zugl.: (TU) München, Univ., Diss., 2008

978-3-86727-715-0

© CUVILLIER VERLAG, Göttingen 2008

Nonnenstieg 8, 37075 Göttingen

Telefon: 0551-54724-0

Telefax: 0551-54724-21

www.cuvillier.de

Alle Rechte vorbehalten. Ohne ausdrückliche Genehmigung des Verlages ist es nicht gestattet, das Buch oder Teile daraus auf fotomechanischem Weg (Fotokopie, Mikrokopie) zu vervielfältigen.

1. Auflage, 2008

Gedruckt auf säurefreiem Papier

978-3-86727-715-0

Kurzfassung

Die Halbleiterindustrie erzielt den Großteil ihrer Leistungs- und Produktivitätssteigerungen durch eine kontinuierliche Verkleinerung der Bauelemente auf den Silizium-Chips (Scaling). Das Scaling wird jedoch immer aufwändiger und wird in den nächsten Jahren an seine physikalischen Grenzen stoßen, da eine Vielzahl von unerwünschten Effekten (z. B. Kurzkanaleffekte, quantenmechanische Effekte) die Eigenschaften der einzelnen Transistoren auf dem Chip beeinträchtigen.

Der Tunnel-Feldeffekt-Transistor (TFET) ist ein neuartiges Bauelement, welches den MOSFET in Zukunft ersetzen könnte. Das Grundprinzip beruht auf der Steuerung von quantenmechanischem Interbandtunneln, welches beim MOSFET gänzlich unerwünscht ist. Die Vorteile des TFET verglichen mit dem MOSFET liegen in der besseren Skalierbarkeit und geringeren Leckströmen. Der TFET ist kompatibel zur heutigen CMOS-Technologie und der heutigen Schaltungstechnik; wie beim MOSFET können zwei zueinander komplementäre Transistoren hergestellt werden. Außerdem unterliegt die Unterschwellensteigung des TFET nicht dem physikalischen Limit von 60 mV/dec bei Raumtemperatur.

Ziel dieser Arbeit ist der Entwurf und die experimentelle Herstellung von TFETs mit kleinen Kanallängen um deren Potenzial für zukünftige Anwendungen zu bewerten. Die größte Herausforderung beim Design von TFETs liegt in der Realisierung einer konkurrenzfähigen Stromergiebigkeit. Sowohl die Stromergiebigkeit als auch die Unterschwellensteigung des TFET kann durch eine Steigerung des elektrischen Feldes am Tunnelübergang und eine gezielte Einstellung von Materialparametern optimiert werden. Die meisten Technologieentwicklungen für heutige MOSFETs kommen den elektrischen Eigenschaften des TFET ebenfalls zugute.

In dieser Arbeit wurde die so genannte Spacer-Gate-Technologie entwickelt. Damit ist es erstmals möglich planare TFETs mit ultra-kurzen Kanallängen in einem selbstjustierenden Prozess herzustellen. Die Evaluierung des TFET als MOSFET-Nachfolger wurde dadurch um ein wichtiges Teilstück ergänzt. Für die Dotierung wurde rapid-thermal Diffusion (RTD) mit spin-on Dotiergläsern eingesetzt. Die Charakterisierung von Spacer-Gate-TFETs hat gezeigt, dass mit dieser Technologie elektrisch funktionstüchtige Bauelemen-

te mit kurzen Kanallängen erfolgreich hergestellt werden können. Der Drainstrom erreichte ca. $1 \mu\text{A}/\mu\text{m}$, dieser Wert ist vergleichbar mit bisherigen Arbeiten, wobei diese Arbeiten nicht auf einem planaren selbstjustierenden Prozess beruhen. Verbesserungspotenzial besteht erstens bei der Reduktion von Leckströmen durch weitere Fortschritte bei der Dotiertechnologie und zweitens bei der Optimierung der Stromergiebigkeit und der Unterschwellensteigung durch steilere Dotierprofile und ein dünneres Gatedielektrikum.

Mögliche Anwendungsgebiete von Tunnel-Feldeffekt-Transistoren liegen zum Beispiel im Low-Power Bereich (Speicherchips, mobile Geräte, etc.). Eine realistische Prognose, ob und wann der TFET in kommerziellen Produkten zum Einsatz kommen wird, ist zum jetzigen Zeitpunkt jedoch verfrüht. Weitere experimentelle Untersuchungen, z. B. der Einsatz von selektiver Epitaxie, werden vorgeschlagen um die Konkurrenzfähigkeit des TFET unter Beweis zu stellen. Falls dieser gelingt, wird die Erfindung des Tunnel-Feldeffekt-Transistors dazu beitragen, dass die bisher kontinuierliche Miniaturisierung und Leistungssteigerung der integrierten Schaltungen erfolgreich fortgeführt werden kann.

Abstract

Semiconductor industry achieves most of its performance and productivity gain by continuously scaling the devices on silicon chips. However, scaling becomes more and more challenging and it is going to face physical limits in the forthcoming years, because many unwanted phenomena (e. g. short channel effects, quantum mechanical effects) degrade the properties of transistors on a silicon chip.

The tunneling field effect transistor (TFET) is a novel device, that could possibly replace MOSFETs in future times. Its working principle is based on quantum mechanical interband tunneling, which is totally undesirable in MOSFETs. Compared to a MOSFET, a TFET exhibits higher scaling capabilities and lower leakage currents. The TFET is compatible to today's CMOS technology and circuit design; complementary devices can be fabricated in TFET technology. Additionally, the subthreshold slope of a TFET is not physically limited by 60 mV/dec at room temperature.

The main goal of this work is the fabrication of TFETs with short channel lengths for evaluating the devices' potential of being used in future applications. The biggest challenge in TFET design is the realization of a competitive on-current. Both, the on-current and the subthreshold slope of a TFET can be optimized by an increase of the electrical field at the tunnel junction and by adjusting material properties. Most of the technological developments, that are accomplished for today's MOSFET's also enhance the properties of a TFET.

In this work an new fabrication method, called spacer-gate technology, was developed. Now, for the first time TFETs with ultra-short channel lengths can be fabricated in a self-aligned process. Thereby, the evaluation of the TFET of being a MOSFET successor is extended substantially. For the fabrication of the doping regions, rapid-thermal diffusion (RTP) from spin-on glasses was used. The electrical and physical characterization of spacer-gate TFETs revealed, that this technology is capable of fabricating functional devices with short channel lengths. The achieved drain current reached approximately $1 \mu\text{A}/\mu\text{m}$, which is comparable to previous experiments. However, these experiments were not realized in a self-aligning process. There is room for improvement in optimizing doping technology for reduced leakage currents. Additionally, the on-current and the subthreshold slope can be further improved by a higher

doping gradient and a thinner gate dielectric.

Potential applications of tunneling field effect transistors are low power devices (memory products, mobile applications, etc.). However, making a forecast, if and when the TFET is going to be used in commercial products is still premature. Additional experiments, e. g. the use of selective epitaxy, are suggested for proofing the TFET's competitiveness. If this can be accomplished, the invention of the TFET will help, that scaling and performance improvements of integrated circuits are going to be continued successfully.

Inhaltsverzeichnis

1	Einleitung	1
2	Funktionsweise des MOSFET	5
2.1	Langkanal	5
2.1.1	MOS-Diode	5
2.1.2	<i>n</i> -MOSFET	7
2.1.3	Scaling	13
2.2	Kurzkanal	15
2.2.1	Schwierigkeiten bei kleinen Geometrien	15
2.2.2	Lösungsansätze	19
2.3	Zusammenfassung	21
2.3.1	Anforderungen an MOSFET-Nachfolger	22
3	Der TFET als MOSFET-Nachfolger	25
3.1	Physikalisches Grundprinzip	25
3.1.1	Band-zu-Band Ladungsträgertransport	25
3.1.2	Komplementäre TFETs	31
3.2	Optimierungsmöglichkeiten und Designparameter	37
3.2.1	Steigerung des elektrischen Feldes	38
3.2.2	Variation der Materialparameter	41
3.3	MOSFET und TFET im Vergleich	42
3.3.1	Einsatzspannung, Unterschwellensteigung	45
3.3.2	Scaling	48
3.4	Historie und aktueller Stand der Forschung	51
4	Idee und Realisierung des Spacer-Gate-TFET	55
4.1	Grundkonzept	55
4.2	Prozessschritte im Detail	58
4.2.1	Reinigung und nasschemisches Ätzen	59
4.2.2	Lithografie	60
4.2.3	Schichttechnik	62
4.2.4	Trockenätzen	69
4.2.5	Dotierung	73

4.3	Gesamtprozess	77
4.3.1	Illustration der Prozessfolge	77
4.3.2	Dotierprofile und effektive Kanallänge	84
5	Elektrische Charakterisierung der Spacer-Gate-TFETs	89
5.1	Gatedielektrikum	89
5.2	Transfer- und Ausgangscharakteristiken	92
5.3	Diskussion der elektrischen Ergebnisse	96
6	Schlussfolgerungen und Ausblick	101
6.1	Stärken und Schwächen des Spacer-Gate Konzepts	101
6.1.1	Technologische Möglichkeiten	103
6.1.2	Weiterentwicklung des Spacer-Gate Konzepts	103
6.2	Ausblick	105
A	Technologiedetails	107
A.1	Maskenlayout	107
A.2	Prozessparameter	110
A.3	Materialdaten	114
	Formelzeichen und Abkürzungen	115
	Verzeichnisse	122
	Abbildungen	122
	Tabellen	123
	Literatur	125
	Danksagung	137

Kapitel 1

Einleitung

Vor 60 Jahren, im Juni 1948, wurde von den *Bell Labs* der erste Transistor öffentlich demonstriert. Weniger bekannt, aber ebenso wichtig ist die Demonstration des ersten Metal-Oxide-Semiconductor (MOS) Transistors; damit wurde im Jahre 1960 der Grundstein für die moderne Informationsgesellschaft gelegt [Loj07]. Ohne diese Entdeckungen bzw. Erfindungen würde es heute die vielen elektronische Geräte, wie Taschenrechner, Personal Computer, Mobiltelefone, Internetserver, Laptops, MP3-Player und Multimediageräte, um nur einige der unzählbaren Beispiele zu nennen, in dieser Form nicht geben. Diese rasante Entwicklung der Informations-, Kommunikations- und Unterhaltungstechnologien folgt, angetrieben durch wirtschaftliche Interessen, dem Mooreschen Gesetz.

Das *Mooresche Gesetz* besagt, dass sich durch den technischen Fortschritt die Komplexität von integrierten Schaltkreisen etwa alle 18 bis 24 Monate verdoppelt. Bereits 1965 schrieb Gordon Moore in einem Artikel der Zeitschrift „*Electronics Magazine*“, dass die Dichte der Transistoren auf einer integrierten Schaltung mit der Zeit exponentiell ansteigt und sich jährlich verdoppelt [Moo65]. Erst später wurde eine detailliertere Prognose postuliert, in der G. Moore den zukünftigen Komplexitätszuwachs auch leicht nach unten korrigierte [Moo75]. Ebenso wurde beschrieben, wie der Zuwachs erreicht werden kann: Die größte Bedeutung wurde damals wie heute dem so genannten *Scaling*, also der Verkleinerung der Fläche eines Transistors, zugeschrieben.

Ob es sich beim Mooreschen Gesetz um eine geniale Prognose oder um eine sich selbst erfüllende Prophezeiung handelt spielt keine Rolle¹, das Mooresche Gesetz ist zur Zielvorgabe der Halbleiterindustrie geworden: Dieser Fahrplan wird jedes Jahr in der *International Roadmap for Semiconductors* (ITRS)² von einem internationalen Expertengremium aktualisiert und spezifiziert. Abbildung 1.1 zeigt am Beispiel der DRAM-Dichte wie sich die exponentielle Mi-

¹Der Name Mooresches Gesetz ist durchaus irreführend, da es sich nicht um ein Gesetz handelt.

²<http://www.itrs.net/>

niaturisierung in den letzten Jahren bewahrheitet hat und wo die Prognose bzw. die Ziele der nächsten Jahre liegen.

Das Scaling wird jedoch immer aufwändiger und es wird in der Zukunft an seine physikalischen Grenzen stoßen, da eine Vielzahl von unerwünschten Effekten (z.B. Kurzkanaleffekte, quantenmechanische Effekte) die Eigenschaften der einzelnen Transistoren auf dem Chip beeinträchtigen [ITR07]:

Scaling planar bulk CMOS will face significant challenges due to the high channel doping required, band-to-band tunneling across the junction and gate-induced drain leakage (GIDL), random doping variations, and difficulty in adequately controlling short channel effects.³

Um den Fortschritt und das Wirtschaftswachstum der Halbleiterindustrie und damit auch der Elektronikindustrie zu sichern, werden Lösungen für ein kontinuierliches Scaling gesucht. Neben der Optimierung heutiger Transistoren (MOS-Feldeffekt-Transistoren, MOSFET) wird auch nach Alternativen zu diesem Bauelement gesucht.

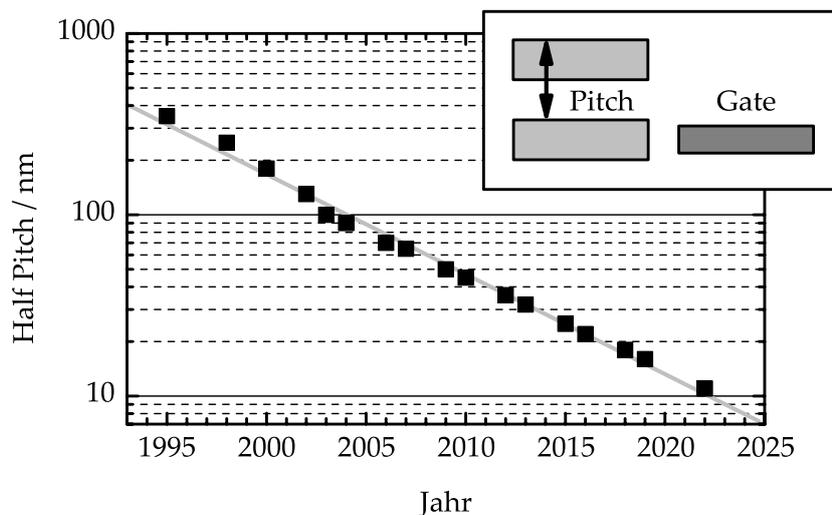


Abbildung 1.1: Entwicklungstendenz in der Halbleiterindustrie anhand des DRAM [ITR07]. Mit „Half Pitch“ wird die Hälfte der kleinst möglichen Wiederholung von Strukturen bezeichnet. Nach diesem Wert wird häufig auch der jeweilige Technologieknoten bezeichnet (z. B. 65 nm-Technologie). Die minimale Gatelänge ist noch kleiner.

Der *Tunnel-Feldeffekt-Transistor* (TFET) ist ein neuartiges Bauelement, welches den MOSFET in Zukunft ersetzen könnte. Das Grundprinzip beruht auf

³Details hierzu werden in Kapitel 2 behandelt.

der Steuerung von quantenmechanischem Tunneln, das beim MOSFET gänzlich unerwünscht ist. Aufgrund der unterschiedlichen Arbeitsweise kann der TFET deutlich stärker verkleinert werden als ein MOSFET und birgt daher großes Potential für zukünftige integrierte Schaltungen auf Halbleiterchips.

Ziel und Aufbau der Arbeit

Das Ziel dieser Arbeit ist die *experimentelle Untersuchung* des Tunnel-Feldeffekt-Transistors, sowie die Charakterisierung und Optimierung von TFETs mit ultra-kurzen Kanallängen. Um einen MOSFET-Nachfolger zu bewerten, ist es notwendig die Funktionsweise, die Eigenschaften und die Grenzen heutiger Bauelemente zu kennen. Diese Punkte werden in Kapitel 2 behandelt. Kapitel 3 stellt den Tunnel-Feldeffekt-Transistor vor: Dies beinhaltet die Erklärung der physikalischen Funktionsweise, die Optimierungsmöglichkeiten, den Vergleich mit dem MOSFET und ein Überblick über bisherige Arbeiten zum TFET.

Die technologische Durchführung dieser Arbeit wird in Kapitel 4 beschrieben. Für die Realisierung von TFETs mit kurzen Kanallängen wurde die so genannte Spacer-Gate-Technologie eingesetzt. Diese neue Herstellungsmethode wird erklärt und das notwendige Zusammenspiel zwischen den Einzelprozessen mit der gesamten Herstellung wird erläutert. Die Ergebnisse der elektrischen Charakterisierung der Spacer-Gate-TFETs werden in Kapitel 5 vorgestellt und diskutiert. Eine allgemeinere Bewertung der Spacer-Gate-Technologie wird in Kapitel 6 vorgenommen. Abschließend zeigt dieses Kapitel Ideen für zukünftige Forschungsarbeiten und gibt einen Ausblick auf mögliche Einsatzgebiete des Tunnel-Feldeffekt-Transistors.

Kapitel 2

Funktionsweise des MOSFET

In der CMOS-Technologie ist der Metal-Oxide-Semiconductor Field-Effect-Transistor (MOSFET) das wichtigste Bauelement. In diesem Kapitel wird die Arbeitsweise eines MOSFET vorgestellt. Abschnitt 2.1 erläutert das physikalische Grundprinzip eines so genannten Langkanal-MOSFET und dessen Eigenschaften bezüglich der Skalierbarkeit.

Abschnitt 2.2 behandelt den MOSFET, wenn die Schwelle vom langen zum kurzen Kanal überschritten wird. Dadurch treten Kurzkanaleffekte auf, welche die elektrischen Eigenschaften verschlechtern und den Entwurf von integrierten Schaltungen aufwändiger gestalten bzw. unmöglich machen. Probleme und mögliche Lösungsansätze werden vorgestellt.

2.1 Langkanal

Ein MOSFET besteht im Wesentlichen aus einer Metal-Oxide-Semiconductor (MOS)-Diode, welche zwischen zwei Kontakten liegt und dadurch den Stromfluss zwischen diesen beiden Kontakten steuert. Der besseren Verständlichkeit halber wird hier nur der selbst sperrende n -MOSFET beschrieben, alle Erläuterungen können aber leicht auf den dazu komplementären p -MOSFET übertragen werden.

2.1.1 MOS-Diode

In Abbildung 2.1 ist der schematische Aufbau einer MOS-Diode zu sehen. Zwischen dem Metall und dem Halbleiter kann idealerweise kein Gleichstrom fließen, es besteht aber eine kapazitive Kopplung zwischen Metall und Halbleiter. Die Kapazität des Gesamtsystems ist abhängig von der Geometrie, den verwendeten Materialien und von der angelegten Spannung. Die angelegte Spannung bestimmt auch die Ladungsverteilung innerhalb der Raumladungszone des Halbleiters.

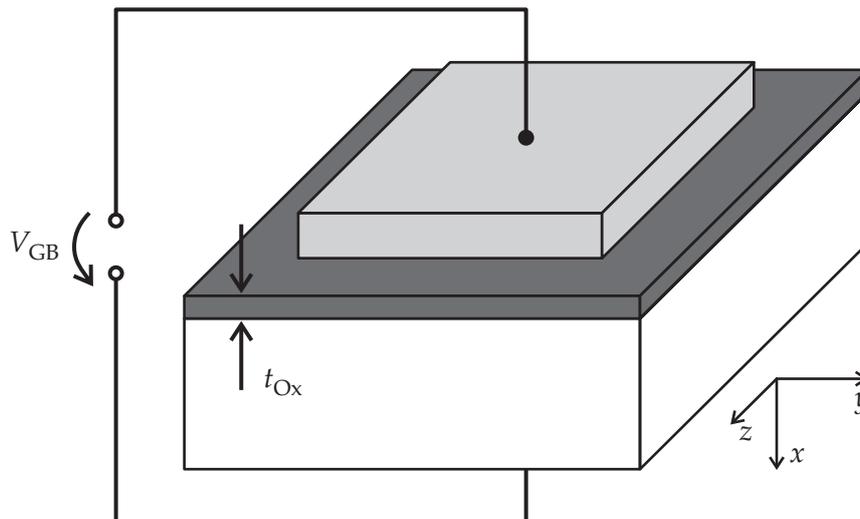


Abbildung 2.1: Schemazeichnung einer MOS Diode mit Koordinatensystem, t_{Ox} ist die Dicke des Gateoxids.

Unter Betriebsbedingungen eines MOSFET befindet sich der Halbleiter unter dem Gateoxid je nach Gate-Bulk-Spannung V_{GB} entweder in

- Verarmung
- schwacher Inversion oder
- starker Inversion.

Der Übergang von schwacher zu starker Inversion liegt per Definition vor, wenn die Bandverbiegung des Halbleiters $2\psi_{\text{B}}$ beträgt, wobei ψ_{B} der energetische Abstand des Fermi-Niveaus E_{F} vom intrinsischen Fermi-Niveau E_{i} im Halbleiter ist und durch die Dotierung im Halbleiter festgelegt wird [Mue91]. Abbildung 2.2 zeigt für diesen Fall das maßstabsgetreue Bänderdiagramm einer MOS-Diode auf p -Silizium. Das Valenzband E_{V} , das Leitungsband E_{C} und die intrinsische Fermi-Energie im Halbleiter werden durch die Gate-Bulk-Spannung V_{GB} und die Austrittsarbeit Φ_{MS} im Bereich der Raumladungszone w_{SC} beeinflusst. In [Nic82] werden die Details der MOS-Diode ausführlich beschrieben.

Die Spannung V_{GB} , bei der die Bandverbiegung $2\psi_{\text{B}}$ vorliegt, wird Einsatzspannung V_{T} genannt. Sie lässt sich berechnen durch

$$V_{\text{T}} = V_{\text{FB}} + 2\psi_{\text{B}} - \frac{Q_{\text{S}}}{C_{\text{Ox}}} \quad (2.1)$$

wobei V_{FB} die Flachbandspannung, Q_{S} die Ladung in der Raumladungszone und C_{Ox} die Oxidkapazität ist. Die Höhe von V_{FB} hängt von der Austrittsarbeit

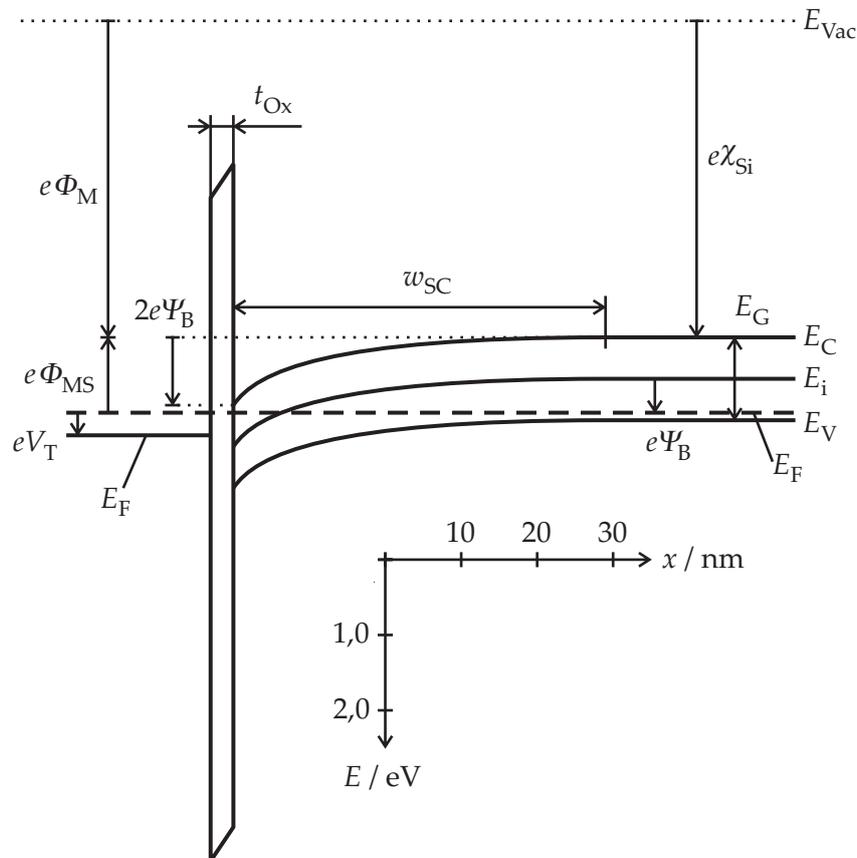


Abbildung 2.2: Maßstabstreues Bänderdiagramm einer MOS-Diode mit anliegender Einsatzspannung $V_{GB} = V_T$. Substrat: p -dotiertes Silizium $N_A = 5E17/\text{cm}^3$, Gatedielektrikum: 3 nm SiO_2 , Gatematerial: entartetes n -Polysilizium.

des Gatematerials Φ_M , der Dotierung des Halbleiters, Ladungen im Oxid und Grenzflächenzuständen ab. Steigt V_{GB} über V_T , so erhöht sich die Anzahl der Inversionsladungsträger an der Siliziumgrenzfläche exponentiell [Mue91]. Die Einsatzspannung ist eine wichtige charakteristische Größe des MOSFET, da ab dieser Schwelle das Bauelement eingeschaltet wird, also ein Strom von Source nach Drain fließt.

2.1.2 n -MOSFET

Abbildung 2.3 zeigt den schematischen Aufbau eines MOSFET mit den vier Anschlüssen: Source, Drain, Gate und Bulk. L und W bezeichnen die Kanallänge und -weite. Die Gateelektrode ist durch das dünne Gateoxid vom p -dotierten Siliziumsubstrat (Bulk) elektrisch isoliert. Die Source- und Draingebiete sind n -dotiert und bilden zusammen mit dem Substrat zwei pn -Dioden.

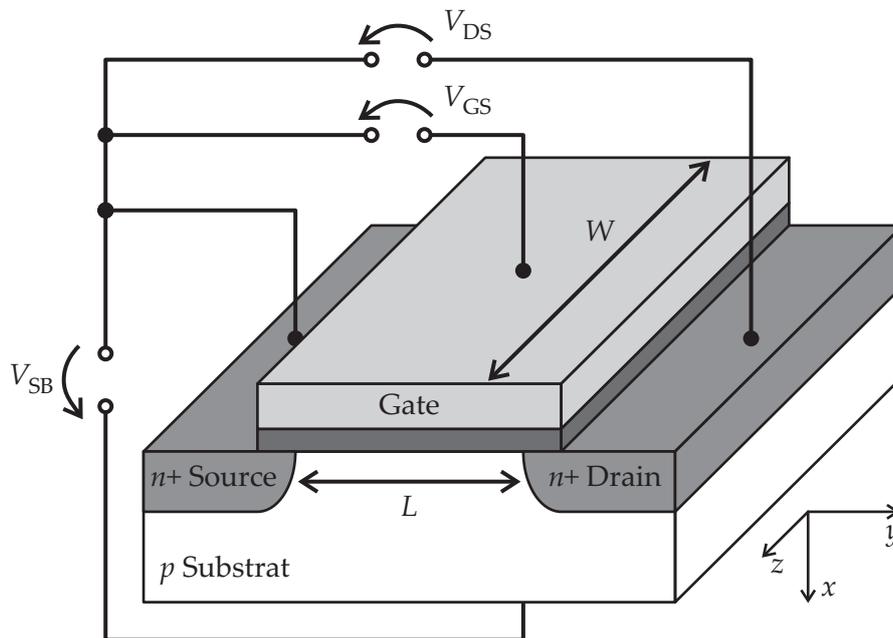


Abbildung 2.3: Schemazeichnung eines n -Kanal MOSFET mit den zugehörigen Betriebsspannungen und ausgewählten Geometrieparametern.

Das Kanalgebiet unter dem Gate ist üblicherweise für die Einstellung der Einsatzspannung etwas höher p -dotiert als das Substrat, es bildet aber mit Source und Drain ebenfalls zwei Dioden. Generell gilt, dass der MOSFET ein symmetrisches Bauelement bezüglich der Kontakte Source und Drain ist. Erst durch die äußere Beschaltung wird die unterschiedliche Bezeichnung sinnvoll. Beim n -MOSFET sind die Spannungen V_{DS} und V_{GS} größer als 0 V , so dass die Source auch als Quelle der Elektronen und Drain als Senke der Elektronen bezeichnet wird. Betrachtet man den Bereich von Source nach Drain so stellt man fest, dass unabhängig von der äußeren Beschaltung eine dieser beiden Dioden immer in Sperrrichtung gepolt ist. Über das Substrat kann also kein Strom von Source nach Drain fließen.

Im ausgeschalteten Zustand ($V_{GS} \ll V_T$) befindet sich der Halbleiter unter dem Gate, das so genannte Kanalgebiet, in Verarmung (vgl. Abschnitt 2.1.1). Die Anzahl der freien Ladungsträger, die zum Stromtransport beitragen könnten ist also vernachlässigbar klein und der Transistor sperrt.

Bei einer Spannung V_{GS} oberhalb von V_T liegt im Kanalgebiet starke Inversion vor. Die Anzahl der Minoritätsladungsträger unter dem Gate ist um einige Größenordnungen höher und der so gebildete Elektronenkanal ermöglicht den Stromfluss von Source nach Drain: Der Transistor ist leitend.

IV-Kennlinien

Die elektrischen Kennlinien eines MOSFET lassen sich in drei Bereiche untergliedern:

- *Unterschwellenbereich*
Für $V_{GS} < V_T$ besteht eine exponentielle Abhängigkeit des Drainstromes I_D von der Gate-Source-Spannung V_{GS} .
- *Aktiver Bereich*¹
Der aktive Bereich ($V_{GS} > V_T$ und $V_{DS} < (V_{GS} - V_T)$) unterteilt sich in ein lineares und ein nichtlineares Gebiet. Bei kleiner Spannung V_{DS} verhält sich der MOSFET wie ein elektrischer Widerstand, wobei die Höhe des Widerstandes von V_{GS} gesteuert wird. Vergrößert sich V_{DS} , so überwiegt der quadratische Zusammenhang zwischen I_D und V_{DS} (vgl. Gl. 2.4).
- *Drainstromsättigung*
Für große Drain-Source-Spannungen ($V_{DS} > (V_{GS} - V_T)$) und $V_{GS} > V_T$ geht der Drainstrom I_D in Sättigung und ist nahezu konstant. Der Betrag von I_D hängt wiederum von V_{GS} ab.

Die Abbildungen 2.4 und 2.5 zeigen typische Transfer- und Ausgangskennlinienfelder eines Langkanal- n -MOSFET.

Die Eigenschaften des *Unterschwellenbereichs* sind in der logarithmischen Darstellung der Transferkennlinie gut zu erkennen. Sie zeigt die exponentielle Abhängigkeit des Drainstromes I_D von der Gate-Source-Spannung V_{GS} . Eine weitere wichtige Kenngröße von MOSFETs ist die Unterschwellensteigung S . Sie ist definiert durch [Tau98a]

$$S := \left(\frac{\partial(\log_{10} I_D)}{\partial V_{GS}} \right)^{-1} = \ln(10) \frac{k_B T}{e} \left(1 + \frac{C_{Par}}{C_{Ox}} \right), \quad (2.2)$$

wobei C_{Ox} die Oxidkapazität ist und C_{Par} die Summe von parasitären Kapazitäten, welche von der Raumladungszone, der Transistorgeometrie und den Grenzflächenzuständen des Oxids abhängen. Für gute Schalteigenschaften und eine geringe Leistungsaufnahme von integrierten Schaltungen ist man bestrebt S so klein wie möglich zu halten. Die untere Grenze von S beträgt bei Raumtemperatur

$$S(T = 300 \text{ K}, C_{Ox} \gg C_{Par}) \approx 60 \frac{\text{mV}}{\text{dec}}. \quad (2.3)$$

Dieses physikalische Limit der Unterschwellensteigung birgt eine große Schwierigkeit bei der Verkleinerung von MOSFETs und wird in Abschnitt 2.2.1 nochmals aufgegriffen.

¹Der aktive Bereich wird teilweise auch als Triodenbereich bezeichnet [Til05].

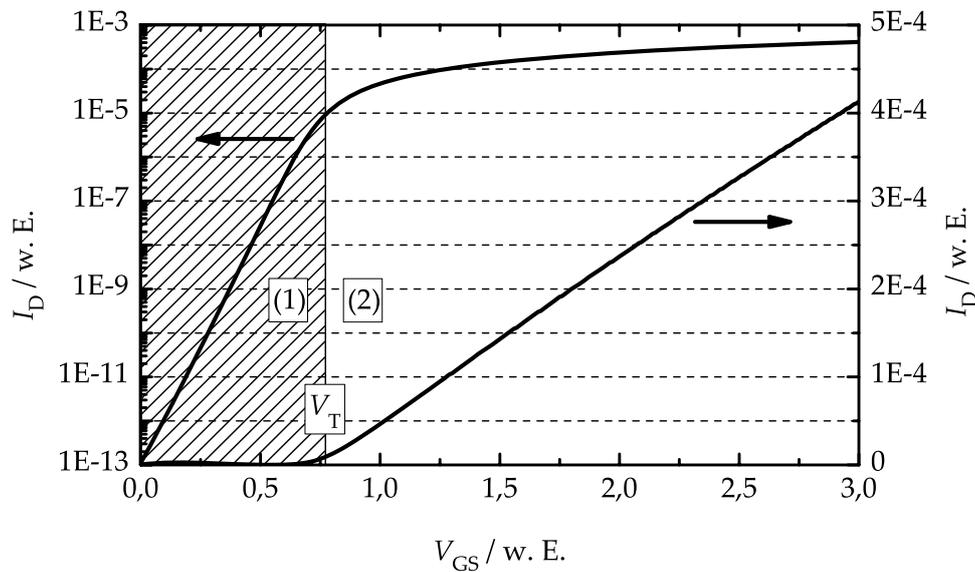


Abbildung 2.4: Typische Transferkennlinie eines Langkanal-MOSFET bei niedriger Drain-Source-Spannung V_{DS} . Die Kennlinie ist sowohl logarithmisch (linke Achse) als auch linear (rechte Achse) dargestellt. (1) entspricht dem Unterschwellenbereich und (2) dem aktiven Bereich.

Der Drainstrom I_D im *aktiven Bereich* kann unter Verwendung der Gradual-Channel-Approximation und der Charge-Sheet-Approximation [Bre78] mit folgender Gleichung beschrieben werden [Tau98a]

$$I_D = \mu_{\text{eff}} C_{\text{Ox}} \frac{W}{L} \left((V_{GS} - V_T) V_{DS} - \frac{1}{2} (V_{DS})^2 \right), \quad (2.4)$$

wobei μ_{eff} die effektive Beweglichkeit der Ladungsträger im Kanal und V_T die Einsatzspannung sind. In der linearen Darstellung von Abb. 2.4 ist I_D oberhalb von V_T zu sehen. Durch lineare Interpolation des aktiven Bereichs kann V_T bestimmt werden. Der aktive Bereich ist in Abb. 2.5 auf der linken Seite zu finden.

Im *Sättigungsbereich* kann I_D durch

$$I_D = I_{D\text{sat}} = \mu_{\text{eff}} C_{\text{Ox}} \frac{W}{L} \frac{1}{2} (V_{GS} - V_T)^2 \quad (2.5)$$

beschrieben werden [Tau98a]. I_D geht für große V_{DS} in Sättigung, hier sind die Voraussetzungen für die Gradual-Channel-Approximation nicht mehr gültig und die Elektronen im Kanal entfernen sich von der Siliziumoberfläche (Abschnürpunkt). Insbesondere in analogen Schaltungen ist ein gutes Sättigungsverhalten sogar erwünscht, da dies die Arbeitspunkteinstellung bei Schaltungen erleichtert.

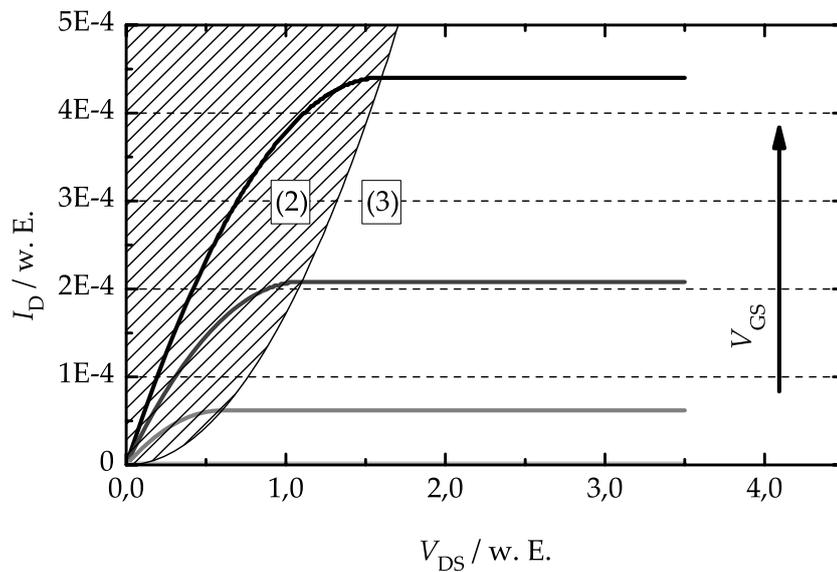


Abbildung 2.5: Ideales Ausgangskennlinienfeld eines Langkanal-MOSFET bei verschiedenen Gate-Source-Spannungen V_{GS} . (2) entspricht dem aktiven Bereich und (3) dem Bereich der Drainstromsättigung.

Wird die Drain-Source-Spannung V_{DS} noch weiter erhöht, so verlagert sich der Abschnürpunkt des Kanals weiter weg von dem Draingebiet. Dadurch verringert sich die effektive Kanallänge und der Drainstrom I_D steigt mit ansteigender V_{DS} langsam an. Dieser Anstieg wird als Early-Effekt oder *Kanallängenmodulation* bezeichnet.

Bandstruktur

Um die physikalischen Vorgänge in einem MOSFET besser zu verstehen werden in diesem Abschnitt die Bandstrukturen eines n -MOSFET bei verschiedenen Betriebszuständen gezeigt. Dieser Einblick erleichtert in Kapitel 3 den Vergleich von MOSFET und TFET.

Abbildung 2.6a zeigt die räumliche Lage des Bauelements für die mehrdimensionale Darstellung des Valenz- und des Leitungsbandes. An der Position $x = 0$ liegt die Grenzfläche zwischen dem Gatedielektrikum und dem Siliziumsubstrat. Die Position $y = 0$ liegt in der Kanalmitte des MOSFET. In z -Richtung ändert sich bei genügend großer Kanalweite nichts, daher ist in den folgenden Diagrammen auf der dritten Achse die Energie aufgetragen. In Abbildung 2.6b sind die Bänder im Gleichgewichtszustand dargestellt. Zwischen Source und Drain liegt deutlich sichtbar eine Barriere. Die Drain- und die Sourcedotierung fallen ab einer Tiefe von ca. 20 nm langsam ab, was sich an dem Anstieg von Valenz- und Leitungsband zeigt. Das Kanalgebiet unter dem Gate befindet sich aufgrund der Austrittsarbeitdifferenz Φ_{MS} bereits in

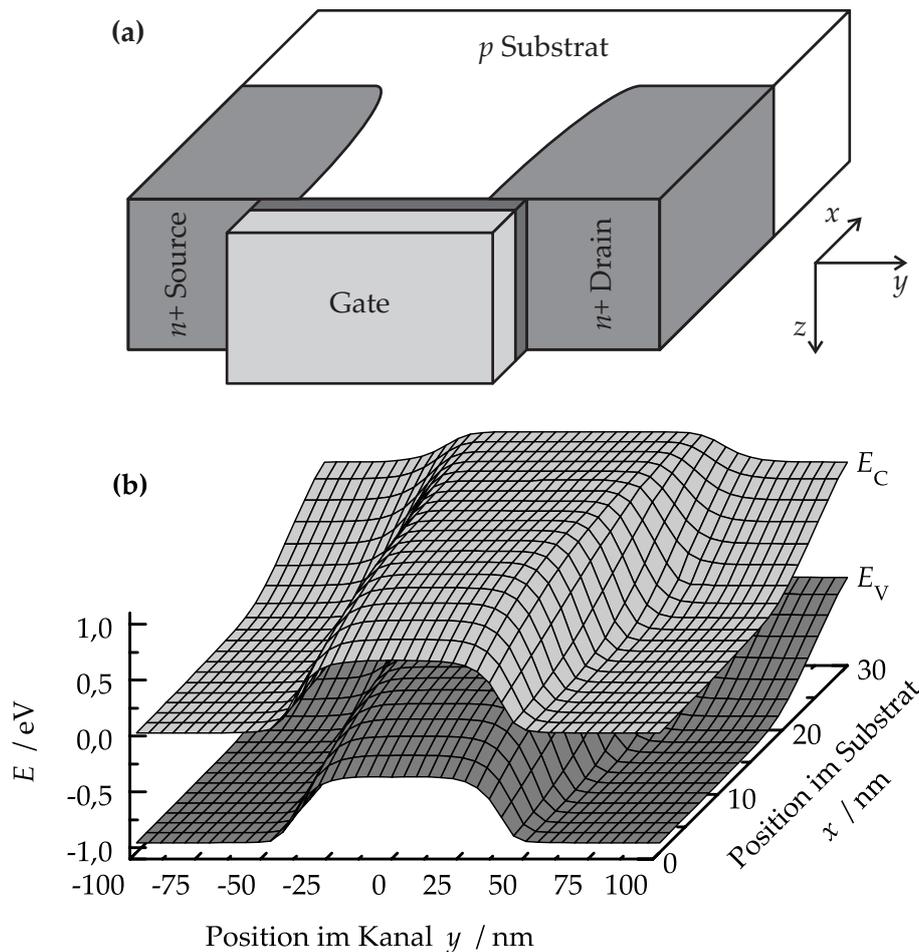


Abbildung 2.6: Zweidimensionales Leitungsband E_C und Valenzband E_V eines n -Kanal MOSFET, simuliert in verschiedenen Betriebszuständen. Der Source- und der Substratkontakt liegen auf dem elektrischen Potenzial 0 V.

(a) Räumliche Lage und Beschaltung des Bauelements.

(b) Gleichgewichtszustand: $V_{DS} = V_{GS} = 0$ V.

Verarmung (vgl. Abschn. 2.1.1).

Die Barriere zwischen Source und Drain ist auch in Abbildung 2.6c vorhanden, so dass weiterhin kein Strom I_D fließen kann, obwohl zwischen den beiden Wannen eine Potentialdifferenz von einem Volt anliegt. Anhand der Form der Bänder an der Position $x = 30$ nm sieht man ebenfalls, dass die Raumladungszone auf der Drainseite nun größer ist als auf der Sourceseite. In Abbildung 2.6d befindet sich der MOSFET bereits in der Drainstromsättigung. Die Barriere ist durch die positive Gate-Source-Spannung fast verschwunden, es hat sich ein Elektronenkanal gebildet und I_D fließt von Drain nach Source bzw. die Elektronen bewegen sich wie in Abbildung 2.6d schematisch dargestellt von Source nach Drain.

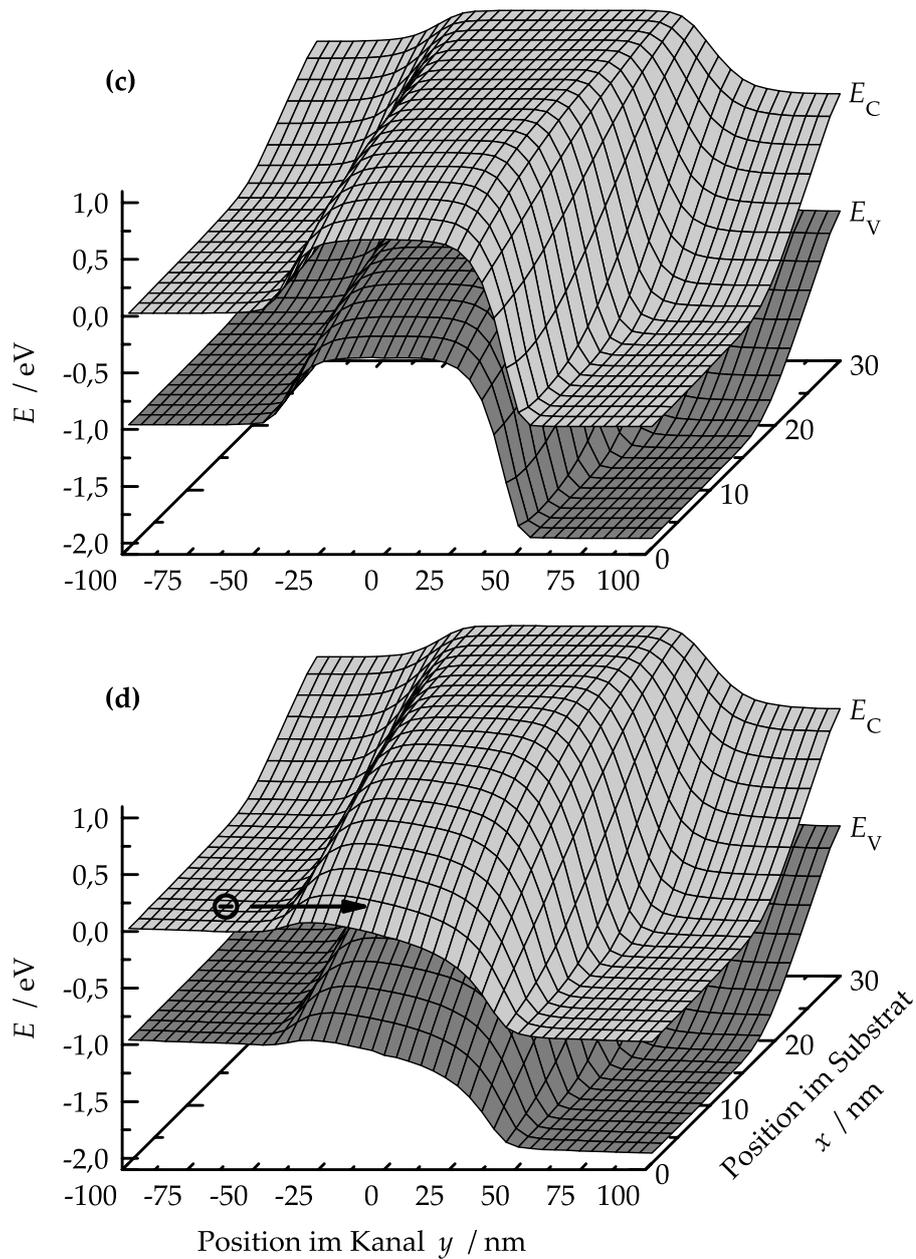


Abbildung 2.6: Fortsetzung: Zweidimensionales Leitungsband E_C und Valenzband E_V eines n -Kanal MOSFET, simuliert in verschiedenen Betriebszuständen.
 (c) $V_{DS} = 1$ V, $V_{GS} = 0$ V, die Barriere verhindert einen Stromfluss.
 (d) $V_{DS} = 1$ V, $V_{GS} = 2$ V, Elektronen werden gemäß dem eingezeichneten Pfeil von Source nach Drain transportiert.

2.1.3 Scaling

Der MOSFET ist ein Feldeffekt-Bauelement, dies bedeutet, dass die Eigenschaften des Transistors durch das elektrische Feld im Halbleiter bestimmt

werden. Hier liegt der große Vorteil von MOSFETs: Achtet man beim Entwurf eines neuen Transistors darauf, dass die elektrischen Felder die gleiche Größe wie bei vorherigen Entwürfen besitzen, so kann man die gleiche Funktionalität wie beim vorherigen Bauelement erwarten. Diese Tatsache macht sich die Halbleiterindustrie zu Nutze, um die Bauelemente in integrierten Schaltungen immer weiter zu verkleinern und gleichzeitig den Leistungsverbrauch pro Rechenoperation zu verringern. Tabelle 2.1 zeigt die wichtigsten Parameter beim Bauelementedesign und deren Veränderung beim so genannten idealen Scaling. Der Scaling-Faktor s von einem zum nächsten Technologieknoten beträgt üblicherweise $1/\sqrt{2}$.

Diese Regeln für das Scaling gelten nur für Langkanal-Bauelemente und so lange quantenmechanische Effekte wie z.B. das Tunneln von Ladungsträgern vernachlässigt werden können.

Parameter	Skalierung
<i>Design Veränderungen</i>	
laterale Abmessungen W, L	$\cdot s$
vertikale Abmessungen t_{Ox}, r_j	$\cdot s$
Versorgungsspannung V_{DD}	$\cdot s$
Kanaldotierung N_{A}	$/ s$
<i>Resultierende Veränderungen</i>	
Elektrisches Feld F	$\cdot 1$
Fläche A	$\cdot s^2$
Gatekapazität C_{Ox}	$\cdot s$
Transistor Laufzeit τ	$\cdot s$
Leistungsaufnahme	$\cdot s^2$
Leistungsaufnahme pro Schaltzyklus	$\cdot s^3$
Leistungsdichte	$\cdot 1$
Einsatzspannung V_{T}	<i>nicht linear</i>
Unterswellensteigung S	<i>nicht linear</i>
Weite der Raumladungszonen $w_{\text{S}}, w_{\text{D}}$	<i>nicht linear</i>

Tabelle 2.1: Parameterveränderungen beim idealen Scaling und deren wichtigste Auswirkungen beim Langkanal-MOSFET; s wird Scaling-Faktor genannt und es gilt: $s < 1$.

2.2 Kurzkanal

In Abschnitt 2.1 wurden die Eigenschaften und die Skalierbarkeit des MOSFETs besprochen. Voraussetzung für die genannten Eigenschaften ist, dass es sich um ein Langkanal-Bauelement handelt. Diese Voraussetzung ist nur dann erfüllt, wenn das Gate eine starke elektrostatische Steuerwirkung über die ganze Kanallänge ausübt. Die Gate-Steuerwirkung ist vor allem von der Oxiddicke t_{Ox} und von der Weite der Source- und Drainraumladungszonen w_{S} und w_{D} abhängig. J. R. Brews *et al.* ermittelten folgende empirische Formel um den Übergang vom Langkanal- zum Kurzkanal-Bauelement zu bestimmen [Bre80]:

$$L_{\min} = 0,41 \cdot \sqrt[3]{r_j t_{\text{Ox}} (w_{\text{S}} + w_{\text{D}})^2} . \quad (2.6)$$

L_{\min} ist die minimale Kanallänge bei der man noch von einem Langkanal-Bauelement sprechen kann; r_j bezeichnet die Tiefe der Source- und Drain-Dotierprofile.

Um dem *Moore'schen Gesetz* (s. Kap. 1) folgen zu können, wird bei heutigen MOSFETs die Grenze L_{\min} unterschritten. Bei diesen kleinen Geometrien müssen quantenmechanische Effekte und die so genannten Kurzkanaleffekte berücksichtigt werden. Diese Effekte verschlechtern die Transistoreigenschaften maßgeblich und ziehen daher eine Reihe von Schwierigkeiten nach sich.

2.2.1 Schwierigkeiten bei kleinen Geometrien

Durch kontinuierliches Scaling entstehen Bauelemente, deren elektrisches Verhalten sich nicht mehr richtig durch die Gleichungen aus Abschnitt 2.1 darstellen lässt. Hochfeldeffekte, Kurzkanaleffekte und quantenmechanische Effekte spielen hierbei die größte Rolle. Außerdem ist zu berücksichtigen, dass nicht alle Bauelementeparameter eine lineare Abhängigkeit von dem Scaling-Faktor s zeigen (vgl. Tab. 2.1). Insbesondere die Unterschwellensteigung S bleibt nahezu konstant bzw. steigt sogar leicht an. Daher wird heutzutage auch die Versorgungsspannung V_{DD} und die Einsatzspannung V_{T} nicht im gleichen Maße wie die Kanallänge reduziert und die elektrischen Felder werden größer.

Wird die Einsatzspannung V_{T} trotz annähernd konstantem S verringert, so führt das unweigerlich zu einer Vergrößerung des Leckstroms im ausgeschalteten Zustand des Transistors ($V_{\text{GS}} = 0\text{V}$). Dies ist leicht zu sehen, wenn man die logarithmisch dargestellte Transferkennlinie in Abbildung 2.4 nach links verschiebt; dies spiegelt eine Verkleinerung von V_{T} wieder. Weitere Details hierzu und zu anderen Leckstrommechanismen im MOSFET finden sich in einer Zusammenfassung von K. Roy *et al.* [Roy03].

Hochfeldeffekte

Sind die elektrischen Felder im MOSFET zu groß, so treten an verschiedenen Stellen im MOSFET so genannte *High-Field-Effects* auf. Diese können prinzipiell auch bei Langkanal-MOSFETs vorkommen, dort kann man sie aber leichter unterdrücken oder verhindern. Die wichtigsten Hochfeldeffekte sind:

- Geschwindigkeitssättigung der Ladungsträger
- Durchbruchmechanismen
 - Lawinendurchbruch
 - Durchgreifeffekt (Punch-Through)
 - Durchbruch des Gatedielektrikums

Eine detaillierte Beschreibung und Erläuterung der Hochfeldeffekte findet sich z. B. in [Pau94].

Kurzkanaleffekte

Sind die Raumladungszonen auf der Source- und Drainseite w_S und w_D nicht mehr klein gegenüber der gesamten Kanallänge L , so treten Kurzkanaleffekte auf. Das Sättigungsverhalten des Transistors wird schlechter, da sich bei kleinerem L die Kanallängenmodulation immer stärker auswirkt (vgl. Abschn. 2.1.2). Außerdem kommt es zu einer Herabsetzung der Einsatzspannung V_T , zudem ist V_T nicht mehr unabhängig von der angelegten Drain-Source-Spannung V_{DS} . Dieser Effekt wird drainspannungsbedingte Potenzialbarrieren-Absenkung genannt; gebräuchlicher ist die Abkürzung *DIBL*, welche von der englischen Bezeichnung *drain-induced barrier lowering* stammt.

In Abbildung 2.7 ist das Leitungsband entlang des Kanals von n -MOSFETs mit verschiedenen Kanallängen im ausgeschalteten Zustand dargestellt. Man erkennt zwei Phänomene: Betrachtet man das Leitungsband eines Transistors bei unterschiedlicher Drain-Source-Spannung V_{DS} , so erkennt man die Absenkung der Potenzialbarriere in Abhängigkeit von V_{DS} (DIBL). Vergleicht man die Potentialbarriere von Bauelementen mit unterschiedlicher Kanallänge bei gleicher V_{DS} , so wird deutlich, dass die Barrieren sowohl schmaler als auch niedriger werden. Dies hat einen Anstieg des Leckstroms von Drain nach Source zur Folge [Roy03].

Abbildung 2.8 zeigt die Auswirkung der Kurzkanaleffekte auf die elektrischen Eigenschaften eines n -MOSFET. Abgesehen von der Kanallänge sind in den Simulationen alle Bauelementeparameter identisch. In Abbildung 2.8a sind die Transfercharakteristiken dargestellt. Man erkennt, dass mit sinkender Kanallänge die Stromergiebigkeit steigt und gleichzeitig die Einsatzspannung V_T sinkt. Der DIBL zeigt sich im Unterschwellenbereich der MOSFETs: Je

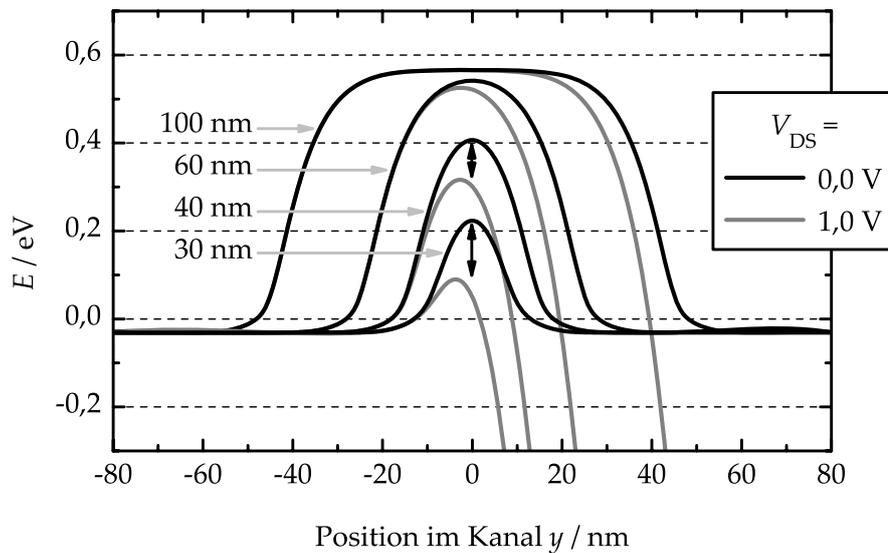


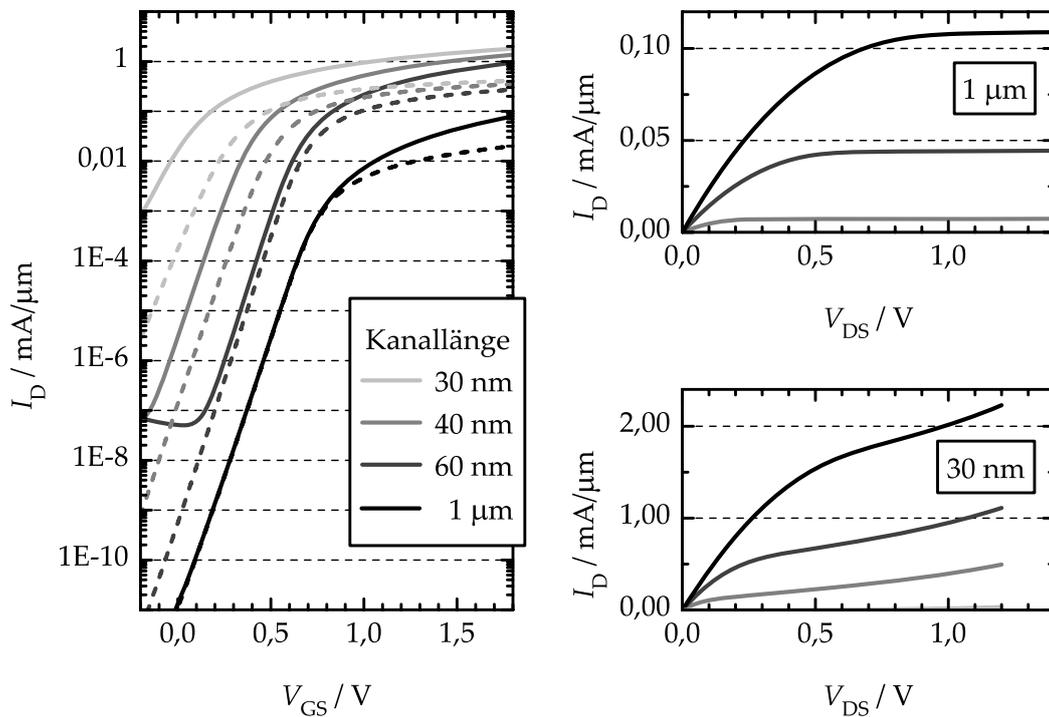
Abbildung 2.7: Simulierte Leitungsbänder von MOSFETs mit den Kanallängen $L = 100 \text{ nm}$, 60 nm , 40 nm und 30 nm . Die angelegte Drainspannung V_{DS} liegt bei 0 V bzw. $1,0 \text{ V}$; $V_{GS} = 0 \text{ V}$. Die eingezeichneten Doppelpfeile verdeutlichen den DIBL bei kleinem L .

kleiner die Kanallänge, desto größer ist die Abhängigkeit von V_T von der angelegten Drain-Source-Spannung V_{DS} . In den Ausgangscharakteristiken von Abbildung 2.8b erkennt man das schlechte Sättigungsverhalten von Bauelementen mit kurzer Kanallänge und die Gefahr des *Punch-Through* bei steigender Drain-Source-Spannung V_{DS} .

Quantenmechanische Effekte

Bei kleinen Geometrien können quantenmechanische Effekte wie das Tunneln von Ladungsträgern nicht mehr vernachlässigt werden. Folgende Tunnelmechanismen können im MOSFET auftreten:

- Tunneln durch das Gatedielektrikum
 - Direktes Tunneln
 - Fowler-Nordheim Tunneln
- Direktes Tunneln von Source nach Drain



(a) Simulierte Transfercharakteristiken von n -MOSFETs mit den Kanallängen $L = 1 \mu\text{m}$, 60 nm , 40 nm und 30 nm . V_{DS} beträgt bei den durchgezogenen Linien 1 V und bei den gestrichelten Linien 100 mV .

(b) Simulierte Ausgangscharakteristiken von n -MOSFETs mit den Kanallängen $L = 1 \mu\text{m}$ und 30 nm bei unterschiedlichen Gate-Source-Spannungen.

Abbildung 2.8: Auswirkungen der Kurzkanaleffekte auf die elektrischen Eigenschaften eines n -MOSFET.

- Band-zu-Band Tunneln²
 - Tunneln am pn -Übergang des Draingebietes
 - Gatespannungsbedingter Drainleakstrom (gate-induced drain leakage, GIDL)

Liegt die Dicke des Gateoxids t_{Ox} unterhalb von 3 nm , so wird der Gateleckstrom maßgeblich von direktem Tunneln durch das Gateoxid beeinflusst, dieses tritt schon bei kleinen elektrischen Feldern auf. Fowler-Nordheim Tunneln hingegen kann auch bei dickeren Oxiden beobachtet werden und ist stark abhängig von der angelegten Gate-Source-Spannung [Shi98]. Gateleckströme

²Band-zu-Band Tunneln bzw. Interbandtunneln tritt nur bei sehr hohen elektrischen Feldern auf, daher wird es manchmal auch den *high-field effects* zugeordnet.

erhöhen die statische Leistungsaufnahme von ICs und sind daher gänzlich unerwünscht.

Direktes Tunneln von Source nach Drain spielt bei heutigen Bauelementen noch keine große Rolle, es kann beim n -MOSFET erst beobachtet werden, wenn die Barrierenbreite des Leitungsbandes unterhalb von 10 nm liegt (vgl. Abb. 2.7). Direktes Tunneln wird aber als finale Limitierung des Scaling angesehen, denn sobald es auftritt, kann der Transistor nicht mehr ausgeschaltet werden.

Band-zu-Band Tunneln am pn -Übergang des Draingebietes ist die Folge von scharfen Übergängen von einer hohen p^+ zu einer hohen n^+ Dotierung. Hierbei kommt es auch ohne äußere Einflüsse zu einer starken Bandverbiegung, welche das Tunneln ermöglicht. Wichtiger in heutigen MOSFETs ist hingegen das Interbandtunneln, welches durch das Gatepotenzial ausgelöst wird. Abhängig von den angelegten Spannungen V_{DS} und V_{GS} bilden sich am Überlapp von Gate und Drain starke elektrische Felder aus, welche eine starke Bandverbiegung mit sich ziehen und daher Band-zu-Band Tunneln ermöglichen. Ansatzweise ist dies in Abbildung 2.6c bereits zu sehen. Interbandtunneln ist beim MOSFET unerwünscht, beim TFET hingegen wird dieser Effekt zur Steuerung des Drainstromes ausgenutzt (s. Kap. 3).

2.2.2 Lösungsansätze

Es gibt eine Vielzahl an Vorschlägen, um die im vorherigen Abschnitt geschilderten Probleme zu lösen oder deren Auswirkungen zu vermindern. Die wichtigsten sollen hier kurz vorgestellt werden.

Angepasste Dotierprofile

Um einen weiteren Freiheitsgrad zur Einstellung der Einsatzspannung und damit zur Optimierung der elektrischen Eigenschaften zu erhalten, wird im Kanalgebiet eine so genannte *retrograde Dotierung* eingesetzt. D. h. unmittelbar unter dem Gateoxid ist die Kanaldotierung niedriger als tiefer im Substrat [Tau98a].

Bei kurzen Kanallängen kommt es leicht zu einem Punch-Through. Um dies zu vermeiden, werden so genannte *Halo* oder *Super Halo Dotierungen* verwendet [Cod85, Tau98b]. Durch schräge Dotierstoffimplantation wird unter dem Kanal zwischen Source und Drain eine hohe Gegendotierung eingebracht, um die Weite der Raumladungszonen zu verkleinern, dadurch werden auch die Kurzkanaleffekte verringert. Die großen Dotierstoffgradienten von Halos sind technologisch schwer herstellbar und bergen gleichzeitig die Gefahr von unerwünschten Band-zu-Band Tunnelströmen.

High- k Gatedielektrika

Aufgrund von quantenmechanischen Tunnelströmen steigt der Gateleckstrom bei dünnen Oxiden stark an. Um die Gatekapazität beim Scaling trotzdem weiter erhöhen zu können, liegt es nahe das Gatedielektrikum SiO_2 durch ein anderes Material zu ersetzen, welches eine größere Dielektrizitätskonstante ϵ_r (engl. k) besitzt. Dadurch kann die geometrische Dicke des Dielektrikums größer gewählt werden als bei SiO_2 und das Tunneln wird unterdrückt.

Ein geeignetes high- k Dielektrikum muss viele Voraussetzungen wie z. B. die richtige Bandstruktur, eine gute Grenzfläche zu Silizium, reproduzierbare Abscheidung und hohe Zuverlässigkeit erfüllen [Huf05]. Trotz langjähriger Arbeiten auf diesem Gebiet wird erst seit kurzem ein Hafnium-basiertes high- k Material industriell eingesetzt [Mis07].

Silizium-Germanium

Für Silizium-Germanium-Schichten (SiGe) gibt es mehrere Einsatzgebiete im MOSFET. In verspanntem SiGe besitzen Elektronen und Löcher eine höhere Beweglichkeit als in unverspanntem Silizium, so dass SiGe im Kanal zu schnelleren Bauelementen mit höherer Stromergiebigkeit führt. Durch SiGe kann aber auch das Gitter einer dünnen Siliziumschicht verspannt werden, hierdurch ändert sich im Silizium ebenfalls die Beweglichkeit der Ladungsträger [Arm99]. In manchen Fällen wird anstelle von SiGe auch reines Germanium verwendet [Lee03].

Der Einsatz von SiGe in den Source- und Draingebieten kann außerdem die Zuleitungswiderstände eines Bauelements vermindern, da SiGe höher dotiert werden kann als reines Silizium.

Silicon-on-Insulator

Auf der Oberseite von silicon-on-insulator Wafern (SOI) befindet sich eine dünne, kristalline Siliziumschicht, welche durch das vergrabene Oxid (engl. buried oxide, BOX) von dem eigentlichen Substrat elektrisch isoliert ist. Abbildung 2.9 zeigt einen MOSFET auf einem SOI-Substrat.

Vorteile von SOI-Substraten sind die Eliminierung von Leckströmen durch das Substrat, die Verringerung von parasitären Kapazitäten von Source und Drain, eine verbesserte und platzsparende Isolation der Bauelemente untereinander und die höhere Strahlungsbeständigkeit. Bei sehr dünnen Siliziumschichten t_{Si} kommt es zudem zu einer Reduzierung der Kurzkanaleffekte (fully-depleted SOI). Nachteile sind die deutlich höheren Waferkosten und die schlechtere Wärmeleitung durch das BOX.

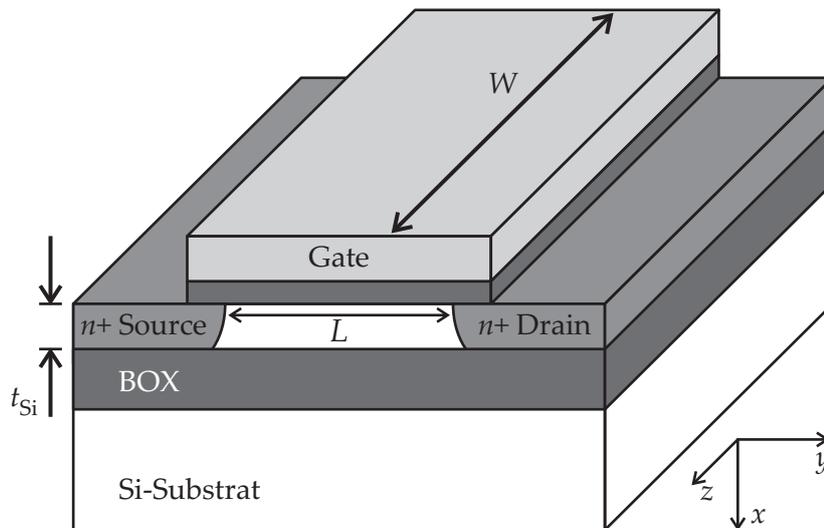


Abbildung 2.9: Schemazeichnung eines n -MOSFET aus silicon-on-insulator (SOI). t_{Si} bezeichnet die Dicke der Siliziumschicht. Durch das vergrabene Oxid (BOX) ist der Transistor vom Substrat isoliert.

Multiple-Gate-MOSFET

Der Name Multiple-Gate-MOSFET bezeichnet ganz allgemein Bauelemente, bei denen mehr als ein Gate den Drainstrom steuert. Verschiedene Bauformen gehen vom *Double-Gate*, über den *Triple-Gate* bis zum *Gate-All-Around-MOSFET*. In Abbildung 2.10 ist exemplarisch ein so genannter FinFET dargestellt, ein Tri-Gate-MOSFET, bei dem das Silizium wie eine Finne auf dem Wafer steht. Wie schon bei SOI-Bauelementen ist das aktive Silizium durch Siliziumdioxid vom Substrat elektrisch isoliert; der Strom fließt hier in z -Richtung.

Multiple-Gate-Transistoren haben den Vorteil, dass man auf einer kleinen Grundfläche eine größere Kanalweite W erreicht und damit Fläche einspart. In Abbildung 2.10 ist die Kanalweite von der Höhe h_{Si} und der Dicke t_{Si} der Siliziumfinne abhängig; es gilt: $W = 2 \cdot h_{\text{Si}} + t_{\text{Si}}$. Ein weiterer großer Vorteil von Multiple-Gate-Transistoren kommt bei sehr dünnem Silizium zum Tragen: Dann überlappt in der Mitte des Siliziums die Gate-Steuerwirkung von den umliegenden Gates und die Kurzkanaleffekte werden deutlich reduziert [Col04].

2.3 Zusammenfassung

Auf heutigen ICs ist der MOSFET das am häufigsten eingesetzte Bauelement. Das Scaling erlaubt eine planbare, kontinuierliche Verkleinerung des MOSFET,

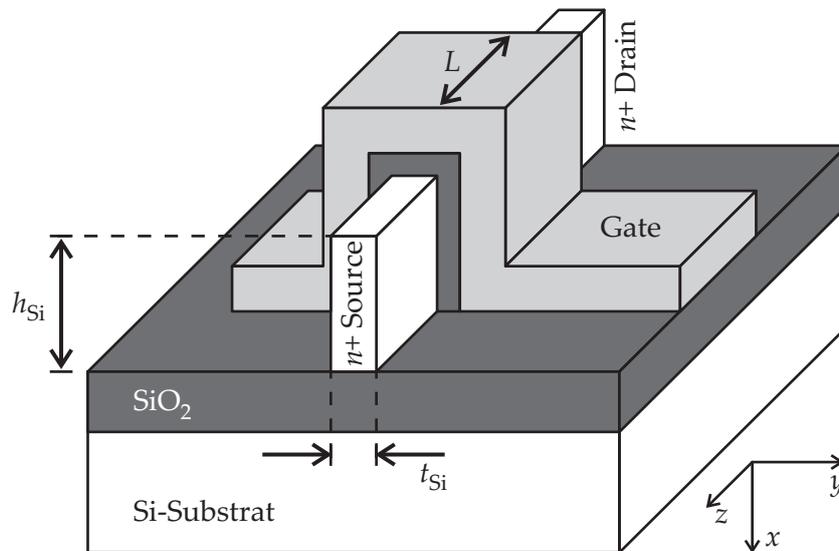


Abbildung 2.10: Schemazeichnung eines n -Kanal FinFET. t_{Si} bezeichnet die Dicke und h_{Si} die Höhe der Siliziumfinne.

die neben der höheren Packungsdichte auch eine höhere Geschwindigkeit der ICs erlaubt. Enorme Produktivitätssteigerung sind dadurch möglich.

Wie in Abschnitt 2.2.1 beschrieben, ist es aber bei heutigen Bauelementgrößen nicht mehr möglich konventionelles Scaling zu betreiben. Es gibt viele Lösungsansätze (s. Abschn. 2.2.2), um die Schwierigkeiten bei kleinen Geometrien zu überwinden, von denen heute einige auch schon industriell eingesetzt werden. Dennoch gibt es eine physikalische Grenze, ab welcher der MOSFET nicht mehr geeignet ist, um damit digitale oder analoge Schaltungen herzustellen. Spätestens wenn dieses Limit erreicht wird, benötigt die Halbleiterindustrie einen alternativen Transistor um weitere Leistungssteigerungen zu erzielen. Zum Abschluss dieses Kapitels werden die wichtigsten Anforderungen an einen MOSFET-Nachfolger dargestellt.

2.3.1 Anforderungen an MOSFET-Nachfolger

- *Bessere Skalierbarkeit*

Ein MOSFET-Nachfolger muss auf kleinerer Fläche hergestellt werden können und es muss absehbar sein, dass diese in der Zukunft noch weiter verringert werden kann.

Trotz dieser kleinen Geometrien müssen die Bauelementeigenschaften bezüglich den Strömen $I_{\text{D on}}$, $I_{\text{D off}}$, der Unterschwelldsteigung S , den parasitären Kapazitäten und der Schaltgeschwindigkeit besser oder zumindest vergleichbar mit dem MOSFET sein.

- *Komplementäre Bauelemente*

Nur wenn es zwei zueinander komplementäre Bauelemente gibt, kann die stromsparende CMOS-Logik verwendet werden, d. h. auch ein MOSFET-Nachfolger muss zwei komplementäre Bauelemente ermöglichen. Damit wäre gewährleistet, dass die gleiche oder zumindest ähnliche Schaltungstechnik eingesetzt werden kann und die ICs nicht mehr Leistung aufnehmen als sie ohne Überhitzung abgeben können.

- *Vergleichbare Technologie*

Die Entwicklung von sub-100 nm Technologien ist sehr aufwendig und es ist kaum vorstellbar diese komplett neu zu entwickeln, daher beruht die Herstellung eines MOSFET-Nachfolgers idealerweise auf der CMOS-Technologie.

- *Geringere Kosten*

Eine der wichtigsten Anforderungen ist die kostengünstige Massenproduktion. Die besten ICs werden sich nicht durchsetzen, wenn sie in der Herstellung zu teuer sind.

Kapitel 3

Der TFET als MOSFET-Nachfolger

In Kapitel 2 wurde dargestellt, dass der MOSFET den Fortschritt der Halbleiterindustrie in Zukunft nicht mehr sicherstellen kann. Als mögliche Nachfolger werden so genannte Tunnelbauelemente genannt. Unter ihnen ist der *Tunnel-Feldeffekt-Transistor* (TFET) ein vielversprechender Kandidat.

In Abschnitt 3.1 wird die physikalische Arbeitsweise des TFET erklärt. Optimierungsmöglichkeiten der elektrischen Eigenschaften des Transistors werden in Abschnitt 3.2 diskutiert. Die Gemeinsamkeiten und die Unterschiede von TFET und MOSFET werden in Abschnitt 3.3 herausgearbeitet. Abschließend wird in Abschnitt 3.4 der aktuelle Stand der Forschung auf dem Gebiet des TFET dargestellt.

3.1 Physikalisches Grundprinzip

Die physikalische Arbeitsweise des Tunnel-Feldeffekt-Transistors beruht auf der Steuerung von Interbandtunneln durch die Gate-Source-Spannung. Daher wird in Abschnitt 3.1.1 der Ladungsträgertransport durch das verbotene Band von Halbleitern diskutiert und anschließend in Abschnitt 3.1.2 das Bauelement selbst vorgestellt.

Fast alle Betrachtungen in diesem Kapitel beziehen sich auf Silizium oder Silizium-ähnliche Halbleiter. Die Bandstruktur von Silizium in Abhängigkeit verschiedener Beträge und Richtungen des Impulses eines Teilchens ist in Abbildung 3.1 zu sehen.

3.1.1 Band-zu-Band Ladungsträgertransport

Im Jahre 1934 wurde von Zener [Zen34] erstmals Band-zu-Band Tunneln als Erklärung für den elektrischen Durchbruch vorgeschlagen. Später stellte sich heraus, dass es sich bei damaligen Experimenten um Durchbrüche aufgrund von Stoßionisation handelte [McK54]. Erst Chynoweth und McKay [Chy57]

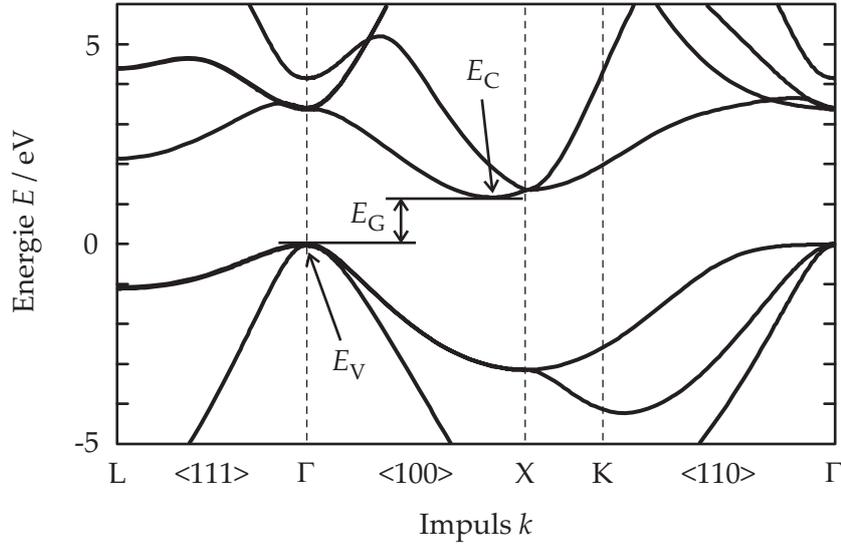


Abbildung 3.1: Bandstruktur von Silizium für verschiedene Größen und Richtungen des Impulses k nach Berechnungen von [Jan98]. Grundlegende Informationen zu Bandstrukturen von Halbleitern und die Definition der verschiedenen Symmetriepunkte L, Γ , X und K der Brillouin-Zone finden sich z. B. in [Kit02].

zeigten eindeutig Band-zu-Band Tunneln bei schmalen pn -Dioden. Bis dahin wurden diese Phänomene nur in pn -Dioden beobachtet, welche in Sperrrichtung betrieben wurden. Esaki beobachtete 1957 das Band-zu-Band Tunneln als erster bei einer in Durchlassrichtung gepolten pn -Diode [Esa58].

Nahezu zeitgleich veröffentlichte Keldysh [Kel58a, Kel58b] die ersten Berechnungen zu Interbandtunneln. Price und Radcliffe [Pri59] entwickelten unabhängig davon ein Modell unter Verwendung der Wentzel-Kramers-Brillouin Näherung (WKB). Kane erweiterte und verbesserte das Modell von Keldysh für direktes und Phononen-unterstütztes¹ Band-zu-Band Tunneln [Kan59, Kan61]. Dieses wird bis heute in numerischen Bauelementesimulatoren eingesetzt, dort unterstützt es allerdings nur Tunneln in der Sperrrichtung von pn -Übergängen. Die Ladungsträgergenerationsrate nach diesem Modell lautet:

$$-R_{\text{Kane}} = A_{\text{Kane}} \frac{F^2}{\sqrt{E_G}} \times \exp\left(-\frac{B_{\text{Kane}} (E_G)^{3/2}}{F}\right), \quad (3.1)$$

wobei F die elektrische Feldstärke bezeichnet. Die Konstanten A_{Kane} und B_{Kane} berechnen sich aus der effektiven Masse der Ladungsträger und verschiedenen Naturkonstanten.

In den genannten Theorien wird die Tunnelstromdichte unter Verwendung der Tunnelwahrscheinlichkeit eines einzelnen Elektrons durch das verbotene

¹Phononen-unterstütztes Tunneln ist gleichbedeutend mit indirektem Tunneln.

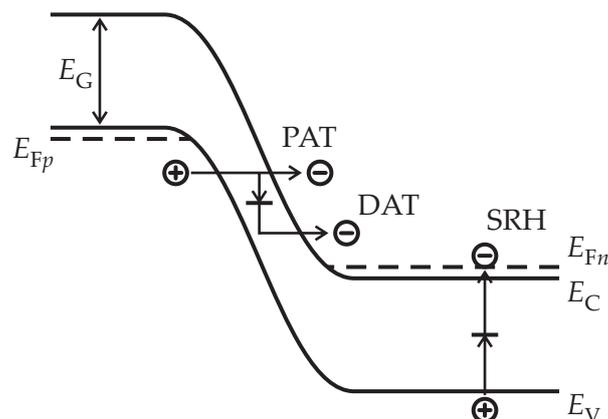


Abbildung 3.2: Bänderdiagramm einer *pn*-Diode mit schematischer Darstellung der verschiedenen Mechanismen zur Ladungsträgergeneration: Phononen-unterstütztes Band-zu-Band Tunneln (PAT), Defekt-unterstütztes Band-zu-Band Tunneln (DAT) und Generation über den Shockley-Read-Hall Mechanismus (SRH). Bei jedem Vorgang entsteht ein Elektron-Loch Paar.

Band berechnet. Enderlein und Peuker [End71] bestimmten 1971 die Tunnelstromdichte erstmals direkt durch die Berechnung der elektrischen Leitfähigkeit eines Halbleiters bei großen elektrischen Feldern. Dieser Ansatz wurde 1992 von Schenk [Sche93] weiterverfolgt, um das Band-zu-Band Tunneln in Silizium zu beschreiben. Das Schenk-Modell ist das neueste und zugleich das aufwendigste Modell, welches heute in Bauelementesimulatoren verwendet wird.

Neben dem Band-zu-Band Tunneln kann der Ladungsträgertransport durch die Bandlücke auch durch Defekt-unterstütztes Tunneln (defect-assisted tunneling, DAT) erfolgen. Dabei nutzt das Teilchen Störstellen im verbotenen Band. Um sich Defekt-unterstütztes Tunneln zu veranschaulichen, kann es als Kombination aus direktem (bzw. indirektem) Tunneln und der Shockley-Read-Hall Rekombination [Sho52, Hal52] betrachtet werden (siehe Abb. 3.2). Defekt-unterstütztes Tunneln wird manchmal auch als SRH-Rekombination in starken elektrischen Feldern bezeichnet.

Hurkx *et al.* [Hur92] stellten 1992 erstmals ein Modell vor, in dem beide Mechanismen berücksichtigt werden, das Band-zu-Band Tunnelmodell entspricht hier weitestgehend den Berechnungen von Kane [Kan61]. Auch von Schenk [Sche92] gibt es ein Modell mit dem sich Defekt-unterstütztes Tunneln berechnen lässt.

Silizium ist ein indirekter Halbleiter (s. Abb. 3.1), daher können Elektronen aufgrund der Impulserhaltung nur mit einer Impulsänderung durch das

verbotene Band tunneln². Hierfür gibt es wie erläutert zwei Möglichkeiten:

- Phononen-unterstütztes Tunneln
- Defekt-unterstütztes Tunneln³

Alle in dieser Arbeit dargestellten Simulationen wurden mit dem Bauelementesimulator Sentaurus Device⁴ [Syn06] unter Einbindung der Modelle von Schenk durchgeführt. Eine ausführliche Beschreibung dieser findet sich in [Sche98]. Die Simulationen von Abschnitt 3.3 zeigen, dass im Tunnel-FET das Defekt-unterstützte Tunneln nur im Unterschwellenbereich eine Rolle spielt, daher wird hier nur auf das Phononen-unterstützte Tunneln in Silizium eingegangen.

Die Ladungsträgerrekombination beim Phononen-unterstützten Tunneln (phonon-assisted tunneling, PAT) wird berechnet durch [Sche98]

$$R_{\text{PAT}} = -A |F|^{7/2} \times \left[C_1 \exp\left(-\frac{F_c^\mp}{|F|}\right) + C_2 \exp\left(-\frac{F_c^\pm}{|F|}\right) \right] \times D(E), \quad (3.2)$$

wobei E die Teilchenenergie und F das elektrische Feld darstellen. Des Weiteren ist

$$D = f_V(E) - f_C(E) \quad (3.3)$$

die Differenz der beiden Fermi-Verteilungen

$$f_{C,V} = \frac{1}{1 + \exp\left(\frac{E - E_{Fn,p}}{k_B T}\right)}. \quad (3.4)$$

Die kritische elektrische Feldstärke ist definiert durch

$$F_c^\pm = B (E_G \pm \hbar\omega)^{3/2}. \quad (3.5)$$

$\hbar\omega$ ist die Phononenenergie. Das obere Vorzeichen bezieht sich auf den Fall einer in Rückwärtsrichtung gepolten pn -Diode ($f_V > f_C$) und umgekehrt das untere Zeichen auf die Vorwärtspolung ($f_V < f_C$). Die Konstanten A und B haben ein positives Vorzeichen; sie werden aus einigen Naturkonstanten, der effektiven Masse der Löcher und Elektronen in verschiedene Kristallrichtungen, der Phononenenergie, der Dichte und der Schallgeschwindigkeit berechnet. Betrachtet man die Koeffizienten

²Direktes Tunneln ist theoretisch auch möglich, allerdings ist hierfür die Wahrscheinlichkeit so gering, dass es vernachlässigt werden kann [Sche93].

³Beim Defekt-unterstützten Tunneln sind natürlich auch Phononen beteiligt, da sowohl die Energie- als auch die Impulserhaltung erfüllt sein muss.

⁴Synopsys Sentaurus Device ist der Nachfolger von ISE DESSIS.

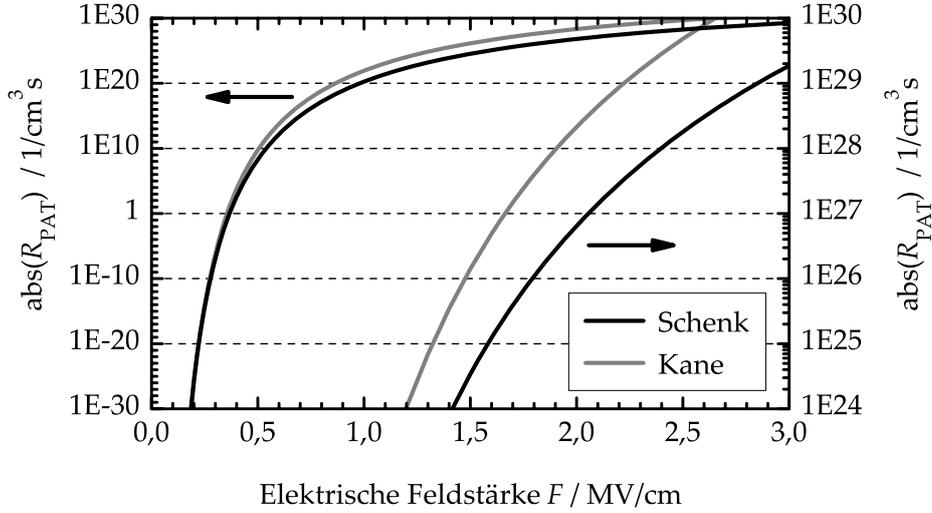


Abbildung 3.3: Tunnelrate für Phononen-unterstütztes Tunneln in Silizium mit Rückwärtspolung. Berechnung nach [Kan59] und [Sche98].

$$C_1 = \frac{(F_c^\mp)^{-\frac{3}{2}}}{\exp\left(\frac{\hbar\omega}{k_B T}\right) - 1} \quad \text{und} \quad C_2 = \frac{(F_c^\pm)^{-\frac{3}{2}}}{1 - \exp\left(-\frac{\hbar\omega}{k_B T}\right)} \quad (3.6)$$

der eckigen Klammer von Gleichung 3.2 genauer, so stellt man fest, dass der Wert in der eckigen Klammer von 3.2 immer positiv ist. Daraus folgt:

- Vorwärtspolung $\rightarrow D(E) < 0 \rightarrow R_{\text{PAT}} > 0$
 \rightarrow Rekombination
- Rückwärtspolung $\rightarrow D(E) > 0 \rightarrow R_{\text{PAT}} < 0$
 \rightarrow Generation.

In Abbildung 3.3 ist die Ladungsträgergeneration in Silizium über der elektrischen Feldstärke für das Modell von Schenk und das Modell von Kane aufgetragen. Man erkennt die $-1/F$ Charakteristik der Exponenten in den Gleichungen 3.1 und 3.2. Das Modell nach Kane führt zu deutlich höheren Tunnelraten. Die Skalierung auf der rechten Achse von Abbildung 3.3 zeigt, dass trotz der eintretenden Sättigung auch bei hohen elektrischen Feldern die Empfindlichkeit der Tunnelrate bezüglich des elektrischen Feldes noch sehr groß ist. Die Empfindlichkeit von R_{PAT} gegenüber der kritischen Feldstärke F_c^\pm ist ähnlich groß wie gegenüber F . Eine Verringerung der Bandlücke E_G bewirkt beispielsweise auch einen exponentiellen Anstieg der Tunnelrate.

Die hier betrachteten theoretischen Überlegungen werden in Abschnitt 3.2 wieder aufgegriffen, um das Design des TFET zu optimieren.

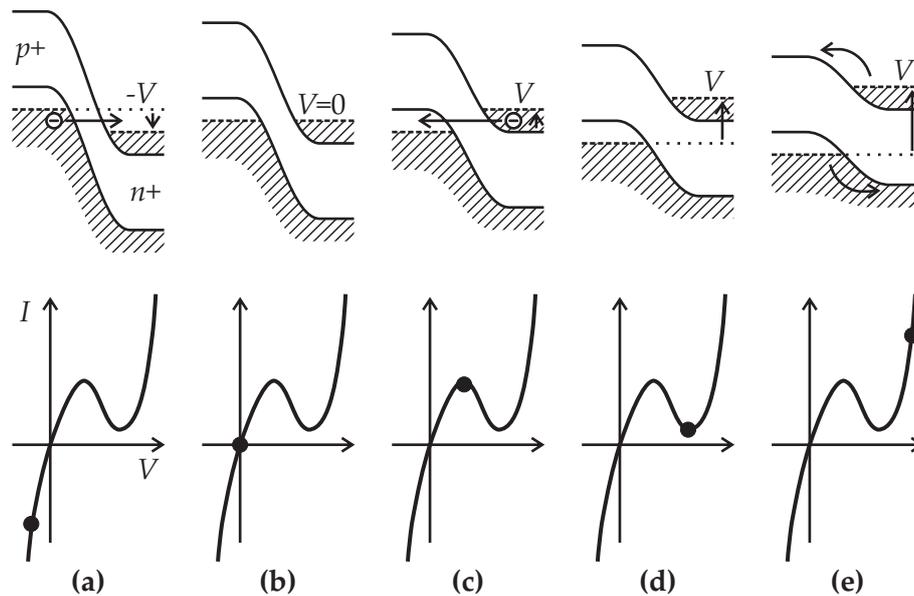


Abbildung 3.4: Schematisches Bänderdiagramm und IV -Kennlinie einer Esaki-Diode in verschiedenen Betriebspunkten nach [Sze07]: **(a)** Rückwärtspolung, **(b)** im thermodynamischen Gleichgewicht, **(c)** Vorwärtspolung mit maximalem Tunnelstrom, **(d)** Vorwärtspolung nach Ausbleiben des Tunnelstroms, **(e)** Vorwärtspolung mit Diffusionsstrom.

Esaki-Diode

Wie wir im nachfolgende Abschnitt sehen werden, verhält sich der Tunnelfeldeffekt-Transistor im eingeschalteten Zustand ähnlich wie eine Esaki-Diode. Die Esaki- oder auch Tunnel diode besteht aus einem scharfen pn -Übergang mit sehr hohen Dotierungen. Dadurch entsteht an dem pn -Übergang ein starkes elektrisches Feld und es kommt bei Rückwärtspolung und teilweise auch bei Vorwärtspolung der Diode zum Interbandtunneln. Die IV -Kennlinie und die zugehörigen Bänderdiagramme für verschiedene Betriebspunkte der Esaki-Diode sind in Abbildung 3.4 dargestellt.

Abbildung 3.4a zeigt die Diode in Rückwärtspolung. Das elektrische Feld am pn -Übergang ist so groß, dass Ladungsträger durch das verbotene Band tunneln können. In dem Energieintervall, in dem das Valenzband der p -Seite und das Leitungsband der n -Seite überlappen, befinden sich auf der p -Seite mehr Elektronen als auf der n -Seite ($E_{Fp} > E_{Fn}$), daher fließt insgesamt ein negativer Strom I . In 3.4b sind E_{Fn} und E_{Fp} gleich groß, daher ist der Stromfluss Null. In Vorwärtspolung hat der Tunnelstrom ein positives Vorzeichen (Abb. 3.4c); sobald aber Valenz- und Leitungsband aufgrund der angelegten Spannung V nicht mehr überlappen, sinkt der Tunnelstrom wieder auf Null (Abb. 3.4d), dadurch entsteht der negative differentielle Widerstand zwischen

den Betriebspunkten der Abbildungen 3.4c und 3.4d. Ist die Spannung V in Vorwärtsrichtung groß genug, so fließt wie bei jeder Diode ein exponentiell ansteigender Strom (Abb. 3.4e).

3.1.2 Komplementäre TFETs

Beim Tunnel-Feldeffekt-Transistor wird das im vorherigen Abschnitt beschriebene Interbandtunneln über ein MOS-Gate gesteuert. Im Folgenden wird das Grundprinzip des TFET anhand des n -Kanal Bauelements erläutert. Anschließend wird dieses auf den p -TFET übertragen.

n -TFET

In Abbildung 3.5 ist der schematische Aufbau eines n -Kanal TFET dargestellt. Der Vergleich von Abb. 3.5 mit dem MOSFET in Abb. 2.3 zeigt den größten Unterschied der beiden Bauelemente: Die nnp -Struktur wird durch eine pin -Struktur ersetzt. Da es technologisch nicht möglich ist, rein intrinsisches Silizium herzustellen [Eis03], ist das Substrat leicht p - oder n -dotiert. Des Weiteren fällt auf, dass der TFET keinen Substrat-Kontakt benötigt, da das Substrat bereits über Source oder Drain kontaktiert ist.

Die Arbeitsweise des TFET lässt sich am besten mit den Bänderdiagrammen in Abbildung 3.6 erklären, es zeigt das verbotene Band von Silizium einen Nanometer unter dem Gatedielektrikum. Im Arbeitsbereich des TFET ist die pin -Diode in Sperrrichtung gepolt, für den n -TFET heißt das: $V_{DS} \geq 0$ V. Das zugehörige Bänderdiagramm in Abbildung 3.6 ist durch das graue Band dargestellt. Dieses Band wird oben von der Leitungsbandkante und unten von der Valenzbandkante begrenzt und bildet zwischen Source und Drain eine breite Barriere. Der Drainstrom I_D nach Source beschränkt sich also auf den Leckstrom der pin -Diode⁵ und auf eventuelle Leckströme an der Grenzfläche zwischen Silizium und dem Gatedielektrikum: Der Transistor ist ausgeschaltet.

Um den n -TFET einzuschalten, wird eine positive Gate-Source-Spannung angelegt. Wie schon anhand der MOS-Diode erklärt (vgl. Abschnitt 2.1.1), werden dadurch die Bänder im Einflussbereich des Gates nach unten gebogen und es bildet sich direkt unter dem Gatedielektrikum eine Flächenladung aus Elektronen. Dieser Elektronenkanal besitzt im Vergleich zum Substrat einen geringen elektrischen Widerstand, so dass die Drain-Source-Spannung jetzt nicht mehr über die gesamte Kanallänge abfällt, sondern nur noch über eine Strecke von wenigen Nanometern am Übergang vom Kanal zur Source. Bei einer Schwellspannung V_T wird das elektrische Feld so groß, dass aufgrund der

⁵Der Leckstrom einer pn -Diode kommt größtenteils von der Ladungsträgergeneration in der Raumladungszone [Mue91].

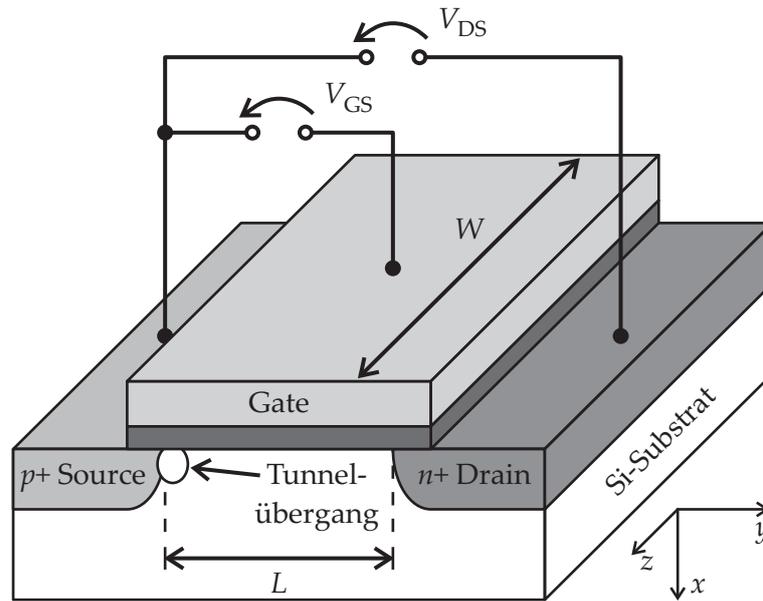


Abbildung 3.5: Schemazeichnung eines n -Kanal TFET mit den zugehörigen Betriebsspannungen und ausgewählten Geometrieparametern. Der eingezeichnete Tunnelübergang bildet sich beim Einschalten des Transistors.

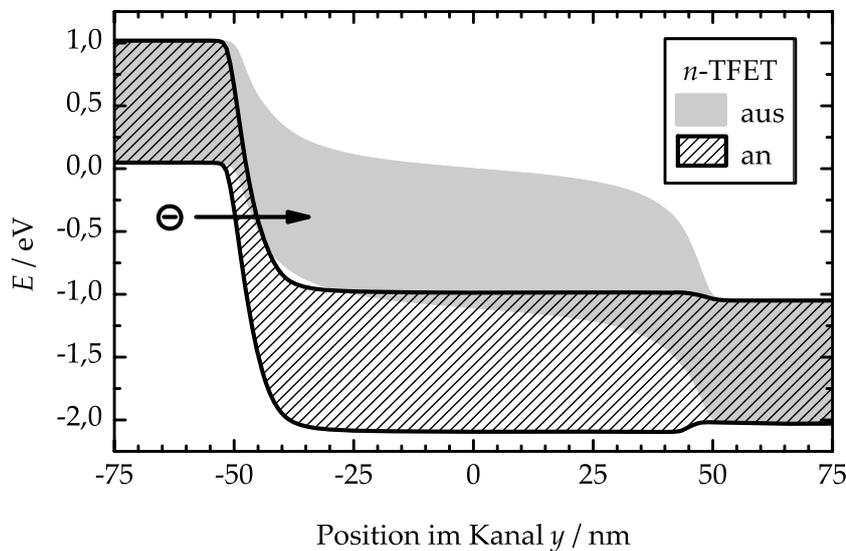


Abbildung 3.6: Bänderdiagramme eines n -Kanal TFET 1 nm unter dem Gateoxid mit $V_{DS} = 1\text{ V}$ ($L = 100\text{ nm}$). Ist der Transistor ausgeschaltet, so bildet das verbotene Band (grau) eine große Barriere. Bei einer positiven Gate-Source-Spannung (schraffiert) wird das Band im Kanal stark nach unten gebogen, so dass auf der Source Seite Band-zu-Band Tunneln erfolgt.

Bandverbiegung der in Abbildung 3.5 eingezeichnete Tunnelübergang entsteht; Elektronen tunneln durch das verbotene Band von der Source in den Kanal und Strom fließt von Drain nach Source: Der Transistor ist eingeschaltet. Anders formuliert:

Die Gate-Source-Spannung V_{GS} schaltet bei einer Schwellspannung V_T das Klemmenverhalten zwischen Drain und Source $I_D(V_{DS})$ von dem Verhalten einer pin -Diode zu dem einer Esaki-Diode.

p -TFET

Der p -Kanal Tunnel-Feldeffekt-Transistor ist das komplementäre Bauelement zum n -TFET. Eine Schemazeichnung und die zugehörigen Bänderdiagramme sind in den Abbildungen 3.7 und 3.8 dargestellt. Auch beim p -TFET handelt es sich um eine in Sperrrichtung gepolte pin -Diode mit einem MOS-Gate über dem niedrig dotierten Gebiet. Allerdings wird hier nicht das $p+$ sondern das $n+$ Gebiet als Source bezeichnet. Daraus folgt, dass im Arbeitsbereich des p -TFET $V_{DS} \leq 0$ V gilt. Der Unterschied liegt also erst einmal in der Beschaltung. Prinzipiell kann jeder n -TFET auch als p -TFET betrieben werden, auf die Designunterschiede zwischen den beiden Bauelementen wird in Abschnitt 3.2 näher eingegangen.

Der ausgeschaltete Zustand des p -TFET ist identisch mit dem des n -TFET. Die große Barriere des verbotenen Bandes verhindert ein Interbandtunneln und es fließt zwischen Drain und Source nur der geringe Leckstrom einer pin -Diode.

Der p -TFET hat, ebenso wie der p -MOSFET, eine negative Schwellspannung V_T . Verringert man also die Gate-Source-Spannung, dann biegen sich die Bänder im Einflussbereich des Gates nach oben (s. Abb. 3.8) und es bildet sich eine positive Flächenladung aus Löchern. Analog zum n -TFET ist das elektrische Feld am Übergang zwischen der Source und dem Kanal ab einer gewissen Schwellspannung so groß, dass Interbandtunneln einsetzt und der Drainstrom I_D fließen kann. Da sich im Vergleich zum n -TFET kein Elektronen- sondern ein Löcherkanal unter dem Gate ausbildet, tunneln die Elektronen nicht von der Source in den Kanal sondern vom Kanal in die Source.

An dieser Stelle sei darauf hingewiesen, dass die Definition der Source- und Drain-Anschlüsse insbesondere in älterer Literatur nicht immer konsistent ist. Die hier verwendete Definition wurde für die komplementären TFETs erstmals in [Wan04a] und [Wan04b] eindeutig formuliert. Bei dieser Definition ist, wie beim MOSFET, die Source und die Drain jeweils die Quelle und die Senke der Ladungsträger im Kanal. Der Tunnelübergang liegt immer auf der Sourcesseite des Bauelements. Im Gegensatz zum MOSFET ist der TFET kein symmetrisches Bauelement.

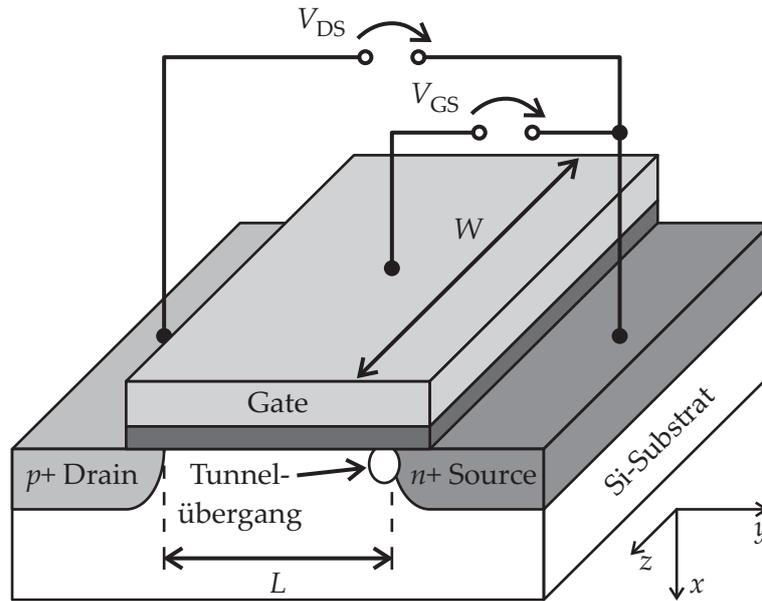


Abbildung 3.7: Schemazeichnung eines p -Kanal TFET mit den zugehörigen Betriebsspannungen: Der p -TFET ist das komplementäre Bauelement zum n -TFET und unterscheidet sich im Wesentlichen durch eine andere Beschaltung: Dadurch liegt der Tunnelübergang am $n+$ Gebiet.

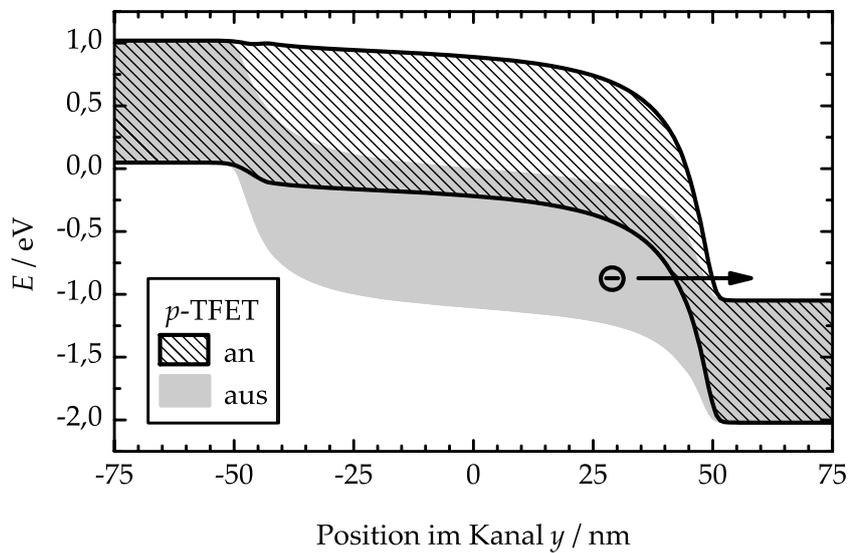
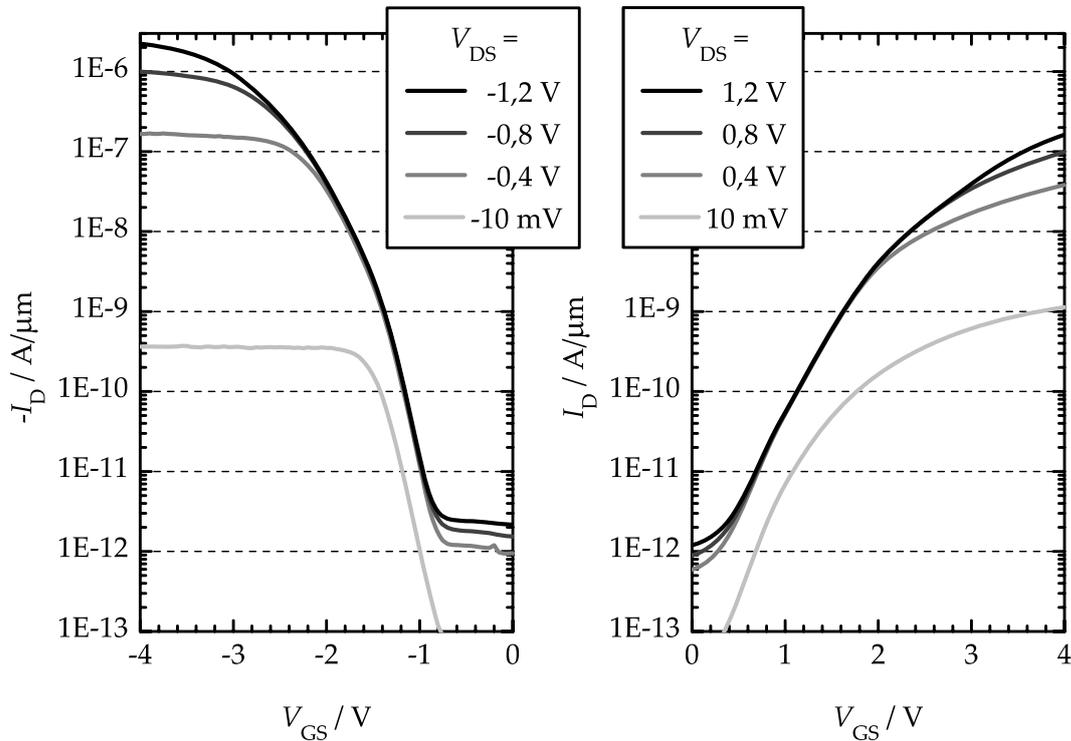


Abbildung 3.8: Bänderdiagramme eines p -Kanal TFET 1 nm unter dem Gateoxid mit $V_{DS} = -1$ V ($L = 100$ nm). Ist der Transistor ausgeschaltet, so bildet das verbotene Band (grau) eine große Barriere. Bei einer negativer Gate-Source-Spannung (schraffiert) wird das Band im Kanal stark nach oben gebogen, so dass auf der Source-Seite Band-zu-Band Tunneln erfolgt.



(a) Experimentelle Transfercharakteristik eines planaren p -TFETs mit der Kanallänge $L = 10 \mu\text{m}$.

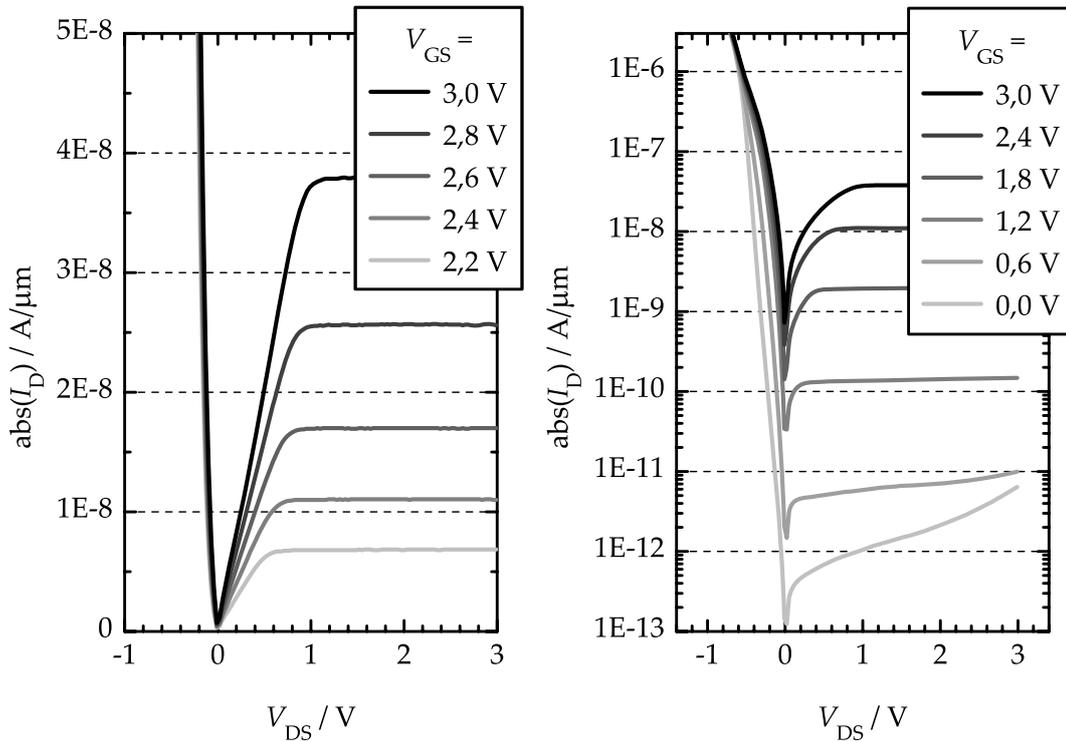
(b) Experimentelle Transfercharakteristik eines planaren n -TFETs mit der Kanallänge $L = 50 \mu\text{m}$.

Abbildung 3.9: Transferkennlinien von komplementären TFETs gefertigt in CMOS-Technologie [Wan04d].

IV-Kennlinien

In Abbildung 3.9 sind die experimentellen Kennlinien von einem planaren p - und n -TFET dargestellt. Abbildung 3.9a zeigt einen p -TFET. Bei sinkender Gate-Source-Spannung werden die elektrischen Felder zwischen Kanal und Source so groß, dass sich der Tunnelübergang ausbildet, dadurch steigt der Tunnelstrom exponentiell an (vgl. Abschn. 3.1.1). Das gleiche geschieht bei dem in Abbildung 3.9b dargestellten n -TFET, wenn die Gate-Source-Spannung erhöht wird. Die im vorherigen Abschnitt beschriebene Komplementarität des TFETs zeigt sich also nicht nur in den Bänderdiagrammen, sondern auch in den Transferkennlinien. Außerdem sieht man bei beiden Bauelementen, dass sich der Tunnelübergang bei sehr kleinen Drain-Source-Spannungen (hellgraue Linie in Abb. 3.9a und b) erst später ausbildet. Auf diesen Sachverhalt wird bei der Diskussion der Einsatzspannung in Abschnitt 3.3.1 noch näher eingegangen.

Die Ausgangscharakteristik des planaren n -TFET von Abbildung 3.9b ist

**(a) Linearer Maßstab:**

Bei positiver V_{DS} ist die *pin*-Diode in Sperrichtung gepolt und Strom kann nur bei genügend hoher V_{GS} fließen. Man erkennt das sehr gute Sättigungsverhalten.

(b) Logarithmischer Maßstab:

Bei $V_{GS} = 0$ V liegt die typische Kennlinie einer *pin*-Diode vor. Sowohl in Vorwärts- als auch in Rückwärtspolung wird der Strom durch das Gate verstärkt.

Abbildung 3.10: Ausgangscharakteristik eines *n*-TFETs gefertigt in CMOS-Technologie mit $L = 50 \mu\text{m}$ [Wan04d].

sowohl in linearem als auch in logarithmischem Maßstab in Abbildung 3.10 dargestellt. Betrachten wir zuerst die lineare Skalierung (Abb. 3.10a). Bei negativer Drain-Source-Spannung ist die *pin*-Diode in Vorwärtsrichtung gepolt und bei einem kleinen Betrag von V_{DS} fließt bereits ein sehr hoher Drainstrom. Dieser Arbeitsbereich ist für die meisten integrierten Schaltungen nicht sinnvoll. Bei positiver Spannung V_{DS} hingegen sieht man die starke Steuerwirkung des Gates. Insbesondere in der linearen Darstellung erkennt man auch das sehr gute Sättigungsverhalten des TFET. Die logarithmische Darstellung der Ausgangscharakteristik in Abbildung 3.10b gibt Aufschluss über den TFET im ausgeschalteten Zustand. Die hellgraue Linie ($V_{GS} = 0$ V) zeigt die Charakteristik einer typischen *pin*-Diode: Exponentieller Stromanstieg im Vorwärtsbereich und ein sehr kleiner Leckstrom in Rückwärtspolung. Mit steigender Gate-Source-Spannung erhöht sich dieser Strom exponentiell. Interessant ist

auch die Tatsache, dass die Kennlinien bis zu einer Spannung $V_{DS} \approx -0,7V$ auch im Vorwärtsbereich eine Abhängigkeit von V_{GS} zeigen. Dieser Sachverhalt gilt auch als experimenteller Nachweis, dass das Prinzip des TFET wirklich auf Band-zu-Band Tunneln beruht. Auch wenn in der Kennlinie kein negativer differentieller Widerstand erreicht wird, so zeigt es trotzdem, dass der TFET zwischen dem Verhalten einer *pin*- und einer Esaki-Diode hin und her schaltet.

Die vorgestellten Kennlinien zeigen, dass komplementäre TFETs in CMOS-Technologie hergestellt werden können. Somit kann bei integrierten Schaltungen aus TFETs die gleiche Komplementärlogik wie bei heutigen ICs aus MOSFETs verwendet werden.

3.2 Optimierungsmöglichkeiten und Designparameter

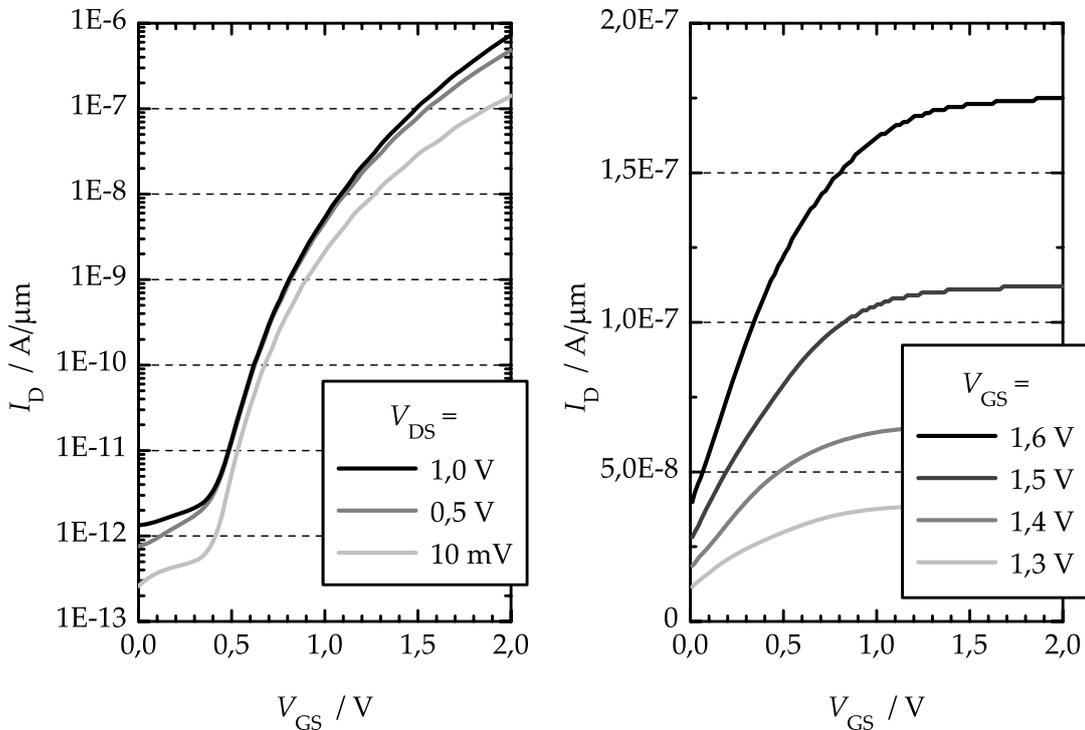
Für die elektrischen Eigenschaften des Tunnel-Feldeffekt-Transistors gelten natürlich die gleichen Optimierungsziele wie für den MOSFET:

- Kleiner Leckstrom I_{off} im ausgeschalteten Zustand
- Großer Drainstrom I_{on} im eingeschalteten Zustand
- Kleine Unterschwellensteigung S beim Umschalten zwischen I_{off} und I_{on}

Als quantitativer Maßstab für die Mindestanforderungen gilt hier, ebenso wie beim MOSFET, die *International Technology Roadmap for Semiconductors (ITRS)* [ITR05, ITR06]. Die experimentellen Ergebnisse in Abbildung 3.9 und 3.10, sowie die Simulationen in Abbildung 3.11 zeigen, dass insbesondere der Drainstrom I_{on} noch zwei bis drei Größenordnungen unter den in [ITR06] geforderten Werten liegen.

Es gibt unterschiedliche Möglichkeiten, um die Charakteristiken des TFET zu verbessern. Von verschiedenen Autoren wurden diese durch Simulationen [Red96, Wan02, Wan03, Bhu04a, Bhu05c, Bou06, Hei06, Hei07a] oder auch durch analytische Ansätze [Kno05, Kno07, Zha06] untersucht. In diesem Abschnitt werden die Optimierungsmöglichkeiten besprochen und exemplarisch deren Auswirkungen auf die Kennlinien gezeigt.

So lange der Gateleckstrom aufgrund dünner Gatedielektrika nicht dominant wird, ist der Leckstrom I_{off} bei TFETs in Silizium generell sehr klein. Er stammt hauptsächlich von der Rekombination von Ladungsträgern in der Raumladungszone und an der Siliziumoberfläche. Bei den hier vorgestellten Betrachtungen liegt der Schwerpunkt daher auf der Optimierung der Unterschwellensteigung S und des Drainstroms I_{on} . Wichtig ist nur, dass bei der Verbesserung dieser beiden Parameter I_{off} nicht maßgeblich gesteigert wird.



(a) Simulierte Transfercharakteristiken eines n -TFETs mit der Kanallänge $L=90$ nm.

(b) Simulierte Ausgangscharakteristiken eines n -TFETs mit der Kanallänge $L=90$ nm.

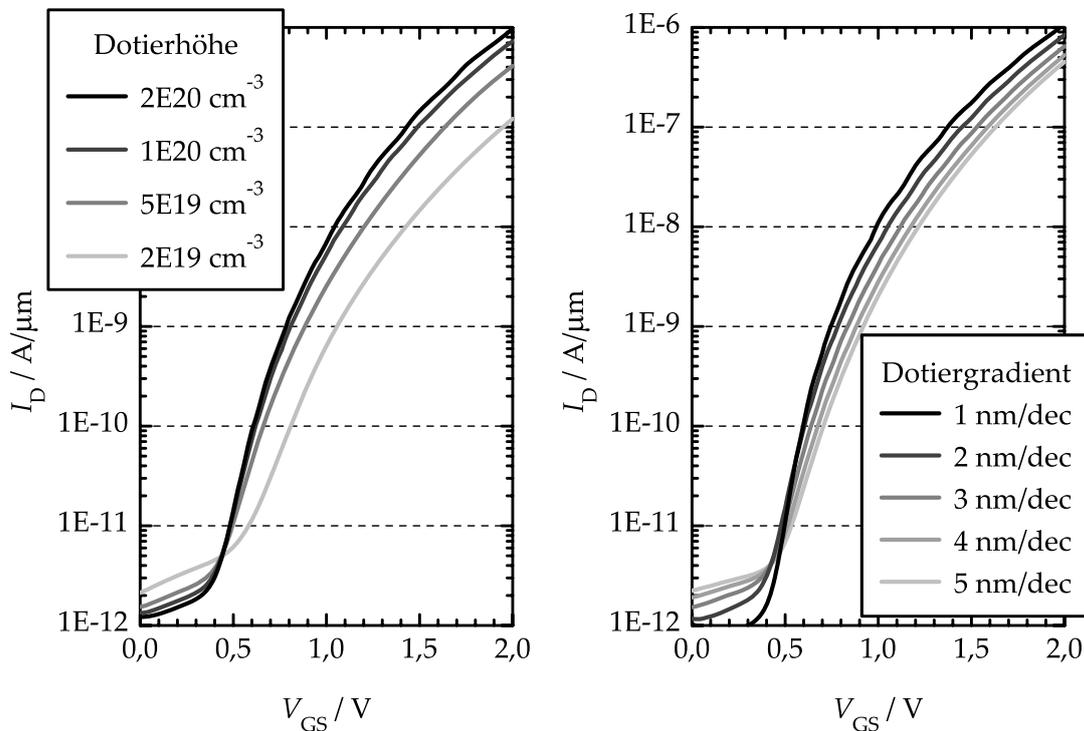
Abbildung 3.11: Simulation der Transfer- und Ausgangscharakteristik eines n -TFET mit $L=90$ nm [Hei07a].

Zur Steigerung des Drainstroms I_{on} muss die Band-zu-Band Generationsrate $-R_{\text{PAT}}$ erhöht werden. Dazu gibt es prinzipiell zwei Möglichkeiten (vgl. Abschn. 3.1.1): Erstens, ein höheres elektrisches Feld und zweitens eine Veränderung der Materialparameter wie der Bandlücke oder der effektiven Masse⁶. Beides ist natürlich nur im Bereich des Tunnelübergangs notwendig.

3.2.1 Steigerung des elektrischen Feldes

In diesem Abschnitt werden die Möglichkeiten zur Erhöhung der elektrischen Feldstärke am Tunnelübergang dargestellt. Auf den ersten Blick scheint es am einfachsten die angelegten Spannungen zu erhöhen. Dadurch erhöht sich jedoch zum Einen die dynamische Leistungsaufnahme immens und zum An-

⁶Einige Autoren verwenden als Optimierungskriterium die Breite der Tunnelbarriere w_{TB} . Diese kann im homogenen Halbleiter leicht durch $F = E_G / e w_{\text{TB}}$ umgerechnet werden. w_{TB} wird also durch eine Änderung des elektrischen Feldes F und auch durch eine Variation der Bandlücke E_G beeinflusst.



(a) Simulierte Transfercharakteristiken mit unterschiedlich hohen Sourcedotierungen.

(b) Simulierte Transfercharakteristiken mit unterschiedlich hohen Gradienten der Dotierungen vom Source- zum Kanalgebiet.

Abbildung 3.12: Auswirkungen der Dotierhöhe und des Dotiergradienten auf die Transferkennlinie eines n -TFET; $L = 90 \text{ nm}$, $V_{DS} = 1,0 \text{ V}$ [Hei07a].

deren kann man dadurch nur höhere elektrischen Felder erzeugen, wenn das Gatedielektrikum dadurch nicht durchbricht. Es gibt aber einige sinnvolle Alternativen:

Dotierung

Um das elektrische Feld zu erhöhen ist die Dotierung ein wichtiger Parameter. Abbildung 3.12 zeigt die Simulationsergebnisse von TFETs mit unterschiedlich hoher Sourcedotierung (Abb. 3.12a) und der Variation des Gradienten der Dotierung auf der Sourceseite (Abb. 3.12b). Je höher die Dotierung und je steiler das Profil der Dotierung auf der Sourceseite sind, desto höher ist das elektrische Feld am Tunnelübergang zwischen dem Source- und dem Kanalgebiet. Dadurch steigt die Tunnelrate und damit auch der Drainstrom. Interessant ist auch die Tatsache, dass mit der optimierten Sourcedotierung auch die Unterschwellensteigung kleiner wird. Durch das höhere inerte elektrische Feld

steigert sich also auch die Empfindlichkeit der Tunnelrate bezüglich der Gate-Source-Spannung. Die theoretische Grenze für diese Verbesserung liegt bei der begrenzten Löslichkeit des Dotierstoffes im Substrat und der Ausdiffusion von Dotierprofilen bei nachfolgenden Hochtemperaturschritten.

Wie in Abschnitt 3.1 erklärt, kann jeder TFET prinzipiell als n - oder als p -TFET betrieben werden. In integrierten Schaltungen wird das gewünschte Verhalten für jeden Transistor beim Schaltungsentwurf festgelegt und das jeweils komplementäre Verhalten sollte möglichst unterdrückt werden. Dies wird erreicht indem die *Draindotierung* deutlich niedriger als die *Sourcedotierung* gewählt wird, auch das Profil der Draindotierung sollte flacher sein als bei der Sourcedotierung. So kann die Ausbildung des Tunnelübergangs auf der Drainseite bei entgegengesetzter Gate-Source-Spannung verzögert oder auch unterdrückt werden [Pou07]. Weitere Simulationen zeigen, dass die *Kanaldotierung* kaum Einfluss auf die Bauelementecharakteristik hat, solange sie mindestens zwei [Hei07a] oder drei [Wan04d] Größenordnungen unter der Sourcedotierung liegt. Das Kanalgebiet muss also nicht rein intrinsisch sein; es kann auch n - oder p -dotiert sein. Das bedeutet: Der TFET funktioniert sowohl im *Akkumulations-* als auch im *Inversionsbetrieb*, wobei die meisten Untersuchungen sich auf den Akkumulationsbetrieb beziehen, da hier die besseren Eigenschaften zu beobachten sind [Wan04d].

Gatedielektrikum

Kommen wir wieder zu den Überlegungen der Tunnelrate zurück. Um die oben genannte Empfindlichkeit der Tunnelrate bezüglich der Gate-Source-Spannung und auch das elektrische Feld am Tunnelübergang weiter zu steigern eignet sich auch eine Reduzierung der *Oxiddicke*. Der Einfluss der Oxiddicke wurde in mehreren Arbeiten untersucht [Red96, Wan03, Bhu05a]. Je dünner das Oxid, desto besser ist die elektrostatische Kontrolle des Kanalgebietes und desto höher ist das elektrische Feld am Tunnelübergang. Daraus resultiert ebenfalls ein höherer Drainstrom I_{on} und eine kleinere Unterschwel-lensteigung S . Die physikalische Grenze wird hier wie schon beim MOSFET durch den Gateleckstrom und den Gatedurchbruch gesetzt, welche bei dünnen Oxiden entstehen (vgl. Abschn 2.2.1).

K. Boucart geht bei ihren Simulationen noch einen Schritt weiter und verwendet statt Siliziumdioxid als Gatedielektrikum verschiedene *high-k* Materialien [Bou07a]. Die Simulationen setzen die Verbesserungen durch die Verringerung der Oxiddicke sowohl für I_{on} als auch für S fort. Die vielversprechenden Simulationsergebnisse setzen natürlich die Verfügbarkeit von geeigneten *high-k* Gatedielektrika voraus.

Multiple-Gates

Double-Gate-TFETs wurden bereits 2002 von Wang *et al.* [Wan02] vorgeschlagen. Neuere Simulationen zeigen, dass insbesondere bei sehr dünnen Siliziumstrukturen eine Überlagerung des Einflusses der verschiedenen Gates stattfindet. Dadurch vergrößert sich das Volumen des Tunnelübergangs und damit verbessern sich wiederum der Drainstrom I_{on} und die Unterschwellensteigung S ; die optimale Siliziumdicke liegt in der Größe von 7-8 nm [Bou07a, Hei07b].

3.2.2 Variation der Materialparameter

Neben der Steigerung des elektrischen Feldes durch geeignete Dotierungen oder durch eine bessere elektrostatische Kontrolle des Kanals können die Bauelementeigenschaften auch durch Variation der Materialparameter, insbesondere der Bandlücke und der effektiven Masse optimiert werden.

Silizium-Germanium

Umfassende Untersuchungen zu dem Einsatz von SiGe im Bereich des Tunnelübergangs wurden von K. Bhuwalka durchgeführt [Bhu05a]. Durch eine Erhöhung des Germaniumanteils x in $\text{Si}_{1-x}\text{Ge}_x$ verkleinert sich die Bandlücke des Mischkristalls. Die effektive Masse der Elektronen ändert sich dadurch nur geringfügig, solange der Si-Anteil über $\sim 15\%$ liegt [Rie93]. Die effektive Löchermasse hingegen wird mit zunehmendem Ge-Anteil deutlich reduziert [Scha01], was wiederum einen großen Einfluss auf die Tunnelrate ausübt [Sche98].

Die Simulationen von K. Bhuwalka *et al.* [Bhu05b] zeigen, dass durch eine Erhöhung des Germaniumanteils x der Drainstrom I_{on} um ein bis zwei Größenordnungen gesteigert werden kann und dass sich auch die Unterschwellensteigung S verbessert. Zu große Werte von x führen aber bei kurzen Kanallängen zu einem Anstieg der Leckströme.

Lokale oder globale Gitterverspannung

Gitterverspannungen im Halbleiter beeinflussen die absolute Position der Leitungs- und der Valenzbandkante und damit auch die Größe der Bandlücke [Wal89]. Ebenso wird die effektive Masse der Ladungsträger beeinflusst. Die Verspannungen können entweder global (z. B. durch dünne SiGe-Schichten auf dem ganzen Wafer) oder auch lokal nur im Bereich des Transistors (z. B. durch Siliziumnitrid Schichten) realisiert werden.

Dem Autor sind noch keine Arbeiten bekannt, die den Einfluss von Verspannungen in TFETs systematisch untersuchen. Die Optimierung der Mate-

rialparameter durch Gitterverspannungen dürfte aber weitere Verbesserungen der elektrischen Eigenschaften ermöglichen.

Kristallorientierung

Die effektive Masse der Löcher und Elektronen ist auch abhängig von der räumlichen Richtung im Kristallgitter. Die größte Tunnelrate tritt auf, wenn das elektrische Feld in $\langle 100 \rangle$ -Richtung vorliegt [Sche93]. Die Feldrichtung am Tunnelübergang wird von der Gate-Source und von der Drain-Source-Spannung bestimmt und zeigt beim n -TFET in Richtung Source schräg ins Substrat. Möglicherweise kann I_{on} durch einen Wafer mit $\langle 110 \rangle$ -Oberfläche gesteigert werden. Dem Autor sind auch hier noch keine Arbeiten bekannt, die sich mit dieser Thematik beschäftigt haben. Der Effekt der richtungsabhängigen Tunnelraten ist jedoch nicht besonders groß und sinkt mit steigendem elektrischen Feld [Sche98], daher ist dieser Effekt von untergeordneter Bedeutung.

Direkte Bandlücke

Das in Abschnitt 3.1.1 vorgestellte Modell des Phononen-unterstützten Tunnelns [Sche98] wurde für den indirekten Halbleiter Silizium hergeleitet. Bei Halbleitern mit direkter Bandlücke liegt die Tunnelrate bei gleichem elektrischen Feld sehr viel höher [Sze07], dadurch können auch höhere Drainströme I_{on} erzielt werden. Direkte Halbleiter (z. B. III-V Mischkristalle) sind aber sehr teuer und nicht kompatibel mit der CMOS-Technologie. Daher scheiden aus heutiger Sicht Bauelemente auf der Basis dieser Materialien aus.

Austrittsarbeit des Gatemetalls

Eine Änderung der Austrittsarbeit des Gatemetalls bewirkt eine Verschiebung der Transferkennlinie um eine Spannung ΔV_{GS} [Bhu05b]. Dadurch kann die Einsatzspannung des TFET gezielt eingestellt werden.

3.3 MOSFET und TFET im Vergleich

Viele Gemeinsamkeiten und Unterschiede zwischen TFET und MOSFET lassen sich anhand der Bänderdiagramme bei verschiedenen Betriebszuständen darstellen. Der Vergleich wird anhand von n -Kanal Bauelementen durchgeführt, die Aussagen sind aber leicht auf p -Kanal Transistoren übertragbar. Die Abbildungen 3.13a-d zeigen die zweidimensionalen Bänderdiagramme eines n -TFET mit der gleichen Geometrie und den gleichen Spannungen wie bei dem n -MOSFET in den Abbildungen 2.6a-d in Kapitel 2.

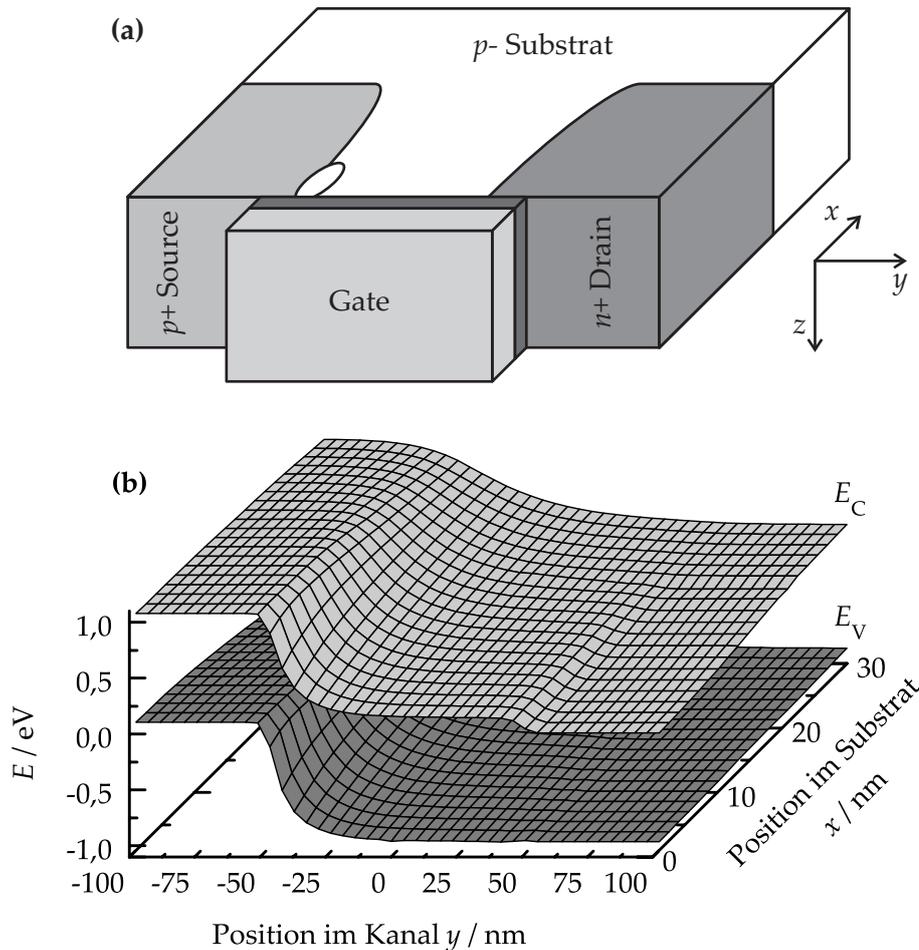


Abbildung 3.13: Zweidimensionales Leitungsband E_C und Valenzband E_V eines n -Kanal TFET, simuliert in verschiedenen Betriebszuständen.

(a) Räumliche Lage und Beschriftung des Bauelements.

(b) Gleichgewichtszustand: $V_{DS} = V_{GS} = 0$ V.

Abbildung 3.13a zeigt die räumliche Lage des Bauelements für die mehrdimensionale Darstellung des Valenz- und des Leitungsbandes. An der Position $x = 0$ liegt die Grenzfläche zwischen dem Gatedielektrikum und dem Siliziumsubstrat. Die Position $y = 0$ liegt in der Kanalmitte des TFET. In z -Richtung ändert sich bei genügend großer Kanalweite nichts, daher ist in den Diagrammen auf der dritten Achse die Energie aufgetragen. In Abbildung 3.13b sind die Bänder im Gleichgewichtszustand dargestellt. Zwischen Source und Drain bildet das verbotene Band für die Löcher der Source und die Elektronen der Drain eine Barriere. Durch die hohen Source- und Drain-Dotierungen ist in diesen Gebieten die Bandlücke E_G etwas kleiner (band gap narrowing). Im Kanalgebiet sieht man bereits den Einfluss des MOS-Gates. Die Austrittsarbeit des Gatemetalls ($n+$ Polysilizium) liegt ungefähr auf gleicher Höhe wie

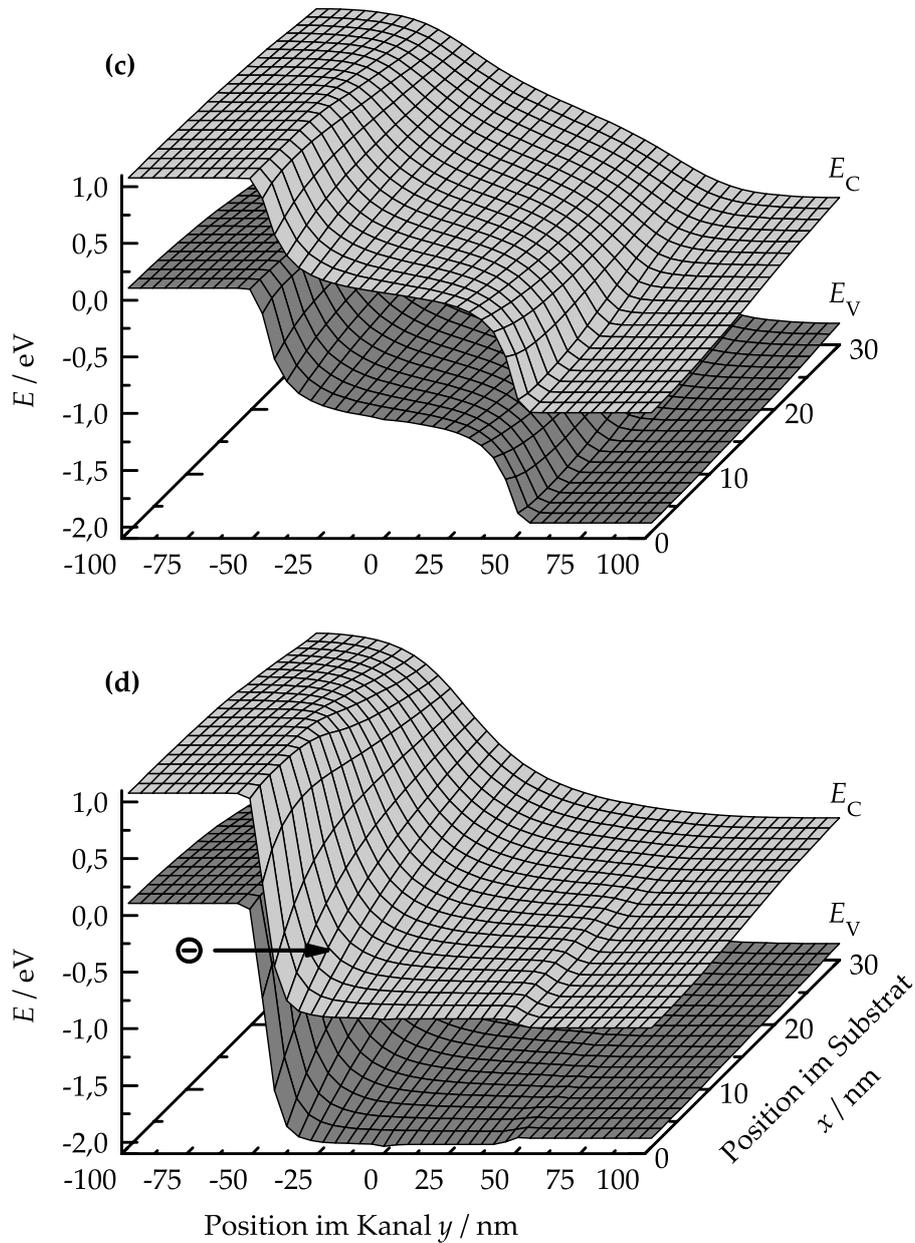


Abbildung 3.13: Fortsetzung: Zweidimensionales Leitungsband E_C und Valenzband E_V eines n -TFET, simuliert in verschiedenen Betriebszuständen.

(c) $V_{DS} = 1 \text{ V}$, $V_{GS} = 0 \text{ V}$, die Barriere verhindert einen Stromfluss.

(d) $V_{DS} = 1 \text{ V}$, $V_{GS} = 2 \text{ V}$, Elektronen tunneln gemäß dem eingezeichneten Pfeil vom Source- in das Kanalgebiet.

die der Drain. Das Gate ist eine Äquipotenzialfläche, daher wird das Potenzial des nahezu intrinsischen Kanalgebietes über einen weiten Bereich nach unten gezogen. Je größer der Abstand vom Gate ist, desto geringer wird der Einfluss

des Gates und man erhält den typischen Bänderverlauf einer *pin*-Diode.

Die Barriere zwischen Source und Drain ist auch in Abbildung 3.13c vorhanden, so dass immer noch kein Strom I_D fließen kann, obwohl zwischen Drain und Source eine Potenzialdifferenz von einem Volt anliegt. Man erkennt wiederum den Einfluss der Äquipotenzialfläche des Gates, der mit zunehmender Tiefe x nachlässt. In Abbildung 3.13d werden die Leitungsbandkante E_C und die Valenzbandkante E_V im Kanalgebiet durch die Gate-Source-Spannung nach unten gezogen. Die Barriere des verbotenen Bandes zwischen Source und Kanal ist so klein, bzw. das elektrische Feld an dieser Stelle ist so groß, dass Elektronen von der Source in den Kanal tunneln und ein Strom I_D fließt.

Vergleicht man die Bänderdiagramme des TFET in den Abbildungen 3.13b-d mit denen des MOSFETs in den Abbildungen 2.6b-d, so stellt man fest, dass sich die Grundstruktur der beiden Bauelemente zwar ähnelt, das physikalische Prinzip ist allerdings grundverschieden. Beim *n*-MOSFET sind hauptsächlich Elektronen am Stromtransport beteiligt, dieser beruht auf klassischen Theorien. Beim *n*-TFET hingegen wirken sowohl Elektronen als auch Löcher am Stromtransport mit. Es findet eine Ladungsträgerkonversion von Löchern zu Elektronen statt und das Grundprinzip beruht auf quantenmechanischem Tunneln.

Dieser Unterschied zeigt sich natürlich auch in den elektrischen Eigenschaften der Bauelemente. Im eingeschalteten Zustand wird der Drainstrom I_{on} des MOSFET durch den Kanalwiderstand begrenzt. I_{on} des TFET wird sowohl vom Widerstand des Kanals, als auch vom Widerstand des Tunnelübergangs beschränkt. Das heißt im Idealfall haben beide Transistoren den gleichen Drainstrom I_{on} , der des TFET kann aber bei gleicher Kanallänge nicht größer sein als der des MOSFET. Realistisch betrachtet ist der kleine Drainstrom I_{on} des TFET sein größter Nachteil. Der Vorteil des TFET liegt bei seinen kleinen Leckströmen, insbesondere bei kleinen Kanallängen ist die Barriere zwischen Source und Drain des TFET immer größer als die des MOSFET (vgl. Abschn. 3.3.2).

3.3.1 Einsatzspannung, Unterschwellensteigung

Die *Einsatzspannung* des MOSFET ist physikalisch eindeutig durch Gleichung 2.1 auf Seite 6 definiert. Zur Bestimmung der Einsatzspannung von experimentellen Transistoren gibt es verschiedene Methoden um sie aus den *IV*-Kennlinien zu extrahieren [Schr98].

Für den TFET gibt es noch keine feste Definition der Einsatzspannung V_T . Meist wird die Gate-Source-Spannung als V_T festgelegt, ab welcher der Drainstrom über $1\text{E-}7\text{ A}/\mu\text{m}$ liegt. Dieser Wert wird in [Bhu05a] zwar sinnvoll begründet, ist aber dennoch willkürlich und hat keine physikalische Bedeutung. K. Boucart legt in ihren neuesten Simulationen die Einsatzspannung des TFET

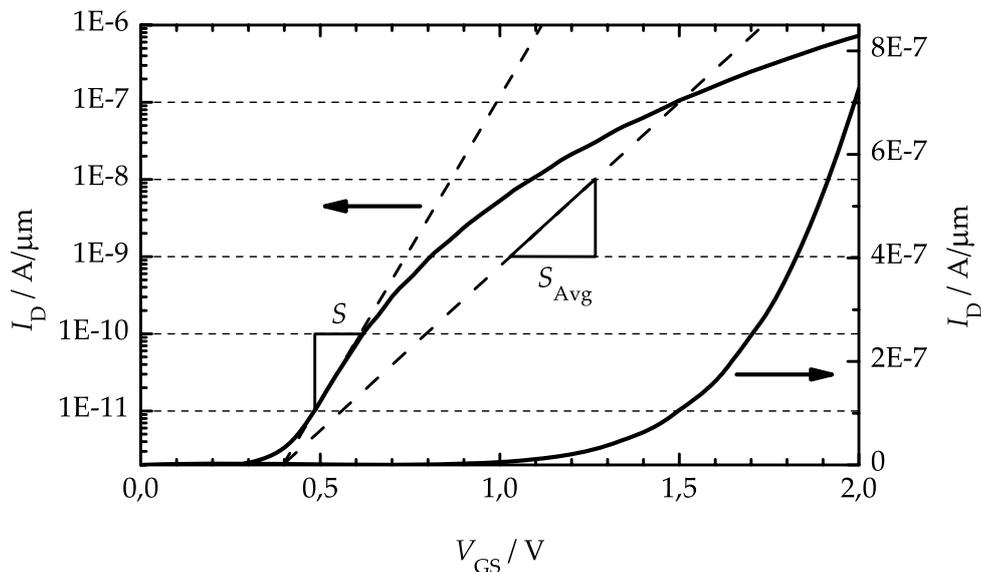


Abbildung 3.14: Transferkennlinie aus Abbildung 3.11a in logarithmischem und linearem Maßstab. Eingezeichnet ist die punktuelle und die durchschnittliche Unterschwellensteigung S und S_{Avg} des TFET.

auf das Maximum der zweiten partiellen Ableitung des Drainstromes nach der Gate-Source-Spannung $\partial^2 I_D / \partial V_{\text{GS}}^2$ [Bou07b], also dort wo die Krümmung der Transferkennlinie am stärksten ist. Diese Methode wird manchmal auch bei experimentellen Kennlinien von MOSFETs angewendet.

Beim Langkanal-MOSFET ist die Einsatzspannung unabhängig von V_{DS} . Der TFET hingegen weist V_{T} auch bei langen Bauelementen eine Abhängigkeit von V_{DS} auf. Dies ist sowohl in den experimentellen Transferkennlinien der Abbildungen 3.9a-b, als auch in den Simulationen der Abbildung 3.11b zu sehen. Die Transferkennlinie verschiebt sich aber nur für kleine Drain-Source-Spannungen, sobald eine Schwelle für V_{DS} überschritten wurde, fallen die Kennlinien aufeinander. Daher kann beim TFET neben der Einsatzspannung für V_{GS} mit der oben genannten Methode auch eine zweite Einsatzspannung für V_{DS} bei dem Maximum von $\partial^2 I_D / \partial V_{\text{DS}}^2$ definiert werden [Bou07b].

Vergleicht man die lineare Darstellung der Transferkennlinie eines TFET in Abbildung 3.14 mit der eines MOSFET in Abbildung 2.4, so stellt man fest, dass der TFET im Gegensatz zum MOSFET nach dem Einschalten keinen linearen Zusammenhang zwischen I_{D} und V_{GS} aufweist. Es ist schwierig einen Punkt festzulegen, bei dem man vom Einschalten sprechen kann. Der TFET besitzt also keine punktuelle Einsatzspannung im klassischen Sinne. Um den MOSFET und den TFET dennoch vergleichen zu können, wird hier die oben genannte Definition für V_{T} von [Bhu05a] übernommen (constant current method, $1\text{E-}7\text{A}/\mu\text{m}$).

Die *Unterschwel­len­stei­gung* S ist ein weiterer wichtiger Parameter eines Transistors. Je kleiner die Unterschwel­len­stei­gung, desto kleiner ist auch die Verlustleistung beim Umschalten eines Logikgatters. Außerdem begrenzt die Unterschwel­len­stei­gung die Reduzierung der Versorgungsspannung und sie beeinflusst das Signal-zu-Rausch Verhalten eines Logikgatters.

In verschiedenen Arbeiten wird S für den TFET hergeleitet [Bhu05c, Zha06, Kno07]. Ausgehend von Kanes Tunnelmodell (s. Gleich. 3.1) und dem Simulationsergebnis, dass am Tunnelübergang $F \propto V_{GS}$ gilt, erhält man [Bhu05c]

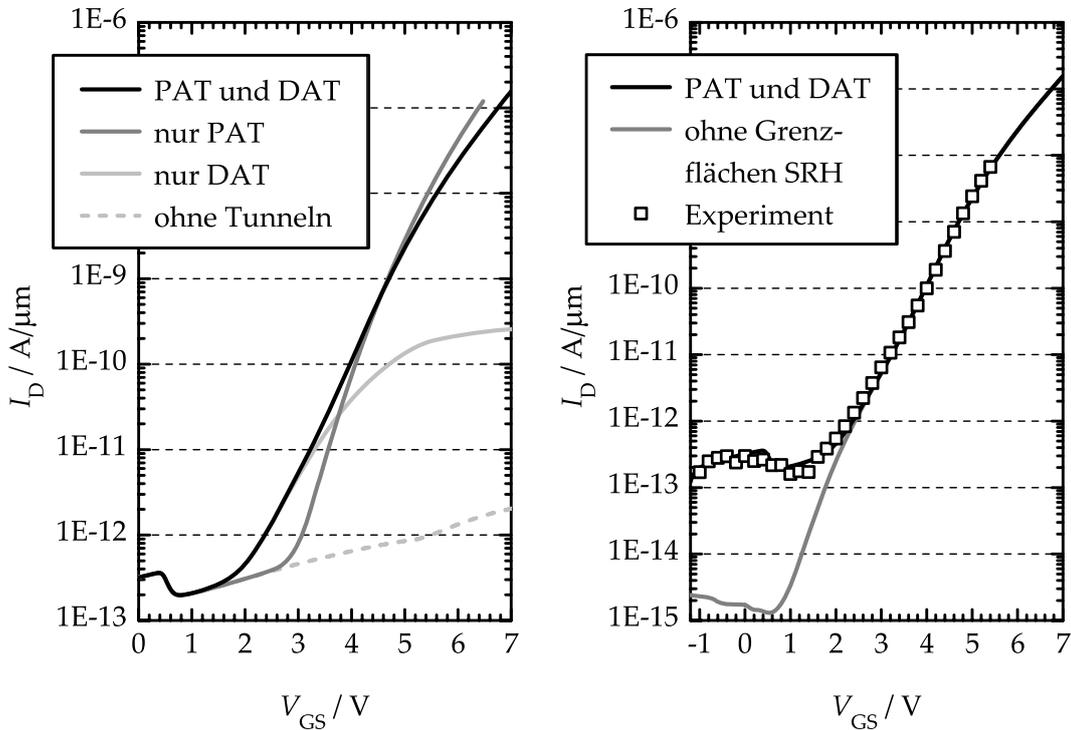
$$S = \frac{(V_{GS})^2}{2V_{GS} + B_{Kane}(E_G)^{3/2}/D} \quad (3.7)$$

wobei D von der Geometrie und den Materialparametern des Bauelements sowie für kleine V_{DS} auch von V_{DS} abhängig ist. Anhand dieser Gleichung erkennt man, dass S im Gegensatz zum MOSFET nicht nur von der Geometrie des Transistors, sondern auch von den Betriebsspannungen abhängt. Um MOSFET und TFET vergleichen zu können, muss also eine mittlere Unterschwel­len­stei­gung S_{Avg} definiert werden (vgl. Abb. 3.14).

Die Unterschwel­len­stei­gung des TFET hat im Gegensatz zum MOSFET kein unteres Limit von 60 mV/dec. Punktuell kann sie deutlich darunter liegen.

Bisher basieren alle theoretischen Untersuchungen zu S auf dem Kane Modell und Defekt-unterstütztes Tunneln wurde nicht mit einbezogen. Abbildung 3.15 zeigt den Einfluss des Defekt-unterstützten Tunnelns auf die Transferkennlinie eines n -TFET. Die schwarze Linie in Abbildung 3.15a und 3.15b zeigt die Simulation mit Einbindung des Phononen-unterstützten Tunnelns (PAT) und des Defekt-unterstützten Tunnelns (DAT). In 3.15b sind auch die experimentellen Ergebnisse eines planaren n -TFET aus dieser Arbeit eingezeichnet⁷. Sie stimmen sehr gut mit den Simulationsdaten überein. Der Leckstrom basiert zum größten Teil auf der SRH-Generation und -rekombination an der Grenzfläche zum Gatedielektrikum. Das Defekt-unterstützte Tunneln setzt bereits bei kleineren elektrischen Feldern ein als das Phononen-unterstützte Tunneln. Simuliert man die Transferkennlinie ohne das DAT-Modell, so steigt der Drainstrom also erst bei höherer Gate-Source-Spannung an (dunkelgraue Linie in Abb. 3.15a). Ein zweiter Effekt zeigt sich bei größeren Strömen: Das PAT erzeugt im Bereich des Tunnelübergangs hohe Ladungsträgerdichten. Aufgrund der vielen freien Ladungsträger ist in diesem Bereich die Generationsrate über den DAT-Mechanismus kleiner als die Rekombinationsrate. Der Gesamtstrom ist unter Berücksichtigung des DAT-Modells also kleiner. Der frühere Anstieg des Drainstromes und die Reduzierung von I_{on} führen zu einer kleineren Unterschwel­len­stei­gung. Sie reduziert sich bei die-

⁷Durch eine vollständige Charakterisierung der Herstellung sind bei diesen Transistoren alle Parameter wie die Dotierprofile, die Oxiddicke und sonstige Geometrien bekannt.



(a) Untersuchung der verschiedenen Tunnelmechanismen anhand der Transfercharakteristik eines n -TFET. PAT: Phononen unterstütztes Tunneln, DAT: Defekt unterstütztes Tunneln.

(b) Validierung der Simulationen mit experimentellen Ergebnissen und Identifikation des größten Leckstrommechanismus: Ladungsträgergeneration an der Si-SiO₂ Grenzfläche.

Abbildung 3.15: Einfluss der verschiedenen Tunnelmechanismen auf die Transferkennlinie eines planaren n -TFET; $L = 20 \mu\text{m}$, $V_{DS} = 1,5 \text{ V}$.

sem Bauelement um ca. 30 %.

Bei kleineren Geometrien und steileren Dotierprofilen verkleinert sich der negative Einfluss des DAT, daher kann Gleichung 3.7 als gute Näherung für S betrachtet werden. Für exakte Berechnungen hingegen muss der Einfluss des DAT berücksichtigt werden.

3.3.2 Scaling

Der größte Vorteil des TFET gegenüber dem MOSFET liegt in der besseren Skalierbarkeit.

Das Ausschalten eines MOSFET wird mit abnehmender Kanallänge immer schwieriger. Blicken wir noch einmal zurück auf das Bänderdiagramm eines ausgeschalteten MOSFET in Abbildung 2.7. Mit abnehmender Kanallänge

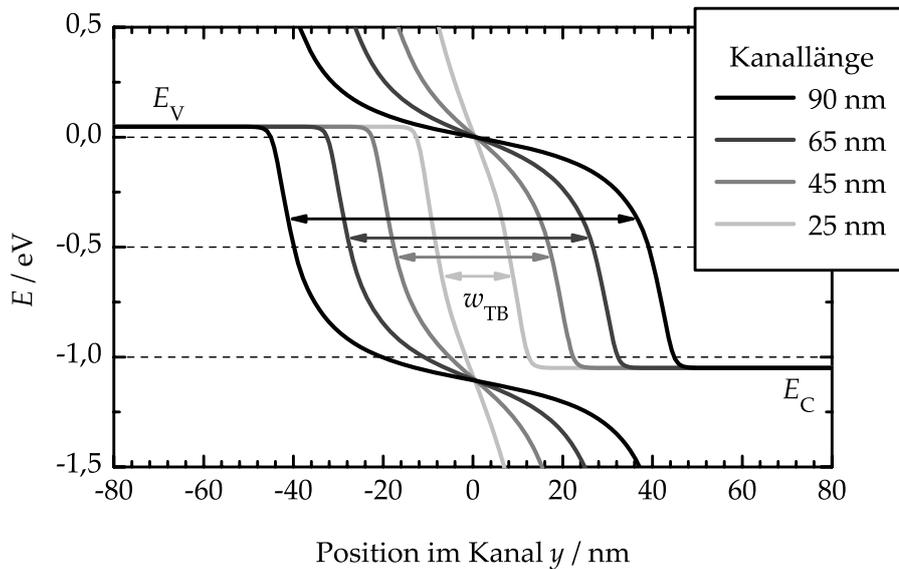


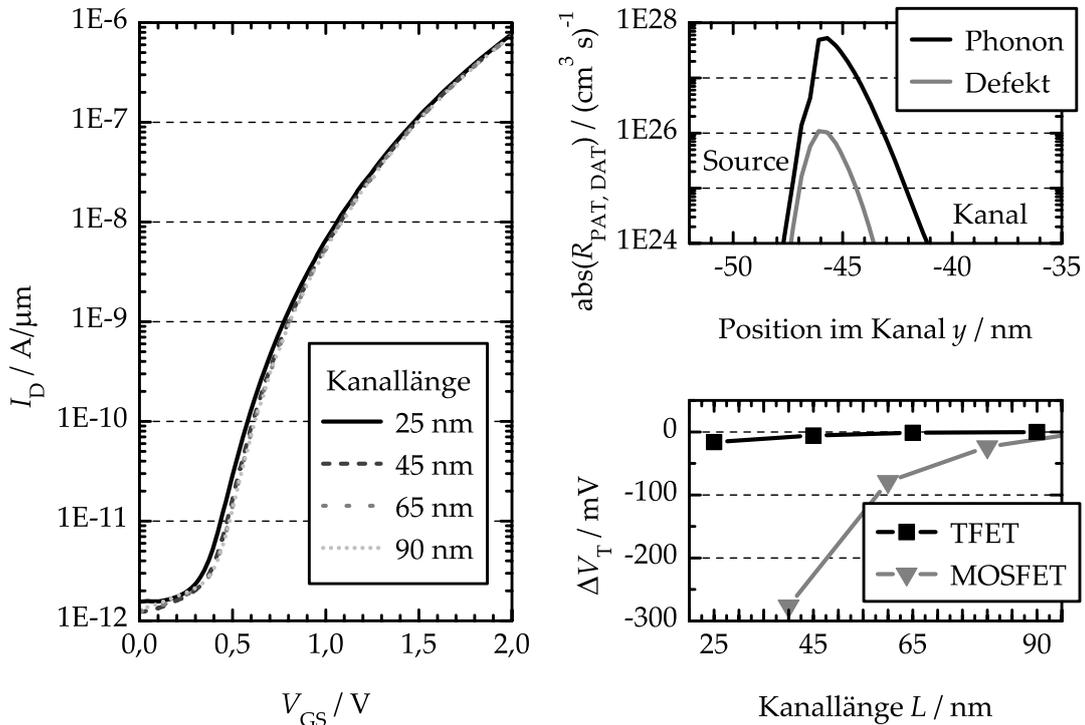
Abbildung 3.16: Simulierte Leitungs- und Valenzbänder von TFETs mit verschiedenen Kanallängen; $V_{DS} = 1\text{ V}$ und $V_{GS} = 0\text{ V}$. Die eingezeichneten Doppelpfeile kennzeichnen die Barrierenbreite w_{TB} . Bei einer Kanallänge von 25 nm beträgt w_{TB} ca. 16 nm.

wird natürlich die Barrierenbreite schmaler, aber auch die Barrierenhöhe verringert sich; insbesondere beim Anlegen einer Drain-Source-Spannung. Wird der Kanal zu kurz, so ist der Transistor immer eingeschaltet.

In Abbildung 3.16 ist das vergleichbare Bänderdiagramm von TFETs mit verschiedenen Kanallängen dargestellt. Auch hier verringert sich die Barrierenbreite mit abnehmender Kanallänge, nicht aber die Barrierenhöhe, welche immer der Energie der Bandlücke E_C entspricht. Zudem ist die Breite der Barriere bei gleicher Kanallänge größer als beim MOSFET. Der TFET kann also bei deutlich kleineren Kanallängen effektiv ausgeschaltet werden. Erst wenn das Band-zu-Band Tunneln aufgrund zu kurzer Kanallänge schon im ausgeschalteten Zustand einsetzt stößt auch der TFET an die Grenzen der Skalierbarkeit.

Abbildung 3.17a zeigt die Simulation der Transferkennlinie von TFETs mit unterschiedlicher Kanallänge. Die Eigenschaften sind nahezu identisch. Es gibt nur eine Änderung der Einsatzspannung um wenige mV, was im unteren Teil von Abbildung 3.17b dargestellt ist. Ebenfalls in Abbildung 3.17b eingezeichnet ist die Änderung der Einsatzspannung der MOSFETs aus Abbildung 2.8a. Hier zeigt sich die deutlich bessere Skalierbarkeit des TFET.

Den größten Einfluss auf die elektrischen Eigenschaften des TFET hat der Bereich des Tunnelübergangs, der übrige Teil des Kanals spielt kaum eine Rolle. Hier liegt auch die Ursache für die gute Skalierbarkeit. Die geometrische Ausdehnung des Tunnelübergangs erkennt man an der Generations- bzw. Rekombinationsrate durch die verschiedenen Tunnelmechanismen in Abbil-



(a) Simulierte Transfercharakteristiken von n -TFETs mit den Kanallängen $L = 90$ nm, 65 nm, 45 nm und 25 nm bei $V_{DS} = 1$ V. L hat kaum Einfluss auf die elektrischen Eigenschaften.

(b) *Oben:* Tunnelraten 2 nm unter dem Gateoxid von einem n -TFET mit $L = 90$ nm bei $V_{DS} = V_{GS} = 1$ V. *Unten:* V_T -roll off der TFETs von (a) und der MOSFETs aus Abbildung 2.8a.

Abbildung 3.17: Skalierbarkeit des n -TFET [Hei07a].

dung 3.17b oben.⁸ Gezeigt ist nur ein kleiner Ausschnitt des Bauelements. Die gesamte Kanallänge beträgt 90 nm und der Übergang von Source zum Kanal liegt an der Position $y = -45$ nm. Der relevante Bereich des Tunnelübergangs ist kleiner als 10 nm, daher sind auch bei Kanallängen unter 25 nm gute Eigenschaften zu erwarten.

Die wichtigsten Ergebnisse des Vergleichs von MOSFETs mit TFETs können in folgenden Stichpunkten zusammenfasst werden:

⁸Das Defekt-unterstützte Tunneln ist hier nur von kleiner Bedeutung, da das Gateoxid in diesen Simulationen dünner ist und die Dotierprofile steiler sind als in den Simulationen von Abbildung 3.15.

1. Der TFET ist besser skalierbar und hat geringere Leckströme als der MOSFET.
2. Bei beiden Bauelementen kann komplementäre Logik im Schaltungsentwurf eingesetzt werden.
3. Beide Bauelemente können in CMOS-Technologie hergestellt werden.
4. Die Unterschwellensteigung des TFETs ist bei geeignetem Design kleiner als beim MOSFET.
5. Die Stromergiebigkeit des TFETs ist kleiner als die des MOSFET.

3.4 Historie und aktueller Stand der Forschung

In den vorherigen Abschnitten dieses Kapitels wurde die Arbeitsweise des TFET vorgestellt und seine Eigenschaften mit dem MOSFET verglichen. Neben eigenen Überlegungen sind auch viele Ergebnisse anderer Arbeitsgruppen eingeflossen. In diesem Abschnitt wird ein Überblick über die Forschungsarbeiten über Tunnel-Feldeffekt-Transistoren gegeben und auf die neuesten Ergebnisse eingegangen. Da der TFET als MOSFET Nachfolger besprochen wird, werden Arbeiten auf der Basis von III-V Halbleitern bewusst ausgeklammert. Die wichtigsten Simulationen und andere theoretische Arbeiten über TFETs sind in Tabelle 3.1 aufgelistet. Die wichtigsten experimentellen Arbeiten finden sich in Tabelle 3.2.

Im Jahre 1973 wurde von Fischer ein Bauelement vorgeschlagen, bei dem durch ein MIS-Gate zwischen einer normalen pn -Diode und einer Tunneldiode hin und her geschaltet werden kann [Fis73]. Hierbei handelte es sich allerdings noch um ein Bulk-Bauelement. Ebenso, wie bei dem Tunnelbauelement, das von Banerjee *et al.* bei der Untersuchung von Leckstrommechanismen in DRAM Zellen „entdeckt“ wurde [Ban89]. Die Anwendung des Interbandtunnels bei einem *planaren Transistor* in Silizium wurde erstmals von Reddick formuliert [Red95a, Red95b, Red96].

Ohne Kenntnis der vorherigen Arbeiten zum Gate-gesteuerten Interbandtunneln stellten Eisele und Hansch *et al.* einen mittels MBE gefertigten *vertikalen Tunneltransistor* in Silizium vor [Eis00, Han00]. Dies war der Ausgangspunkt für zahlreiche weitere Untersuchungen. So wurden vertikale p - und n -Kanal Bauelemente realisiert [Sed03] und es gelang die Integration *komplementärer, planarer Tunneltransistoren* auf einem Wafer [Wan04a, Wan04c]. Parallel dazu wurden erste schaltungstechnische Anwendungen der vertikalen und der planaren Bauelemente untersucht [Nir03, Nir04a]. Im Zuge der Untersuchungen von Wang *et al.* und Nirschl *et al.* wurden auch die in Abschnitt 3.1.2 beschriebenen Definitionen für der Beschaltung für n - und p -Kanal Bauelemente eingeführt und angewendet [Ste05].

Autor	Untersuchungen	Modell
Reddick <i>et al.</i> [Red95a, Red95b, Red96]	Oxiddicke, Dotierung, Temperatur, HF-Eigenschaften	Kane
Sedlmaier <i>et al.</i> [Sed02, Sed03]	Bandstruktur, Oxiddicke, Double Gate	Kane
Wang <i>et al.</i> [Wan03, Wan04d, Wan04e]	Bandstruktur, Oxiddicke, Dotierhöhe und Dotierprofil, Double Gate, Scaling, V_T roll-off, $S < 60$ mV/dec, Austrittsarbeit Gatematerial	Kane
Nirschl <i>et al.</i> [Nir03, Nir07a]	Digitalschaltungen aus TFETs, Digitalschaltungen aus TFETs und MOSFETs, Speicheranwendungen	-
Bhuwalka <i>et al.</i> [Bhu04a, Bhu04b, Bhu05a, Bhu05b, Bhu05c] [Bor06]	Bandstruktur, Oxiddicke, $\text{Si}_{1-x}\text{Ge}_x$ am Tunnelübergang, Charakteristik und Bauelementeparameter in Abhängigkeit von x , Scaling mit SiGe, Optimierung durch Austrittsarbeit Gatematerial, analytische Gleichungen für I_D und S , Temperaturverhalten	modifiziertes Kane Modell (angepasst an experimentelle Ergebnisse)
Boucart <i>et al.</i> [Bou06, Bou07a, Bou07b]	Double Gate mit high- k , Abhängigkeit von t_{Si} , Temperaturverhalten, Definition V_T für V_{GS} und V_{DS}	Hurkx
Heigl <i>et al.</i> [Hei06, Hei07a]	Sourcedotierung, Kanaldotierung, Temperaturverhalten, Scaling, Einfluss von PAT und DAT	Schenk (PAT, DAT)
Knoch <i>et al.</i> [Kno05, Kno07]	CNT eindimensionale selbstkonsistente Berechnungen, Vergleich mit Bulk-TFET	Kane
Dobrovolsky <i>et al.</i> [Dob06]	HF-Eigenschaften	Kane

Tabelle 3.1: Literaturübersicht der wichtigsten Simulationen und anderen theoretischen Arbeiten über TFETs.

Weitere Experimente wurden von Aydin *et al.* auf SOI-Substraten [Ayd04] und von Choi *et al.* vorgestellt [Cho05]. Bei letzterer Arbeit wurde die Integration von TFETs mit Impact-Ionization MOS-Bauelementen (I-MOS) gezeigt. Das größte Problem, welches es noch zu lösen gilt, ist die geringe Stromergiebigkeit

Autor	Untersuchungen
Reddick <i>et al.</i> [Red95a, Red95b, Red96]	Planarer Tunneltransistor in Silizium
Hansch <i>et al.</i> [Han00]	Vertikaler Tunneltransistor mit MBE
Sedlmaier <i>et al.</i> [Sed02, Sed03]	Vertikaler Tunneltransistor mit MBE, Identifikation des Phononen-unterstützten Tunnelns
Wang <i>et al.</i> [Wan04a, Wan04d] [Ste05]	Komplementäre, planare TFETs in Silizium
Choi <i>et al.</i> [Cho05]	Planarer TFET auf SOI (Technologie optimiert auf I-MOS)
Appenzeller <i>et al.</i> [App05]	CNT-TFET mit $S < 60$ mV/dec
Born <i>et al.</i> [Bor07]	Vertikaler Tunneltransistor mit SiGe (MBE)
Fulde <i>et al.</i> [Ful08]	FinTFET (Technologie optimiert auf MOSFET)

Tabelle 3.2: Literaturübersicht der wichtigsten experimentellen Arbeiten über TFETs.

des TFET⁹.

Die vielen *Simulationsarbeiten* wurden in Abschnitt 3.2 bei der Diskussion der Designparameter bereits vorgestellt. Die Quintessenz der Simulationen lautet: Der TFET profitiert von den meisten Entwicklungen, die derzeit für den MOSFET vorangetrieben werden, wie high- k Gatedielektrika, Multiple-Gate-Bauelemente und Verbesserungen durch SiGe. Durch das andere physikalische Grundprinzip bewirken manche dieser Verbesserungen beim TFET sogar größere Vorteile als beim MOSFET [Bou07a]. Die technologische Realisierung der Stromoptimierung war bisher weniger erfolgreich. Vertikale Tunnel-FETs mit SiGe konnten bisher nur teilweise realisiert werden [Bor07]. MuG-TFETs wurden zwar erfolgreich hergestellt, aber die verwendete Technologie ist auf MOSFETs optimiert, so dass die Dotierprofile keine guten TFET-Eigenschaften erlauben [Ful08]. Die Ziele der ITRS-Roadmap [ITR06] konnten in experimentellen Arbeiten noch nicht erfüllt werden.

⁹In einigen Publikationen wurden dem TFET elektrische Kennlinien mit sehr hohem Drainstrom und konstanter Unterschwellensteigung zugeordnet [Nir04b, Nir05b, Nir06]. Es stellte sich jedoch heraus, dass es sich hierbei nicht um Tunnel-Feldeffekt-Transistoren, sondern um MOSFET-Derivate handelte [Nir07b].

Erwähnenswert sind auch die Untersuchungen zum *Temperaturverhalten* des TFET (z. B. [Nir04a], [Bor06], [Hei07a], [Bou07a]). Der Leckstrom des TFET steigt mit höherer Temperatur aufgrund der größeren Ladungsträgergeneration in der Raumladungszone, im Gegensatz zum MOSFET steigt aber auch die Stromergiebigkeit, da die Ladungsträgergeschwindigkeit noch nicht im Sättigungsbereich liegt und die Tunnelrate bei höherer Temperatur leicht ansteigt [Bor07].

An dieser Stelle soll auch noch auf die Realisierung von TFETs in *Carbon-Nanotubes* (CNT) verwiesen werden. Hier besteht zwar keine Kompatibilität zur heutigen CMOS-Technologie, doch mit diesen Bauelementen konnte erstmals eine Unterschwellensteigung von weniger als 60 mV/dec experimentell gezeigt werden [Kno05, App05]. Die theoretischen Untersuchungen und Simulationen zu TFETs in CNTs führen zu ähnlichen Designkriterien wie sie in Abschnitt 3.2 besprochen wurden [Kos05, Pou07, Kno07].

Die bekannten *Anwendungsmöglichkeiten* des TFET liegen im digitalen Low-Power Bereich [Nir07a], bei analogen Anwendungen wie temperaturkompensierten Spannungsreferenzen [Ful08], oder bei Schaltungen, die auch bei hohen Temperaturen funktionieren müssen [Bor06]. Es gibt auch Vorschläge für weitere Gebiete, wie z. B. kostengünstige Felder aus Foto-Pixel-Zellen [Nir05a]. Neuere Untersuchungen zu den *Hochfrequenzeigenschaften* des TFET ergeben auch hier vielversprechende Ergebnisse: Ein analytisches HF-Modell zeigt, dass der Betrieb bis 1 THz möglich ist [Dob06].

Anhand der Tabellen 3.1 und 3.2 sieht man, dass die Zahl der Arbeitsgruppen und auch der Veröffentlichungen in den letzten Jahren deutlich zugenommen hat. Die meisten Ergebnisse basieren allerdings auf Simulationen; Experimentelle Arbeiten gibt es sehr viel weniger. Insbesondere für kurze Kanallängen bei planaren Bauelementen gibt es noch keine fundierten Untersuchungsergebnisse.

Kapitel 4

Idee und Realisierung des Spacer-Gate-TFET

Kapitel 3 zeigt, dass der TFET ein vielversprechender MOSFET-Nachfolger ist. Es zeigt aber ebenso, dass die Mehrzahl der Erkenntnisse auf theoretischen Überlegungen oder auf Simulationen beruhen. Es mangelt an experimentellen Daten um die theoretischen Ergebnisse zu untermauern und die Simulationsmodelle gegebenenfalls weiter anzupassen. Der so genannte Spacer-Gate-TFET ist ein Bauelement, welches die Untersuchung von Tunnel-Feldeffekt-Transistoren mit ultra-kurzen Kanallängen erlaubt, ohne dass man dabei auf Elektronenstrahlolithografie zurückgreifen muss. In diesem Kapitel wird zuerst die Grundidee des Spacer-Gate-TFETs vorgestellt. Anschließend wird in Abschnitt 4.2 genauer auf die einzelnen Prozessschritte und die notwendigen Technologieentwicklungen eingegangen. Zum Abschluss des Kapitels wird in Abschnitt 4.3 der Gesamtprozess vorgestellt.

4.1 Grundkonzept

Bei der Herstellung von TFETs mit kurzen Kanallängen gibt es zwei grundlegende Schwierigkeiten: Zum Einen ist dies die Realisierung der kurzen Gatelänge, zum Anderen muss die Drain auf einer Seite des Gates entgegengesetzt dotiert sein zu der Source auf der anderen Seite. Der selbstjustierende Dotierprozess des MOSFET [Wid96] kann also nicht übernommen werden.

Eine Lösung ist die Definition der Kanallänge über die Breite eines Spacers aus Polysilizium. Die Breite des Spacers wird nicht durch Lithografie eingestellt, sondern ergibt sich aus der Dicke einer Schicht aus Polysilizium und dem nachfolgenden Rückätzen. Abbildung 4.1a-h zeigt die grundlegende Prozessfolge zur Herstellung eines TFETs mit Spacer-Gates aus Polysilizium. Nach der Reinigung des Substrates wird *Phosphorsilikatglas* aufgebracht (Abb. 4.1a), dieses dient als Dotierstoffquelle und auch als Grundlage

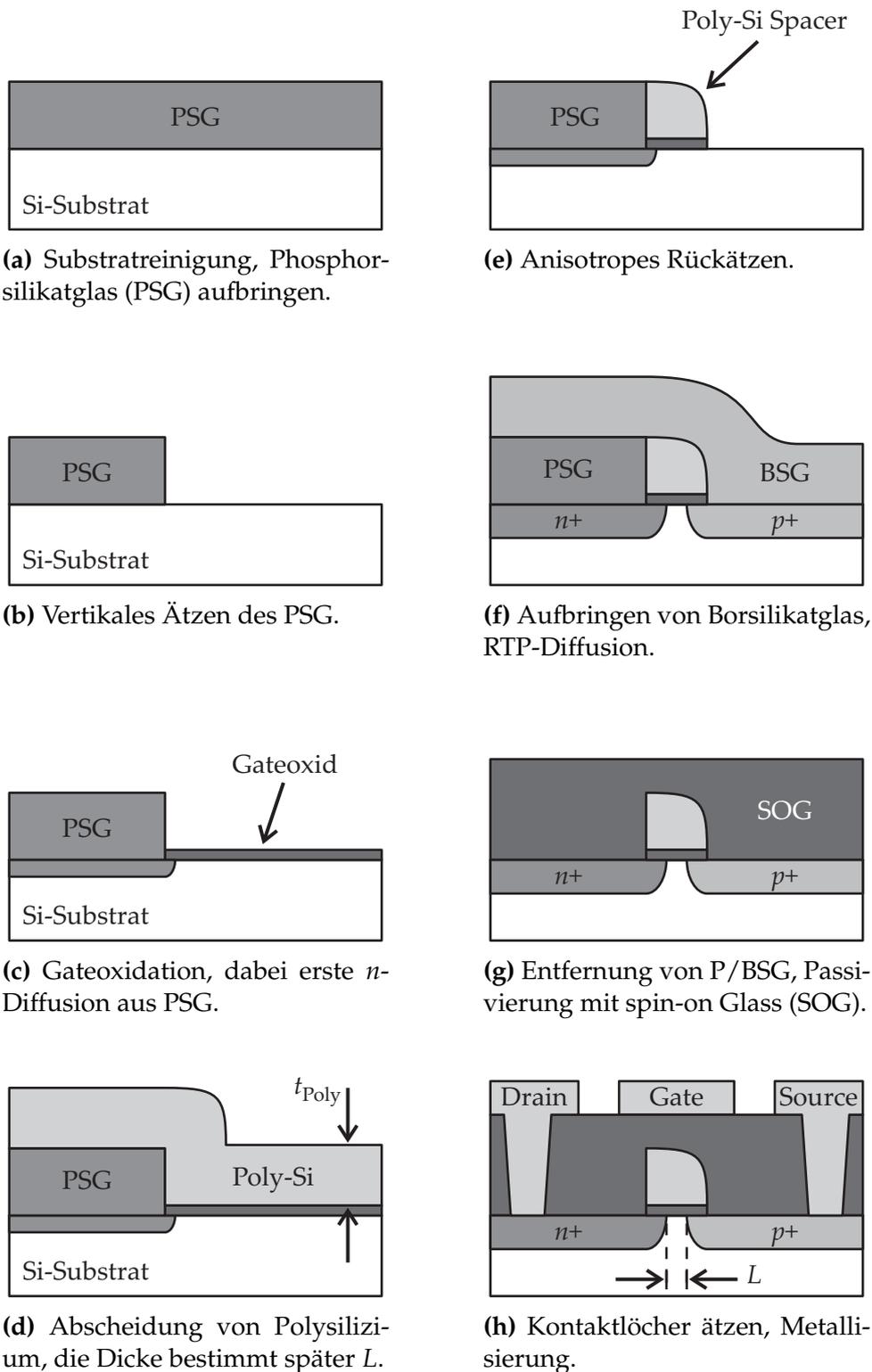


Abbildung 4.1: Prozessfolge des Spacer-Gate-TFET (ohne Lithografie).

für das Spacer-Gate. Für die Herstellung des Spacers wird das Phosphorsilikatglas mittels Lithografie und anschließendem *vertikalen Ätzen* strukturiert (Abb. 4.1b). Wichtig ist beim Ätzen eine starke Anisotropie, nur an einer steilen Ätzflanke bildet sich später ein Spacer. Anschließend erfolgt die *Gateoxidation* (Abb. 4.1c); das offen liegende Silizium wird oxidiert und die mit Phosphorsilikatglas bedeckten Flächen werden an der Oberfläche bereits *n*-dotiert. Es folgt die Abscheidung einer Schicht *Polysilizium* mittels Abscheidung aus der Gasphase (Abb. 4.1d). Bei geeigneten Prozessbedingungen wird die vertikale Ätzflanke konform mit Polysilizium bedeckt, dadurch ist die vertikale Abmessung der Schicht direkt neben der Ätzflanke dicker. Bei dem *anisotropen Rückätzen* des Polysiliziums wird das Substrat stellenweise wieder freigelegt, das Phosphorsilikatglas bleibt jedoch stehen und am Übergang dazwischen bildet sich der Spacer aus Polysilizium (Abb. 4.1e). Der Spacer ist durch das Gateoxid vom Substrat getrennt. Bei einer steilen Ätzflanke im PSG, guter Konformität der Abscheidung von Polysilizium und hoher Anisotropie des Rückätzens ist die Breite des Spacers genauso groß wie die ursprüngliche Dicke des Polysiliziums t_{Poly} [Wid96].

Anschließend wird *Borsilikatglas* als *p*-Dotierstoffquelle aufgebracht. In einem Rapid-Thermal-Process (RTP) werden auf der Drainseite Phosphor und auf der Sourceseite Bor in das Substrat eingetrieben (Abb. 4.1f). Hohe Temperaturen führen zu einer hohen Dotierstoffkonzentration, kurze Aufheiz- und Abkühlzeiten ermöglichen steile Dotierprofile und eine kurze Gesamtdauer des Prozesses verhindert eine zu weite Unterdiffusion, damit sich die Dotiergebiete von Source und Drain nicht überschneiden. Nach der Entfernung der beiden Dotiergläser erfolgt die *Passivierung* z. B. mit einem spin-on Glas (Abb. 4.1g). Für die *Kontaktierung* des Transistors werden noch die Kontaktlöcher in der Passivierung freigelegt, die Metallisierung wird aufgebracht und strukturiert (Abb. 4.1h).

Die Kontaktierung des Gates und die Isolation der Bauelemente untereinander sind in Abbildung 4.1 nicht eingezeichnet. Diese werden in Abbildung 4.2 anhand eines Spacer-Gate-TFETs auf SOI-Substrat gezeigt. Das Bauelement ist unmittelbar vor der Passivierung dargestellt. Das Feldoxid (local oxidation of silicon, LOCOS) wird noch vor der Abscheidung des PSG hergestellt und planarisiert¹ (s. Abschn. 4.2.3). Bei SOI-Substraten erfolgt die Oxidation bis zum BOX. Vor dem Rückätzen des Polysiliziums werden einzelne Flächen über dem LOCOS mit Fotolack abgedeckt, damit hier eine größere Fläche für den Gatekontakt entsteht (vgl. Abb. 4.2).

Die Kanallänge des Transistors hängt von der Spacerbreite und der lateralen Unterdiffusion von Source $r_{\text{lat } p}$ und Drain $r_{\text{lat } n}$ unter das Gate ab. Bei

¹Eine elektrische Trennung der Bauelemente durch Shallow-Trench-Isolation (STI) ist prinzipiell auch geeignet, sofern man anschließend wieder eine ebene Waferoberfläche erzielt.

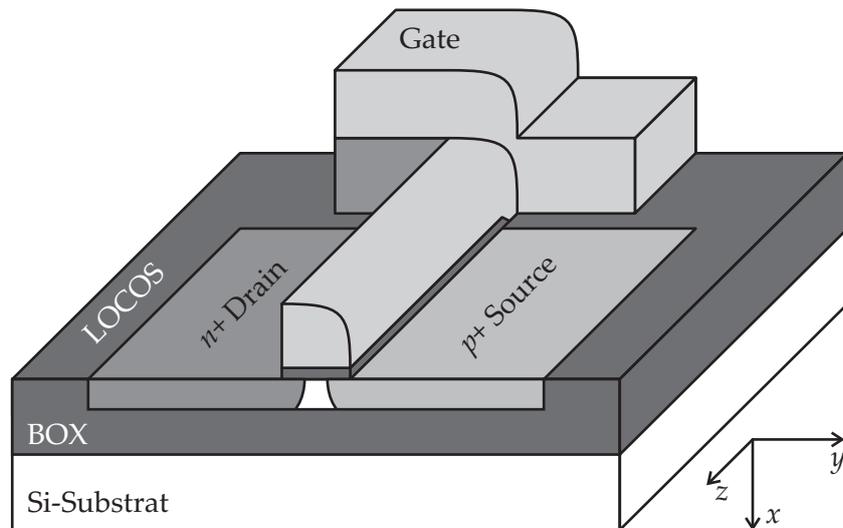


Abbildung 4.2: Schemazeichnung eines Spacer-Gate-TFET auf SOI vor der Passivierung. Das Feldoxid (LOCOS) wurde nach der Herstellung planarisiert. Auf dem Feldoxid liegt eine große Schicht aus Polysilizium für die Kontaktierung des Spacer-Gates. Die Darstellung der einzelnen Materialien stimmt mit Abbildung 4.1 überein.

einem idealen Prozess gilt:

$$L = t_{\text{Poly}} - (r_{\text{lat } n} + r_{\text{lat } p}) \quad (4.1)$$

Der Spacer-Gate-Prozess hat zwei wesentliche Vorteile: Die Schichtdicke des Polysiliziums kann bei der Abscheidung Nanometer-genau eingestellt werden und auch die Unterdiffusion kann über Diffusionsdauer und -temperatur mit hoher Reproduzierbarkeit durchgeführt werden. Durch eine sorgfältige Abstimmung der Einzelprozesse können *Kanallängen unter 20 nm* erreicht werden. Der zweite Vorteil liegt darin, dass es sich um einen *selbstjustierenden Prozess* handelt. Das bedeutet, dass die Dotierprofile von Source und Drain direkt an das Gate angrenzen, so dass keine Fehljustage durch Lithografie existiert. Der Spacer-Gate Prozess eignet sich also hervorragend, um TFETs mit ultrakurzen Kanallängen herzustellen und zu untersuchen.

4.2 Prozessschritte im Detail

Für die Herstellung des vorgestellten Spacer-Gate-TFETs sind viele verschiedene Einzelprozesse und insgesamt sechs Lithografieschritte notwendig. In diesem Abschnitt werden diese Prozesse und die in dieser Arbeit durchgeführten Technologieentwicklungen vorgestellt. Ein wichtiges Augenmerk bei allen

Prozessen ist das Temperaturbudget, denn nach der Abscheidung des Phosphorsilikatglases diffundiert bei Prozessen mit hoher Temperatur ($> 700\text{ °C}$) Phosphor ins Substrat: Dies ist nur bei der RTP-Diffusion (vgl. Abb 4.1f) erwünscht. In Abschnitt 4.3 wird dann der vollständige Herstellungsprozess besprochen und mit Bildern von Licht- und Rasterelektronenmikroskop illustriert.

4.2.1 Reinigung und nasschemisches Ätzen

Die Reinigung des Substrates vor der Herstellung von elektrischen Bauelementen und auch zwischen einigen Prozessschritten ist von großer Wichtigkeit. Verunreinigungen an der Oberfläche führen zur Degradation der elektrischen Eigenschaften und können das Bauelement auch vollständig zerstören [Chan96].

In dieser Arbeit wurden hauptsächlich nasschemische Reinigungsverfahren mit Ultraschallunterstützung angewendet². Bei einer ersten Grundreinigung wird das Substrat zuerst mechanisch gereinigt. Es folgen die Standardreinigungen SC-1 und SC-2 [Ker70]³. Diese wurden nach neueren Gesichtspunkten leicht modifiziert [Ker93]. Zwischen SC-1 und SC-2 wurde das chemische Oxid durch einen HF-Dip entfernt. Die Details der *Standard Reinigung* finden sich im Anhang in Tabelle A.2. Bei starker organischer Verschmutzung und vor dem Aufspleudern von spin-on Dopands (s. Abschn. 4.2.3) wurde der so genannte *Piranha Clean* verwendet, seine Zusammensetzung ist in Tabelle A.3 angegeben.

Für die Herstellung des Spacer-Gate-TFET sind drei verschiedene nasschemische Strukturierungen notwendig: Das Ätzen von thermischem Oxid, von Phosphorsilikatglas (spin-on Dopand) und von Aluminium. Die ersten beiden Ätzungen wurden mit gepufferter Flußsäure, bzw. mit stark verdünnter Flußsäure durchgeführt. Aluminium wurde mit einer Mischung aus Phosphorsäure, Salpetersäure und DI-Wasser geätzt. Die Zusammensetzungen der verwendeten Ätzlösungen sind in Tabelle A.4 zusammengefasst.

Die Robustheit eines Ätzprozesses hängt maßgeblich von einer konstanten Ätzrate und der Selektivität zu anderen Materialien bzw. einem eventuellen Ätzstop ab. In dieser Arbeit wird von der hohen Selektivität von Flußsäure gegenüber Silizium Gebrauch gemacht. Die verdünnte Flußsäure zeigt ebenfalls eine starke Selektivität zwischen dotiertem zu undotiertem Silikatglas. Praktische Zusammenfassungen über nasschemische Ätzlösungen für die Siliziumhalbleitertechnologie inklusive Ätzraten und Selektivitäten finden sich z. B. in [Wil96, Wil03, Koe98].

²Nur vor der Abscheidung von Polysilizium wurde die Probe trockenchemisch gereinigt.

³Der Standard Clean 1 und 2 ist auch unter der Bezeichnung RCA Clean 1 und 2 bekannt.

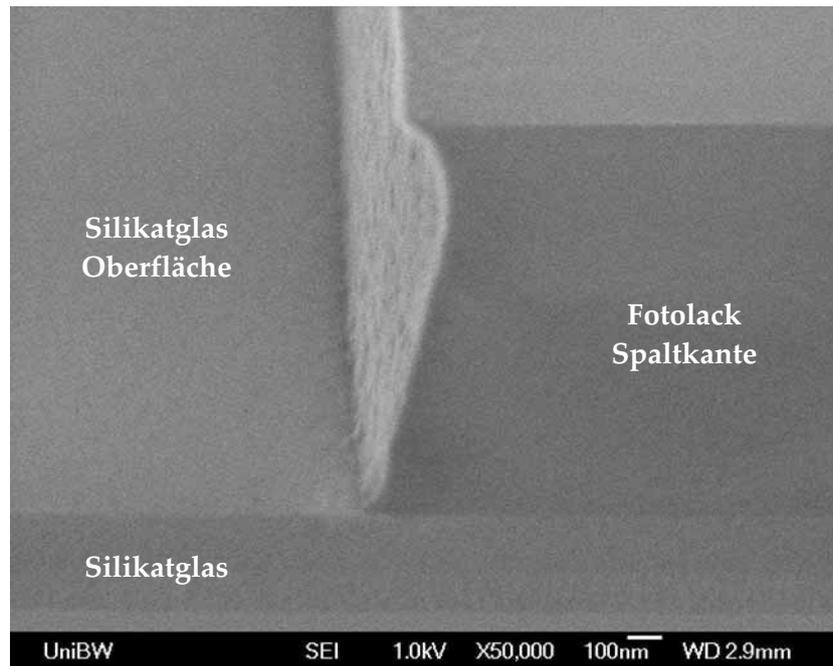


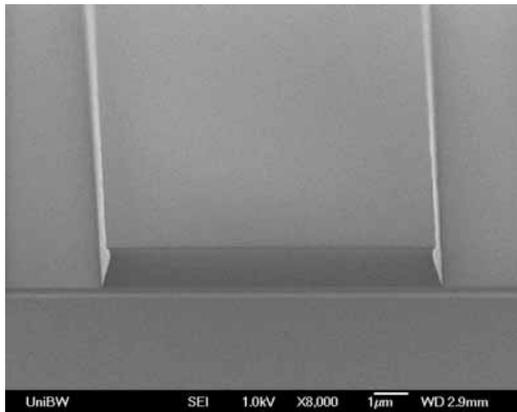
Abbildung 4.3: Querschnitt einer Fotolackflanke des Lackes AR-P 3740 nach dem Rezept von Tabelle A.5. Die Lithografieparameter sind für eine Oberfläche aus Silikatglas optimiert. Die steile Fotolackflanke ist für das anschließende vertikale Ätzen notwendig. Der Blickwinkel beträgt 30° zur Waferoberfläche.

4.2.2 Lithografie

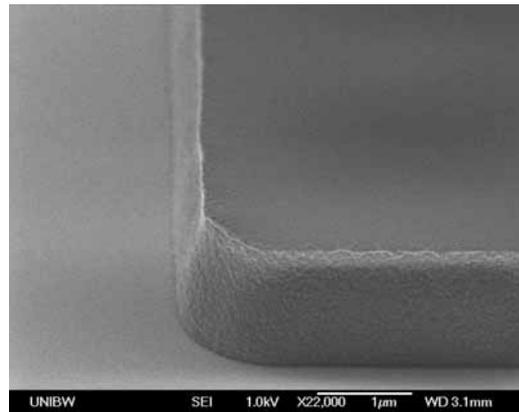
Bei der Lithografie wird die Struktur einer Chrommaske auf eine Fotolackschicht übertragen. Die Fotolackschicht wird vorher auf den Wafer aufgeschleudert. Details zu dem Maskenlayout dieser Arbeit finden sich in Anhang A.1. In dieser Arbeit wurde sowohl Kontakt- als auch Vakuumkontaktbelichtung verwendet. Für die meisten Lithografieschritte kam der Positiv-Fotolack ma-P 1205 der Fa. micro resist technology [Mic] zum Einsatz. Für die Definition des LOCOS wurde der Negativ-Fotolack ma-N 1405 der gleichen Firma verwendet. Aufgrund der hohen Anforderungen an die Flankensteilheit des Fotolackes bei der Strukturierung des Phosphorsilikatglases wurde hier der hochauflösende Lack AR-P 3740 der Fa. Allresist [All] eingesetzt.

Für alle drei Lacke wurden die optimalen Lithografieparameter ermittelt, diese sind in Tabelle A.5 zusammengefasst. Die Auswirkungen einer Variation der verschiedenen Prozessparameter und die Optimierungsmöglichkeiten einer Lithografie sind in [Koc06] übersichtlich dargestellt.

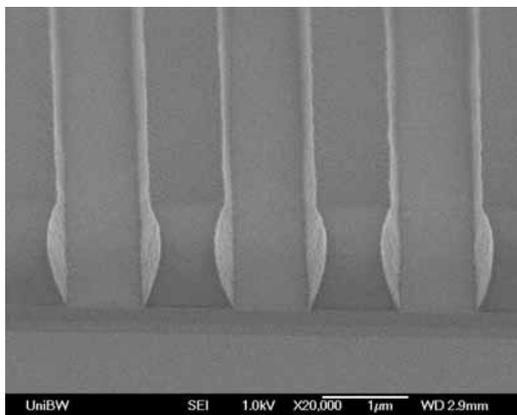
In Abbildung 4.3 ist eine SEM-Aufnahme des Fotolackes AR-P 3740 zu sehen. Die hohe Flankensteilheit ist Voraussetzung für das erfolgreiche vertikale Trockenätzen des Phosphorsilikatglases (vgl. Abschn. 4.2.4). Die Grundlage für die Optimierung dieses Lithografieschrittes ist in [Bor07] zu fin-



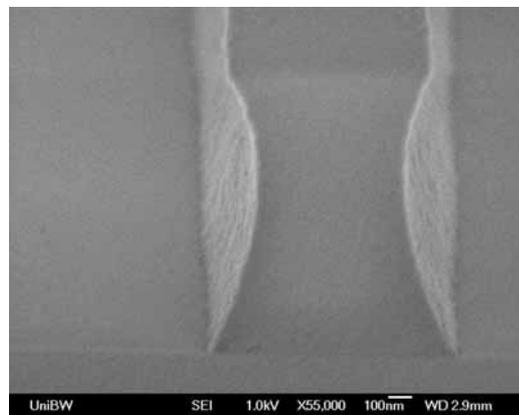
(a) Spaltkante eines 10 µm breiten Fotolackstreifen.



(b) Fotolackflanke an einer Ecke.



(c) Spaltkante von periodischen 1 µm Streifen.



(d) Vergrößerung von (c).

Abbildung 4.4: SEM Aufnahmen von Lithografie-Teststrukturen zur Evaluierung der Fotolackflanke. Sowohl bei den großen Strukturen in (a) und (b) als auch bei kleinen Strukturen in (c) bzw. (d) erkennt man eine steile Fotolackflanke und eine gute Abbildung der Chrommaske. Der Blickwinkel beträgt 30° zur Waferoberfläche.

den. Durch einen verhältnismässig langen Soft-Bake und durch verdünnten Entwickler wird beim Entwickeln ein hohes Kontrastverhältnis erzeugt. Der Post-Exposure-Bake zwischen Belichtung und Entwickeln ermöglicht eine Aushärtung des Lackes ohne ein Verfließen der Kante. Mit diesem Prozess erreicht man bei verschiedenen Strukturgrößen eine sehr gute Übertragung der Maskengeometrie in den Fotolack (vgl. Abb. 4.4).

4.2.3 Schichttechnik

Bei der Herstellung des Spacer-Gate-TFET werden auf dem Siliziumwafer mit verschiedenen Verfahren Schichten erzeugt. In diesem Abschnitt werden diese Verfahren kurz erklärt und auf Besonderheiten bezüglich des Spacer-Gate-TFET eingegangen. Die Schichtdicke wurden mittels Spektralellipsometrie oder nach einer selektiven Ätzung mit einem Profilometer bestimmt.

SOD und SOG

Die Silikatgläser wurden in dieser Arbeit mit dem so genannten spin-on Verfahren abgeschieden. Bei dieser Sol-Gel-Technik wird, ähnlich wie beim Fotolack, eine Dispersion aus Lösungsmitteln und SiO₂-haltigen Molekülen auf den Wafer aufgeschleudert. Für eine homogene Verteilung der Dispersion ist eine hydrophile Waferoberfläche notwendig, auf Silizium kann diese durch ein dünnes chemisches Oxid gewährleistet werden. Durch das Ausheilen nach dem Aufschleudern entsteht unter Verlust von Wasser und den Lösungsmitteln ein SiO₂-ähnlicher Film [Bri91]. Bei diesem Vorgang entstehen aufgrund des Ausdampfens der Lösungsmittel und aufgrund von thermischen Spannungen oft Risse oder kleine Löcher, so genannte *pin-holes*. Durch ein Ausheilen in mehreren Stufen und einen geringen Phosphoranteil können diese Defekte reduziert werden. Bei einer strukturierten Waferoberfläche haben aufgeschleuderte Silikatgläser auch eine planarisierende Wirkung.

SOD steht für *spin-on Dopand* und SOG für *spin-on Glass*. Es wird also unterschieden, ob das Silikatglas als Passivierungsschicht oder als Dotierstoffquelle eingesetzt wird. Das Phosphorsilikatglas in Abbildung 4.1a hat zwei Aufgaben. Zum Einen bildet sich an seiner vertikalen Ätzkante das Spacer-Gate aus Polysilizium und zum Zweiten dient es als Phosphorquelle für die *n*-Dotierung. Aufgrund dieser beiden Aufgaben und den nachfolgenden Prozessschritten ergeben sich folgende Anforderungen an die Schicht:

- Geeignet für die nachfolgende Lithografie
- Geeignete Schichtdicke für der Herstellung des Spacers
- Thermische Stabilität
- Erzeugung einer hohen Dotierstoffkonzentration bei der Diffusion

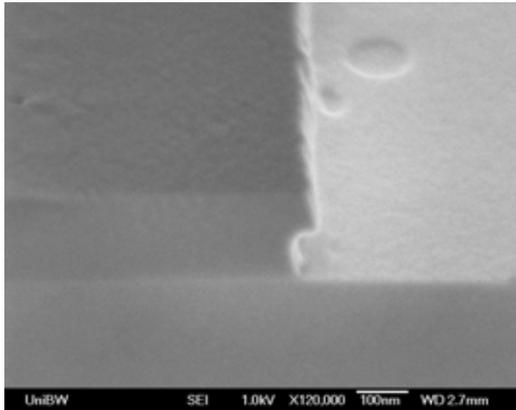
Für die hohe *n*-Dotierung wird ein SOD mit hohem Phosphoranteil benötigt, diese sind aber stark hygroskopisch und würden bei der anschließenden Lithografie Wasser aufnehmen. Die geeignete Schichtdicke des Silikatglases ist abhängig von den nachfolgenden Ätzprozessen und der angestrebten Geometrie des Spacers. Sie sollte mindestens 200 nm betragen. Aus diesen Gründen

eignet sich ein Schichtstapel aus einem SOD mit hoher Phosphorkonzentration und einem SOG mit nur geringem oder keinem Phosphoranteil. Ein weiterer Vorteil dieses Schichtstapels liegt darin, dass das Dotierglas selektiv gegenüber dem undotierten Silikatglas geätzt werden kann, die resultierenden Möglichkeiten werden in Abschnitt 4.2.4 näher erläutert. Bei der Evaluierung verschiedener Gläser fiel die Wahl auf den SOD P-507 und den SOG-82F der Fa. Filmtronics [Fil].

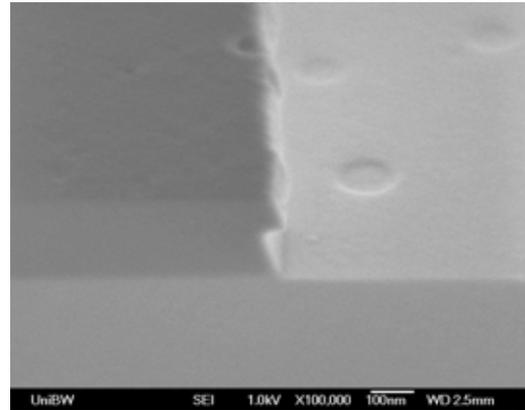
Zwischen der vertikalen Ätzung und der Abscheidung von Polysilizium liegt die thermische Gateoxidation. Nach diesem Hochtemperaturprozess muss die Flanke des Silikatglases immer noch steil genug sein, damit sich dort ein Spacer ausbildet. Insgesamt ist die thermische Stabilität von spin-on Gläsern bei Temperaturen, wie sie bei der Gateoxidation vorherrschen, sehr gering: Die Schichten ziehen sich stark zusammen. Die Oberkante des Schichtstapels verschiebt sich in Abhängigkeit der Temperatur beim Ausheilen und der Strukturgröße um bis zu $0,5\ \mu\text{m}$ zur Seite. Da die Temperatur der Gateoxidation nicht beliebig verringert werden kann (s. Abschn. Thermische Oxidation), musste die Endtemperatur zum Ausheilen der Silikatgläser sukzessive bis auf $800\ ^\circ\text{C}$ erhöht werden. Um die gewünschte Schichtdicke zu erhalten wurden auf den SOD noch zwei Schichten SOG aufgebracht.

Ein Querschnitt des optimierten Schichtstapel mit Ätzung ist in der SEM Aufnahme von Abbildung 4.5a zu sehen. Man erkennt die Dicke der unterschiedlichen Silikatgläser an der Struktur der Ätzflanke. Pin-holes werden durch die Ätzung vergrößert und auf die Siliziumoberfläche übertragen. Die Abbildungen 4.5b und 4.5c zeigen die thermische Verformung durch die Gateoxidation bei verschiedenen breiten Strukturen. Der Graph in Abbildung 4.5d zeigt die laterale Verschiebung der oberen SOG Kante in Abhängigkeit der Breite des SOD/SOG Streifens. Oberhalb von $10\ \mu\text{m}$ bleibt die thermische Verformung nahezu konstant. Bei kleinen Strukturen zieht sich der SOD/SOG-Schichtstapel bei der Gateoxidation trotz des vorherigen Ausheizens bei $800\ ^\circ\text{C}$ noch um ca. 4% zusammen, bei großen Strukturen wird diese Verformung durch Spannungen in der Schicht kompensiert. Tabelle A.6 im Anhang listet die verwendeten Parameter für die Herstellung des SOD/SOG-Schichtstapels auf.

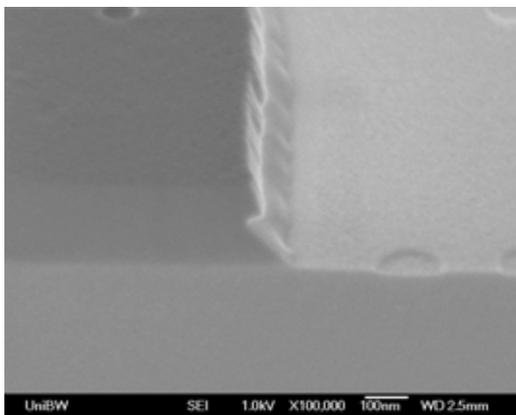
Das Borsilikatglas in Abbildung 4.1f dient ausschließlich als Bor-Quelle für die *p*-Dotierung und wird gleich nach der Diffusion wieder nasschemisch entfernt. Daher wird an dieses Dotierglas nur die Anforderung gestellt bei der Diffusion möglichst viel Bor zu liefern. Um eine hohe Dotierung zu erreichen wurde der SOD B-155 der Fa. Filmtronics gewählt. Dieser SOD enthält die höchste Borkonzentration der kommerziell verfügbaren SODs [Fil]. Insbesondere bei langen Diffusionen und bei hohen Temperaturen führt diese hohe Borkonzentration zu Problemen bei der Entfernung des SODs nach der Diffusion. An der Siliziumoberfläche bildet sich eine so genannte *boron skin*, welche sich



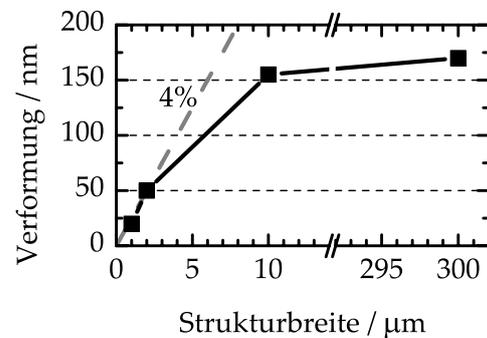
(a) Querschnitt des SOD/SOG-Schichtstapels nach der Ätzung.



(b) Der Schichtstapel aus (a) nach der Gateoxidation (2 μm Streifen).



(c) Der Schichtstapel aus (a) nach der Gateoxidation (10 μm Streifen).



(d) Laterale Verschiebung der oberen SOG-Kante in Abhängigkeit der Strukturbreite.

Abbildung 4.5: Einfluss der Gateoxidation auf den SOD/SOG-Schichtstapel in Abhängigkeit der Strukturbreite. SEM Aufnahmen mit einem Blickwinkel von 30° zur Waferoberfläche. Links im Bild befindet sich jeweils der SOD/SOG-Schichtstapel und rechts das freigelegte Substrat.

mit Flusssäure beliebiger Konzentration nicht mehr entfernen lässt. Die Diffusionszeiten in dieser Arbeit waren aber so kurz, dass diese Schwierigkeiten nicht auftraten. Die verwendeten Prozessparameter für den SOD B-155 finden sich ebenfalls in Tabelle A.6. Die Diffusionsgrundlagen und die Optimierung der Dotierprofile werden in Abschnitt 4.2.5 besprochen.

Die abschließende Passivierung (Abb. 4.1g) erfolgt ebenfalls mit einem spin-on Glas, hierbei handelt es sich jedoch um das Methylsiloxane 21F (ebenfalls von der Fa. Filmtronics). Durch die organischen Gruppen der Silikatpolymere verringert sich zwar die Temperaturstabilität, dafür weist dieses Glas bei richtiger Prozessierung keine Risse oder pin-holes auf [Bri91].

Thermische Oxidation

Bei der thermischen Oxidation wird Silizium bei hohen Temperaturen einem oxidierenden Gas ausgesetzt, wodurch die Oberfläche zu Siliziumdioxid umgewandelt wird. Man unterscheidet hierbei zwischen Trocken- und Feuchtoxidation, je nachdem ob das oxidierende Prozessgas Sauerstoff O_2 oder Wasserdampf H_2O ist. Die Reaktionsgleichungen für diese beiden Prozesse lauten:



An den Gleichungen 4.2 und 4.3 sieht man, dass zur Bildung des thermischen Oxids ein Teil des Siliziums verbraucht wird. Die Schichtdicke des verbrauchten Siliziums entspricht dabei 45 % der resultierenden Oxiddicke [Tra00].

Die *Trockenoxidation* wird in dieser Arbeit für die Herstellung des Gate-dielektrikums eingesetzt. Aufgrund der Diffusion aus dem *n*-SOD und der schlechten thermischen Stabilität des SOD/SOG-Schichtstapels muss die Oxidationstemperatur so niedrig wie möglich gewählt werden. Um das thermische Budget zusätzlich zu reduzieren, wurde ein *Rapid-Thermal-Process* (RTP) verwendet.

In Abbildung 4.6 ist der schematische Aufbau der verwendeten RTP Kammer dargestellt. Die Wafer werden einzeln prozessiert und mit einem Feld aus Halogenstrahlern erhitzt. Die Innenseite der Kammer ist poliert, so dass

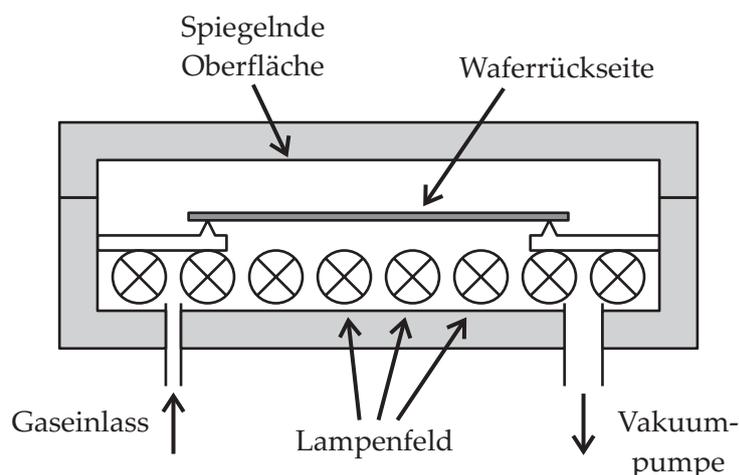


Abbildung 4.6: Schematischer Aufbau der verwendeten Rapid-Thermal-Process-Kammer. Der Wafer wird durch ein Feld aus Halogenstrahlern erhitzt. Die spiegelnde Oberfläche der Kammerwände reflektiert die Strahlung, so dass die Wände mehrere $100\text{ }^\circ\text{C}$ kühler sind als der Wafer. Durch eine Evakuierung der Kammer kann eine definierte Prozessumgebung hergestellt werden.

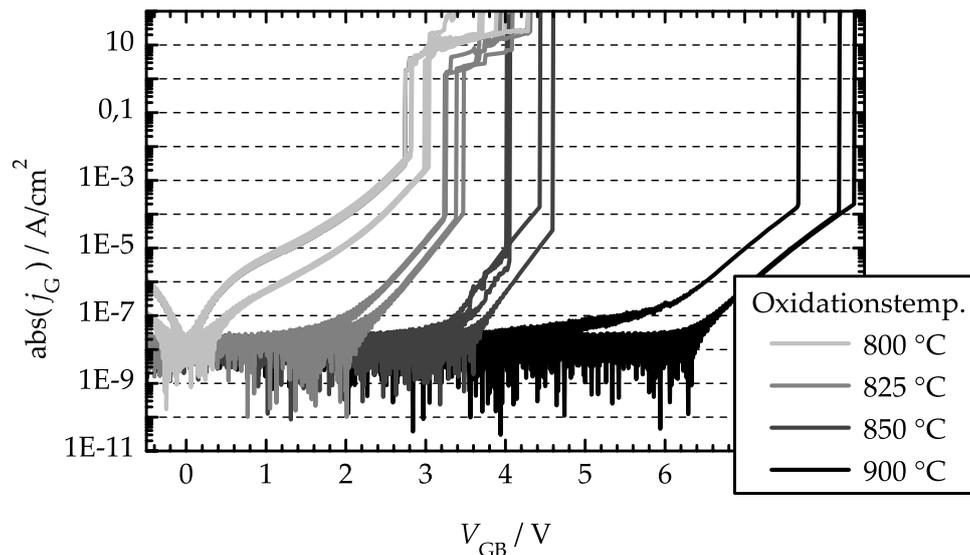


Abbildung 4.7: *IV*-Kennlinien von MOS-Dioden, hergestellt in einer RTP-Kammer bei verschiedenen Temperaturen (10 min Trockenoxidation, *n*-Substrat, Al-Gatemetall). Beträgt die Oxidationstemperatur 825 °C und mehr, so liegt der Leckstrom bei kleiner Spannung V_{GB} unterhalb des Messrauschens.

die Wärmestrahlung von den Kammerwänden reflektiert wird, dadurch liegt die Temperatur der Kammerwände einige 100 °C unter der des Wafers. Dies ermöglicht sowohl ein schnelles Aufheizen als auch ein schnelles Abkühlen des Wafers. Die absoluten Temperaturen von einem RTP-System können auf ein anderes System nur bedingt übertragen werden, da diese je nach Bauart stark variieren [Chan96]. Um eine definierte Gasatmosphäre in der Kammer zu erhalten kann wird die Kammer mehrmals evakuiert und mit reinem Stickstoff, Sauerstoff oder einer Mischung aus beidem befüllt. Die Kammer ist zusätzlich mit einer austauschbaren Glasware ausgestattet, so dass sowohl Oxidationen als auch Diffusionen darin durchgeführt werden können, ohne dass Kontaminationen die Qualität reduzieren.

Abbildung 4.7 zeigt die *IV*-Kennlinien von MOS-Dioden mit einer zehminütigen RTP-Gateoxidation bei verschiedenen Temperaturen. Die MOS-Dioden, welche bei 800 °C gefertigt wurden, zeigen schon bei niedrigen Spannungen hohe Leckströme. Bei 825 °C liegt der Leckstrom bis ca. 2 V unter dem Messrauschen, der dielektrische Durchbruch findet bei ca. 3,4 V statt. Die Oxide welche bei 850 und 900 °C hergestellt wurden, zeigen natürlich noch bessere Eigenschaften. Die elektrische Festigkeit des 825 °C Oxids ist für den Spacer-Gate-TFET jedoch ausreichend. Eine umfassendere Charakterisierung dieses Oxids als Gatedielektrikum ist in Kapitel 5, Abschnitt 5.1 zu finden. Auf ein Annealing des Gateoxids wurde zugunsten des thermischen Budgets verzichtet.

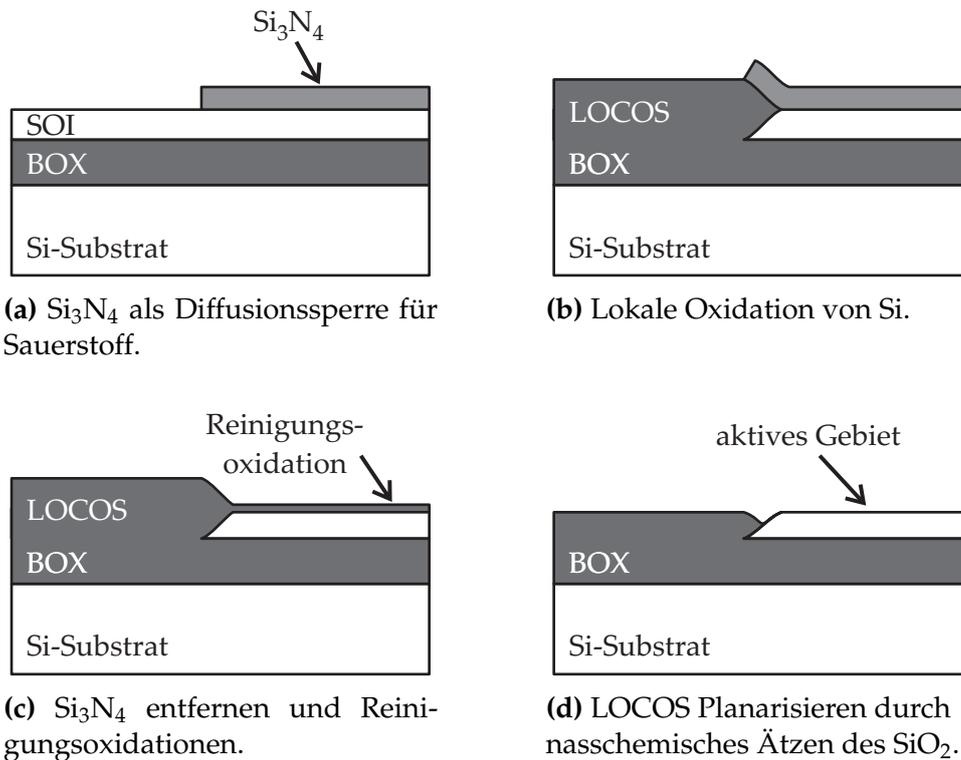


Abbildung 4.8: Planarisierte LOCOS-Prozess anhand eines SOI-Substrates.

Die *Feuchtoxidation* findet aufgrund des schnelleren Oxidwachstums ihre Anwendung bei der Herstellung von dicken Isolationsschichten. Beim LOCOS-Prozess werden die aktiven Gebiete, also dort wo später die Bauelemente entstehen, mit Siliziumnitrid abgedeckt⁴. Dieses fungiert als Diffusionssperre für Sauerstoff, so dass das Silizium in der nachfolgenden Feuchtoxidation dort nicht oxidiert wird. Es folgen die Entfernung des Si_3N_4 und zwei Reinigungsoxidationen für die Entfernung eventueller Oxynitride am Übergang zwischen dem aktiven Gebiet und dem LOCOS [Wid96]. Die planarisierende Wirkung der spin-on Gläser hat zur Folge, dass diese Gläser in Abhängigkeit der Strukturen auf der Waferoberfläche an verschiedenen Positionen unterschiedlich dick sein können. Die nachfolgenden Ätzprozesse werden jedoch genau auf die Dicke des Silikatglases eingestellt. Damit die Spacer-Gates jedoch über den ganzen Wafer die gleiche Form haben, muss das Feldoxid planarisiert werden. Durch nasschemisches Ätzen des SiO_2 mit Überprüfung der Stufenhöhe mit einem Profilometer konnte eine Stufenhöhe $< 20 \text{ nm}$ mit hoher Reproduzierbarkeit realisiert werden. Abbildung 4.8 zeigt die Herstellung des planarisierten LOCOS anhand eines SOI-Substrats. Nach der Planarisierung beträgt die Oxiddicke des LOCOS noch ca. 200 nm. Das

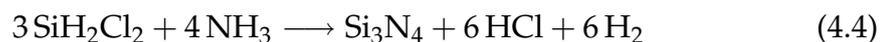
⁴Unter dem Si_3N_4 befindet sich eine dünne Schicht SiO_2 zur Stresskompensation.

thermische Budget für die Bauelementeisolierung spielt für die Eigenschaften des Spacer-Gate-TFET noch keine Rolle, da bei diesen Prozessen noch keine Dotierstoffquelle vorhanden ist.

Abscheidung aus der Gasphase

Eine weitere Möglichkeit der Schichterzeugung ist die Abscheidung aus der Gasphase (Chemical Vapor Deposition, CVD). Bei diesem Verfahren reagieren an der Waferoberfläche ein oder mehrere Prozessgase (Precusoren) unter Abgabe von flüchtigen Gasen zu einem Festkörperverbund. Gegebenenfalls findet auch schon bei der Mischung der Gase eine Vorreaktion statt. Abscheidung bei niedrigen Drücken nennt man von Low Pressure CVD (LPCVD) [Chan96].

Die Abscheidung des *Siliziumnitrids* für die LOCOS Herstellung wurde in einem Röhrenreaktor mittels LPCVD durchgeführt. Die beiden Precusoren Dichlorsilan (SiH_2Cl_2) und Ammoniak (NH_3) reagieren gemäß folgender Reaktionsgleichung zu Si_3N_4 :



Das *polykristalline Silizium* wurde in einem RTP-fähigen Reaktor aus Silan (SiH_4) hergestellt. Eine ausführliche Beschreibung der Anlage findet sich in [Schi06]. Eine gute Konformität wird durch eine reaktionsbegrenzte Abscheidung bei einer Temperatur von 600 °C erreicht. Durch gleichzeitiges Einleiten von Phosphin (PH_3) findet eine insitu *n*-Dotierung statt. Die Rekristallisierung bei 700 °C verringert den Flächenwiderstand der Schicht. Die Konzentration der elektrisch aktiven Dotierstoffkonzentration wurde mittels Vier-Punkt Messungen und Berücksichtigung der Schichtdicke auf ca. $4\text{E}18/\text{cm}^3$ bestimmt. Die verwendeten Prozessparameter der LPCVD-Abscheidungen finden sich im Anhang in Tabelle A.7.

Aufdampfverfahren

Zur Kontaktierung der Source- und Draingebiete und des Gates aus Polysilizium wurde eine Metallisierung aus Aluminium verwendet. Für die Abscheidung von Aluminium mittels Aufdampfen wird in einer Vakuumkammer Aluminium in einer Quelle so stark erhitzt, dass nennenswerte Mengen abdampfen. Der Abstand von der Quelle zum Substrat muss kleiner sein als die mittlere freie Weglänge im Vakuum, damit die abgedampften Atome ohne Zusammenstoß auf das Substrat zufliegen und sich dort ablagern [Wid96]. Die in dieser Arbeit eingesetzte Quelle besteht aus einem widerstandsbeheizten Wolframschiffchen, das vor jedem Prozess neu mit Aluminium befüllt wird. Die Dicke der Metallisierung betrug ca. 350 nm.

4.2.4 Trockenätzen

Beim Trockenätzen werden Atome oder auch Atomverbände aus dem zu ätzenden Material abgetragen und zusammen mit dem Prozessgas abtransportiert. Der Materialabtrag kann rein physikalisch, rein chemisch oder physikalisch und chemisch erfolgen [Koe98]. Die Abbildungen 4.9a-c zeigen typische Ätzprofile der drei verschiedenen Mechanismen. Am Ätzprozess beteiligte Ionen oder freie Radikale werden durch ein Plasma erzeugt. Beim *Sputtern* treffen Ionen mit hoher kinetischer Energie auf den Wafer; ist die kinetische Energie größer als die Bindungsenergie der Atome im Substrat, so werden diese herausgeschlagen. Ein Teil dieser Atome lagert sich an der Seite wieder an, so dass das schräge Ätzprofil aus Abbildung 4.9a entsteht. Die Selektivität zwischen Maske und Substrat ist sehr niedrig. Beim *chemischen Trockenätzen* reagiert das Prozessgas oder darin enthaltene Radikale mit den Atomen der Substratoberfläche zu einem flüchtigen Produkt, welches dann abtransportiert wird. Da die Reaktanden nicht auf die Probe beschleunigt werden, gibt es keine bevorzugte Ätzrichtung und es entsteht, ähnlich wie beim isotropen naschemischen Ätzen, das isotrope Ätzprofil aus Abbildung 4.9b. Bei geeigneter Maskierung ist die Selektivität zwischen Maske und Substrat hoch. Das *reaktive Ionenätzen* (reactive ion etching, RIE) ist eine Mischung aus beiden Prozessen. Hier kann der Materialabtrag sowohl physikalisch durch beschleunigte Ionen als auch chemisch durch freie Radikale stattfinden, wobei die Radikale

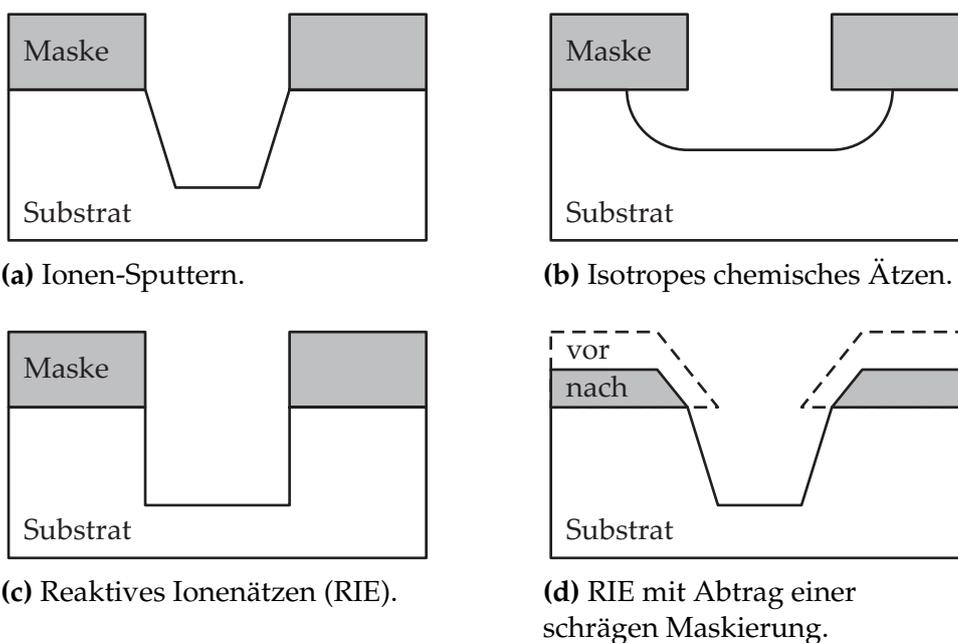


Abbildung 4.9: Ätzprofile beim Trockenätzen.

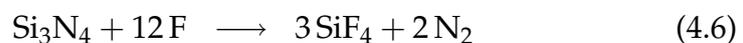
durch Stöße mit den energiereichen Ionen entstehen. Durch geeignete Prozessbedingungen erhält man beim reaktiven Ionenätzen Ätzprofile mit sehr großer Anisotropie (s. Abb. 4.9c). Die Selektivität zwischen Maske und Substrat ist abhängig von der Stärke des physikalischen Abtrags. Abbildung 4.9d zeigt das Profil einer Ätzung mit hoher Anisotropie, aber mit geringer Selektivität und geringer Flankensteilheit der Ätzmaske. Die gestrichelte Linie zeigt die Ätzmaskierung vor der Ätzung. Hier wird deutlich, dass eine schräge Flanke der Ätzmaske bei gleichzeitigem Maskenabtrag das Ätzprofil maßgeblich beeinflusst. Aus diesem Grund wurde die Lithografie für die vertikale Ätzung des SOD/SOG-Schichtstapels hinsichtlich hoher Flankensteilheit des Fotolackes optimiert (s. Abschn. 4.2.2).

Die Trockenätzungen dieser Arbeit wurden in zwei verschiedenen Anlagen durchgeführt. Siliziumnitrid und der SOD/SOG-Schichtstapel wurden in einer RIE-Anlage mit einer ICP-Plasmaquelle (inductive-coupled plasma, ICP) geätzt. Das anisotrope Rückätzen des Polysiliziums wurde in einer Anlage für *chemisch unterstütztes Ionenstrahlätzen* (chemical-assisted ion beam etching, CAIBE) realisiert.

RIE

Abbildung 4.10 zeigt die schematische Darstellung des verwendeten Reaktors für reaktives Ionenätzen. Das Plasma wird kapazitiv über die Hochfrequenzspannung (radio frequency, RF) am Probenhalter generiert. Zusätzlich kann die Plasmadichte durch induktive Leistungseinkoppelung gesteigert werden (inductive coupled plasma, ICP)⁵ [Fra04]. Alle verwendeten Ätzparameter finden sich im Anhang in Tabelle A.8.

Siliziumnitrid lässt sich mit einem Plasma aus Trifluormethan (CHF₃) selektiv gegenüber Silizium ätzen. Die wesentlichen Reaktionsgleichungen zum Abtrag von Si₃N₄ lauten [Wid96]:



Mit einem reinen Sauerstoffplasma kann anschließend in der gleichen Anlage die Ätzmaske aus Fotolack entfernt werden. Der Endpunkt der Ätzung von Si₃N₄ für die LOCOS-Herstellung ist nicht kritisch, da sich unter dem Nitrid noch eine Schicht von ca. 25 nm aus thermischem hergestelltem SiO₂ befindet. Die Ätzung sollte innerhalb dieser Schicht beendet werden, um die Siliziumoberfläche nicht zu schädigen und bei SOI-Substraten die Dicke der Siliziumschicht nicht zu reduzieren. Die Versuchsergebnisse zur Bestimmung der Ätzrate von Si₃N₄ sind in Abbildung 4.11a zu sehen. Der Prozess erwies sich als

⁵Die ICP-Funktion wurde in dieser Arbeit nur zum Entfernen von Fotolack in einem Sauerstoffplasma verwendet.

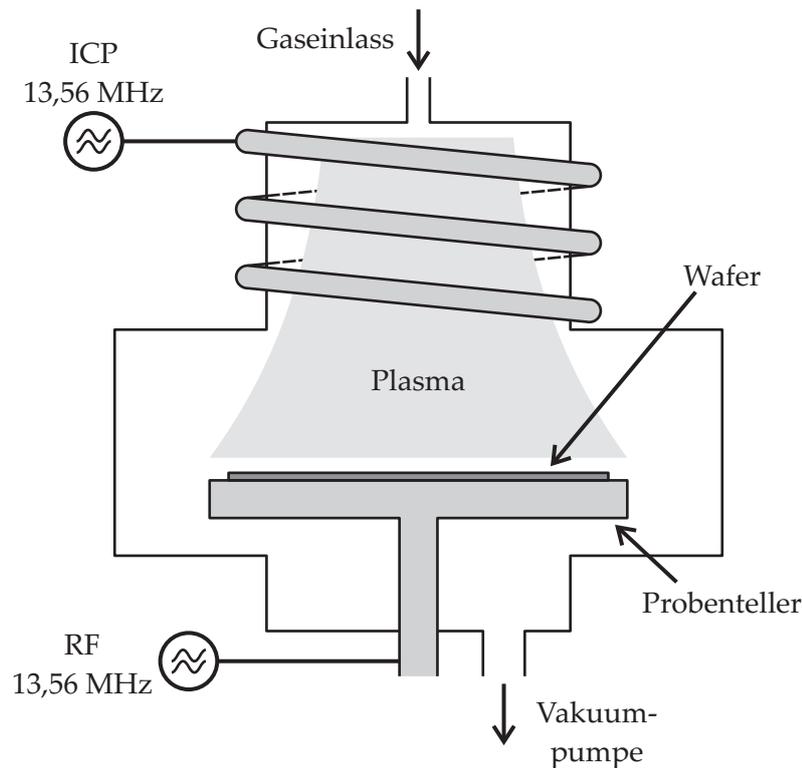


Abbildung 4.10: Schematische Darstellung eines RIE Reaktors mit ICP Option (inductive coupled plasma).

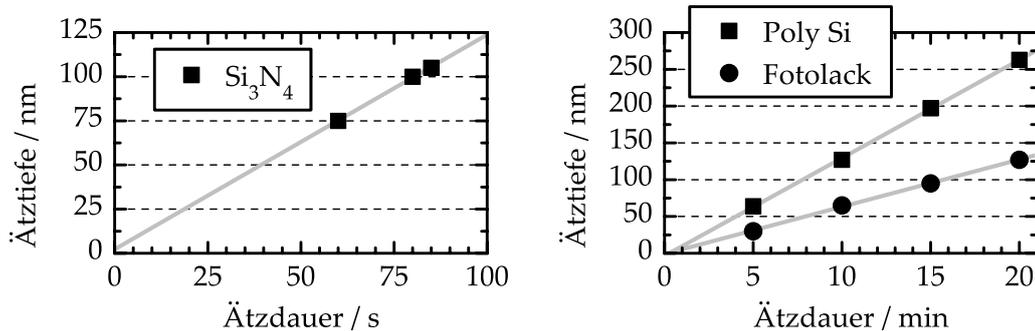
sehr robust mit einer konstanten Ätzrate von ca. 75 nm/min.

Der *SOD/SOG-Schichtstapel* wurde mit einem Plasma aus Trifluormethan und Argon strukturiert. Das Argon erhöht dabei die Anisotropie durch den physikalischen Abtrag. Der chemische Anteil der Ätzung kann durch die Reaktionsgleichung 4.5 und



beschrieben werden [Koe98]. Diese Ätzung muss vor der vollständigen Entfernung des SOD beendet werden, denn trockenchemisches Ätzen mit physikalischem Materialabtrag führt immer zu einer gewissen Oberflächenrauigkeit und gegebenenfalls auch zu Kristallschäden an der Oberfläche. Ein Teil des freigelegten Gebietes bildet später das Kanalgebiet des Spacer-Gate-TFETs. Hier ist eine raue Oberfläche aber unbedingt zu vermeiden, denn sie führt zu

- verringerter Kanalbeweglichkeit der Ladungsträger und
- früherem dielektrischen Durchbruch des Gateoxids;



(a) Ätztiefe von Si_3N_4 im RIE-Verfahren mit CHF_3 ; Ätzrate = 74,5 nm/min.

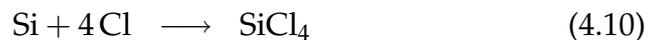
(b) Ätztiefe von Polysilizium und Fotolack beim CAIBE-Verfahren mit Ar und Cl_2 ; Ätzrate Polysilizium = 13,3 nm/min, Selektivität zu Fotolack ca. 2,1.

Abbildung 4.11: Versuchsergebnisse zu Ätzungen in der RIE- und der CAIBE-Anlage. Die Ätztiefe ist bei beiden Prozessen linear abhängig von der Ätzdauer, d.h. sie können als stabil betrachtet werden.

beides verschlechtert die elektrischen Eigenschaften des TFETs. Die Ätzmaske aus Fotolack wurde auch hier mit einem Sauerstoffplasma trockenchemisch entfernt. Die letzte Schicht Phosphorsilikatglas wurde durch selektives nasschemisches Nachätzen mit verdünnter Flußsäure entfernt (s. Abschn. 4.2.1). Die Ätzrate von phosphorfreiem Silikatglas ist sehr viel geringer als die von phosphorhaltigem. Dies schützt die vertikale Flanke vor einer Abrundung und führt zu einer Unterätzung des phosphorfreien Silikatglases (vgl. Abb. 4.5a). Bei geeigneter Ätzdauer kompensiert diese Unterätzung den thermischen Verzug bei der Gateoxidation.

CAIBE

Das chemisch unterstützte Ionenstrahlätzen ist eine Spezialform des reaktiven Ionenätzens. Für diese Ätzung wurden die Prozessgase Argon und Chlor eingesetzt. In einer Ionenstrahlanlage ist das Plasma zur Ionenerzeugung von der Probe getrennt und die Argonionen werden elektrisch mittels einer Gitteroptik auf die Probe beschleunigt. Chlor wird als reaktives Gas direkt vor der Probe in den Reaktor geleitet. Die Argonionen tragen das Polysilizium physikalisch ab, zusätzlich werden von ihnen die Chlormoleküle aufgespalten und reagieren dann an der Probenoberfläche mit Silizium zu Siliziumchlorid [Fra04]:



Chlor in seiner molekularen Form (Cl_2) reagiert nicht mit Silizium. Dadurch wird die Anisotropie der Ätzung gesteigert, denn die chemische Ätzung findet nur dort statt, wo auch die Argonionen auf die Probe auftreffen.

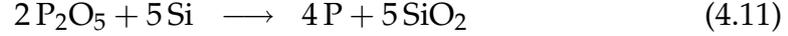
Das Plasma in der verwendeten Anlage wird in einer magnetfeld-unterstützten Mikrowellenquelle generiert und die Ionen werden über zwei Gitter extrahiert. Das anisotrope Rückätzen muss genau auf die Dicke der Polysiliziumschicht abgestimmt werden. Die Schicht und das darunter liegende Gateoxid sollen natürlich vollständig entfernt werden, bei SOI-Wafern darf aber auch nicht zu viel vom Substrat entfernt werden. Die Versuchsergebnisse zur Bestimmung der Ätzrate von Polysilizium und die Selektivität zum Fotolack sind in Abbildung 4.11b zu sehen. Der hohe Anteil an physikalischem Abtrag beim Ionenstrahlätzen führt zu der niedrigen Selektivität von 2,1. Die Ätzrate hängt aufgrund von Aufladungs- und Temperatureffekten auch von der Größe und der Art (Bulk oder SOI) des Substrates ab. Da für diesen Ätzprozess keine geeignete Endpunkterkennung zur Verfügung steht, wurde mittels einer elektrischen Vierpunkt-Messung auf den LOCOS-Gebieten überprüft, ob das Polysilizium vollständig entfernt wurde. Die verwendeten Ätzparameter finden sich wiederum im Anhang (s. Tab. A.9).

4.2.5 Dotierung

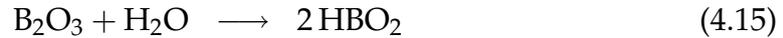
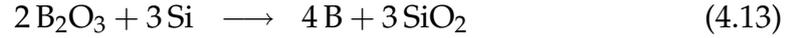
Die Dotierprofile gehören zu den Schlüsselkomponenten beim Design des TFET und haben großen Einfluss auf seine elektrischen Eigenschaften. Die Höhe und der Gradient der Sourcedotierung sollten so groß wie möglich sein und die Kanaldotierung darf eine Höhe von $1\text{E}18/\text{cm}^3$ nicht überschreiten (vgl. Abschn. 3.2 und [Hei07a]). An die Draindotierung werden keine großen Anforderungen gestellt, flache Dotierprofile sind eher hilfreich um das komplementäre Verhalten zu unterdrücken. Die Dotierung muss nur hoch genug sein, um einen guten Metall-Halbleiter-Kontakt zu gewährleisten.

Bereits während des Ausheizens des SOD/SOG-Schichtstapels und bei der Gateoxidation findet eine erste Diffusion von Phosphor ins Silizium statt, weshalb das resultierende Dotierprofil von Phosphor keine ideale Steilheit erreicht. Bor hingegen wird nur in einem Schritt eindiffundiert und es folgen danach auch keine weiteren Hochtemperaturprozesse. Daher zeigen die hergestellten Spacer-Gate-TFETs auch bessere Eigenschaften in n -Kanal Betrieb, wo sich der Tunnelübergang zwischen dem Kanal und dem $p+$ Gebiet (Source) ausbildet.

In Phosphorsilikatgläsern und an der Grenzfläche zum Silizium können folgende für die Diffusion relevante Reaktionen stattfinden:



Für Borsilikatgläser lauten die Reaktionsgleichungen:

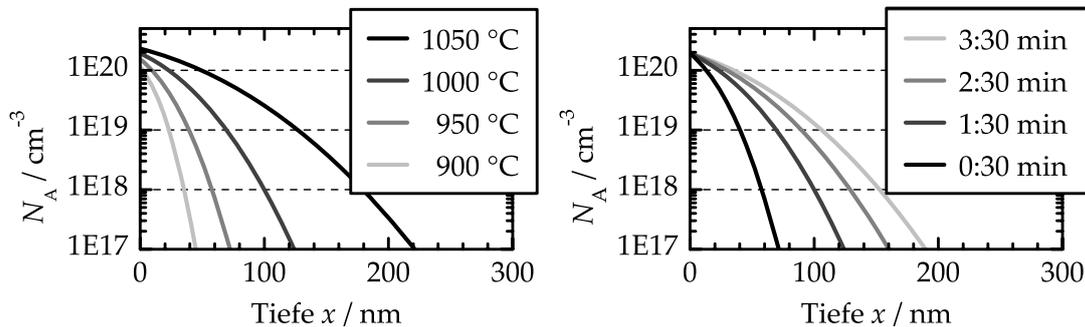


Ausgangsstoff ist das in den Silikatgläsern enthaltene Phosphorpentoxid P_2O_5 , bzw. das Bortrioxid B_2O_3 . Diese reagieren bei hohen Temperaturen mit Silizium zu Siliziumdioxid und reinem Phosphor bzw. Bor (s. Gln. 4.11 und 4.13), welche nach der Reaktion ins Silizium diffundieren. Mit Wasser reagieren die Ausgangsstoffe in den Silikatgläsern zu Phosphorsäure bzw. zu verschiedenen Borsäuren. Dadurch verändert sich die Konzentration von P_2O_5 , bzw. B_2O_3 im Silikatglas. Beim Phosphorsilikatglas kann durch die Einwirkung von Wasser keine Änderung des Dotierverhaltens festgestellt werden. Anders beim Borsilikatglas: Hier diffundiert deutlich weniger Bor ins Silizium [Toa03], wenn die Probe vorher mit Wasser in Berührung kommt. Für eine Änderung des Dotierverhaltens genügt schon die Aufnahme von H_2O aus der Luft bei einer längeren Lagerung der Proben.

Eine Prozesssimulation des Diffusionsschritts würde die Ermittlung der optimalen Prozessparameter stark erleichtern und beschleunigen. Für die Simulation einer Dotierung durch spin-on Gläser ist in kommerziell erhältlichen Prozesssimulatoren jedoch kein Modell enthalten. Die naheliegende Näherung das Dotierglas im Simulator durch dotiertes Siliziumdioxid zu ersetzen liefert selbst bei einer Modifikation der Diffusionsparameter in dieser Schicht keine realistischen Ergebnisse. Die Reaktionsgeschwindigkeit und die Temperaturabhängigkeit der chemischen Reaktionen an der Grenzfläche von Dotierglas und Silizium müssten für eine gute Prognose in die Modellierung mit einbezogen werden.

Qualitative Aussagen über die Dotierprofile lassen sich aus der analytischen Beschreibung der Diffusion aus einer unerschöpflichen Quelle treffen [Rug91]. Die Akzeptorkonzentration N_A bzw. die Donatorkonzentration N_D zeigen nach der Diffusion folgende Ortsabhängigkeit:

$$N_{A,D}(x) = N_{S_{A,D}}(T) \times \operatorname{erfc} \left(\frac{x}{2\sqrt{D_{A,D}(T) \cdot t}} \right) \quad (4.16)$$



(a) Einfluss der Temperatur auf die Diffusion von Bor (1:30 min).

(b) Einfluss der Zeit auf die Diffusion von Bor (1000 °C).

Abbildung 4.12: Dotierprofile von Bor nach der Diffusion aus einer unerschöpflichen Quelle an der Siliziumoberfläche; Diffusionsparameter aus [Tra00].

Die Dotierstoffkonzentration des Akzeptors bzw. Donators an der Oberfläche entspricht dabei der Löslichkeitsgrenze $N_{S_{A,D}}$. Mit steigender Temperatur T erhöhen sich sowohl die Löslichkeitsgrenze als auch die Diffusionskonstante $D_{A,D}$. In Abbildung 4.12 sind verschiedene Dotierprofile von Bor in Silizium nach Gleichung 4.16 aufgetragen. Je höher die Temperatur ist, desto höher ist die Oberflächenkonzentration (s. Abb. 4.12a) und je kürzer die Diffusionszeit ist, desto steiler ist das Dotierprofil (s. Abb. 4.12b). Die hohe Dotierstoffkonzentration direkt an der Oberfläche ist ideal für den TFET. Die für den TFET besten Dotierprofile erreicht man also bei einer RTP-Diffusion mit möglichst hohen Temperaturen und kurzer Diffusionszeit. Um eine gute Reproduzierbarkeit des Prozesses zu gewährleisten, ist bei der in dieser Arbeit verwendeten RTP-Anlage (s. Abschn. 4.2.3) eine Diffusionszeit unter 15 Sekunden nicht sinnvoll. Bei zu schneller Erhitzung des Wafers können auch Gitterversetzungen im Silizium entstehen, welche den Leckstrom des TFET erhöhen würden. Die RTP-Prozesskammer war bei den in dieser Arbeit durchgeführten Diffusionen mit Stickstoff und Sauerstoff im Verhältnis ($N_2 : O_2 = 2 : 1$) bei Atmosphärendruck gefüllt. Der Sauerstoffanteil hat bei der Diffusion eine oxidierende Wirkung und reduziert oder verhindert die Entstehung der schwer löslichen boron-skin bei der Dotierung mit Bor [JBe05] (vgl. Abschn. 4.2.3).

Abbildung 4.13 zeigt Messungen von Borprofilen nach einem RTP-Diffusionsprozess. Sie wurden mittels *Sekundärionenmassenspektrometrie* (SIMS) erstellt. Eine detaillierte Erläuterung dieses Messverfahrens findet sich in [Ben87]. Die exakte Form und Tiefe der Profile in Abbildung 4.13 stimmen zwar nicht mit dem einfachen Modell der unerschöpflichen Quelle überein,

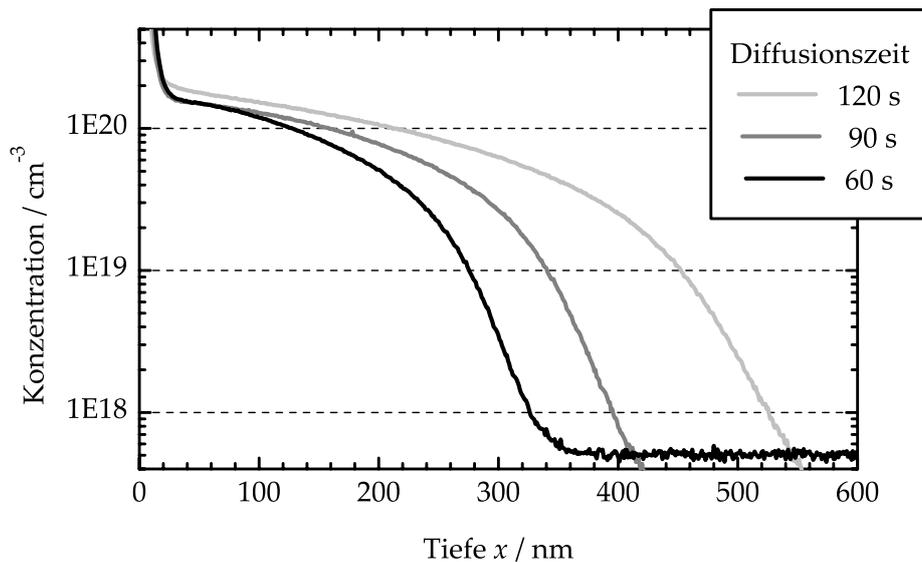


Abbildung 4.13: SIMS-Messungen von Borprofilen nach einer RTP-Diffusion mit dem SOD B155 bei 1050 °C. Je kürzer die Diffusionszeit, desto steiler ist das Dotierprofil. Die Oberflächenkonzentration ändert sich kaum.

aber der generelle Trend zu steileren Profilen bei kürzeren Diffusionszeiten zeigt sich auch hier.

Im Allgemeinen eignen sich SIMS-Messungen nicht besonders gut für die Charakterisierung von Dotierprofilen mit wenigen 10 nm Tiefe, da Oberflächeneffekte die Messungen verfälschen [Chat02]. Abbildung 4.14 zeigt die Ergebnisse von Messungen mittels *Elastic Recoil Detection* (ERD, [Dol04]). Die Diffusionszeit betrug jeweils 15 Sekunden, die Diffusionstemperatur wurde bei den Proben variiert und der spin-on Dopand wurde anschließend mit gepufferter Flusssäure wieder entfernt. Beide Proben zeigen eine ca. 25 nm dicke Schicht, die aus Bor, Silizium und Sauerstoff besteht (boron-skin). Das begrenzte Detektionslimit und die wenigen Proben lassen nur wenige weitere Aussagen zu. Die Oberflächenkonzentration bei einer Diffusionstemperatur von 900 °C liegt bei ca. $1\text{E}19/\text{cm}^3$, die Diffusion bei 1050 °C ergibt eine Oberflächenkonzentration von ca. $2\text{E}20/\text{cm}^3$. Bei der kurzen 900 °C Diffusion wurde das theoretische Limit der Löslichkeit (ca. $1\text{E}20/\text{cm}^3$) im Gegensatz zur heißeren Diffusion nicht erreicht. Bei letzterer liegt die Dotierstoffkonzentration bei einer Tiefe von 75 nm noch bei ca. $5\text{E}19/\text{cm}^3$, was auch dem Detektionslimit dieser Messung entspricht. Es ist also anzunehmen, dass die Dotierung noch relativ weit in die Probe reicht. Als Fazit bleibt, dass die besten Dotierprofile wohl mit Temperaturen zwischen 900 °C und 1050 °C zu erreichen sind.

Die Charakterisierung der Dotierprofile des Gesamtprozesses wird in Abschnitt 4.3.2 vorgestellt.

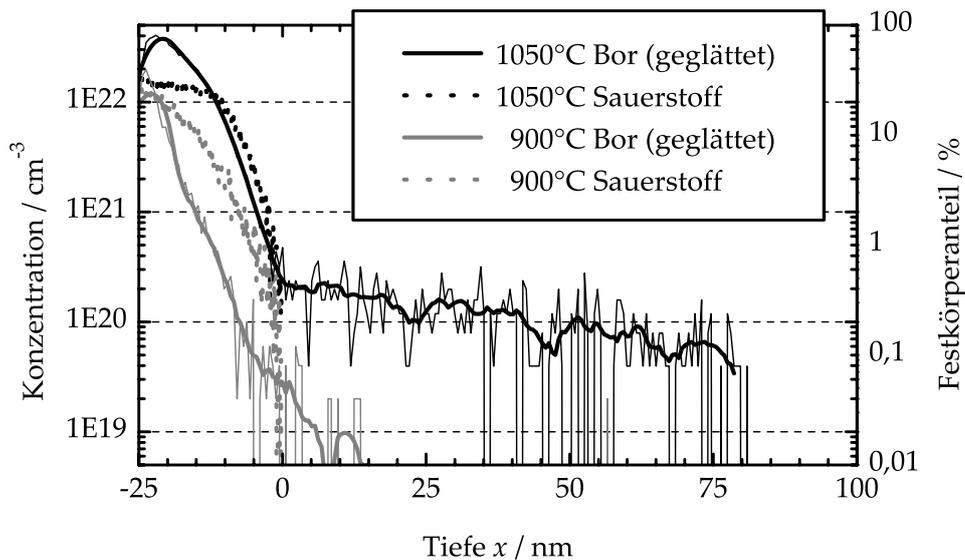


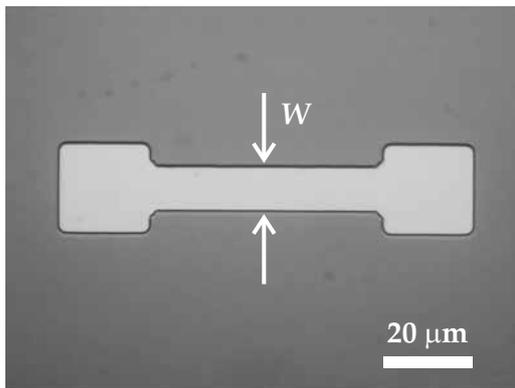
Abbildung 4.14: ERD-Messungen von Borprofilen nach einer RTP-Diffusion mit dem SOD B155, die Diffusionszeit betrug 15 Sekunden. Die hohe Sauerstoffkonzentration bis zur Position $x = 0$ nm weist auf eine ca. 25 nm dicke Schicht Boroxid hin.

4.3 Gesamtprozess

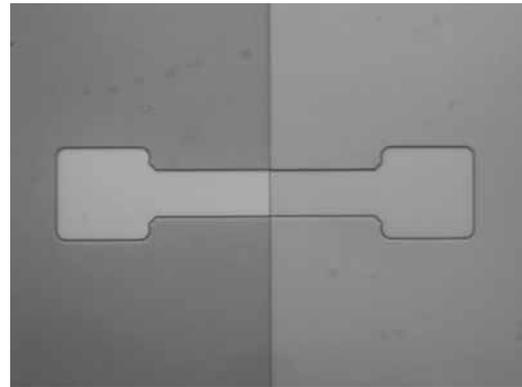
In Abschnitt 4.1 wurde die Grundidee und die prinzipielle Herstellung des Spacer-Gate-TFETs beschrieben. Abschnitt 4.2 erläuterte die einzelnen Prozessschritte im Detail und zeigte die notwendigen Prozessentwicklungen und -modifikationen für die Herstellung des Bauelements. In den folgenden Abschnitten werden nun die einzelnen Bausteine wieder zusammengefügt und der Gesamtprozess wird aufgrund der in Abschnitt 4.2 gewonnenen Erkenntnisse beschrieben, mit Bildern veranschaulicht und physikalisch charakterisiert.

4.3.1 Illustration der Prozessfolge

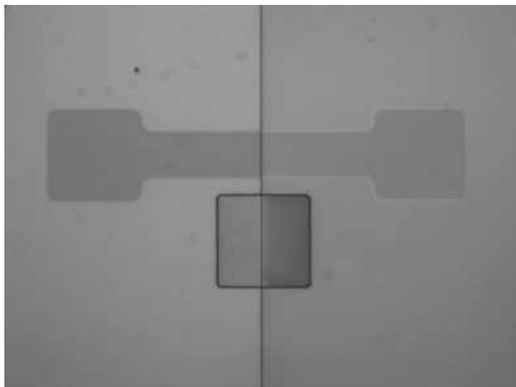
Die Abbildungen 4.15a-h zeigen Lichtmikroskop-Aufnahmen eines Spacer-Gate-TFETs nach ausgewählten Prozessschritten. In 4.15a sieht man das aktive Gebiet, welches durch den ersten Lithografieschritt definiert wird. Das aktive Gebiet wird von dem planarisierten LOCOS eingeschlossen. Die Kanalweite W des dargestellten TFETs beträgt $10\ \mu\text{m}$. Auf einem Chip befinden sich ca. 400 einzelne Spacer-Gate-TFETs mit Kanalweiten zwischen $1\ \mu\text{m}$ und $50\ \mu\text{m}$. Die Kontaktlöcher auf dem verwendeten Maskensatz haben unabhängig von der Kanalweite eine Kantenlänge von $10\ \mu\text{m}$ (vgl. Anhang A.1). Um eine eventuelle Fehljustage der Kontaktlöcher auszugleichen verbreitert sich seitlich das aktive Gebiet.



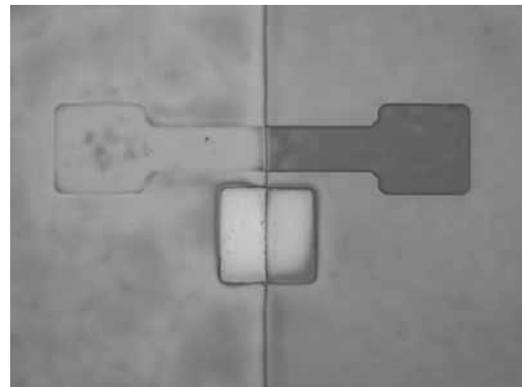
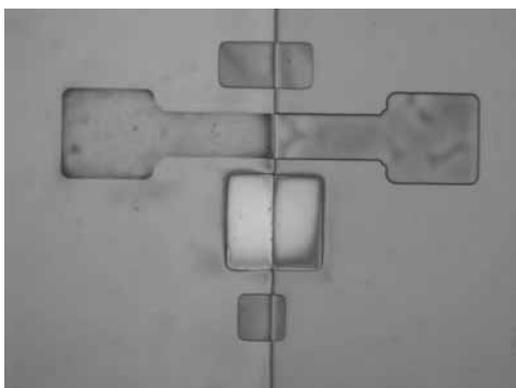
(a) Nach der LOCOS-Fertigung.



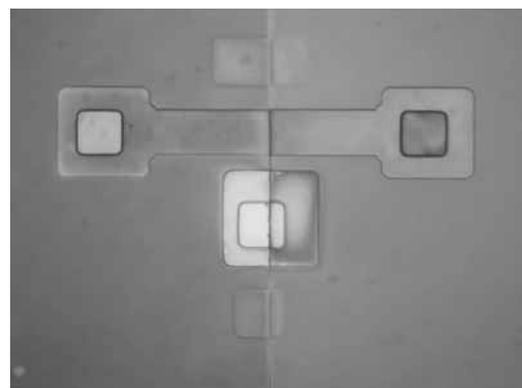
(b) Nach der vertikalen Ätzung des SOD/SOG und der Gateoxidation.



(c) Lithographie vor dem anisotropen Rückätzen des Polysilizium.

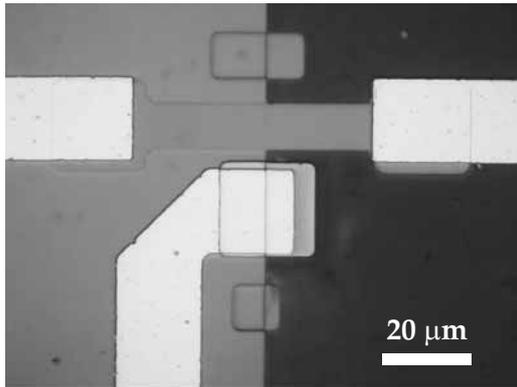
(d) Nach der Diffusion: Linke Bildseite $n+$, rechte Seite $p+$ dotiert.

(e) Durchtrennung des Spacers außerhalb des Bauelements.

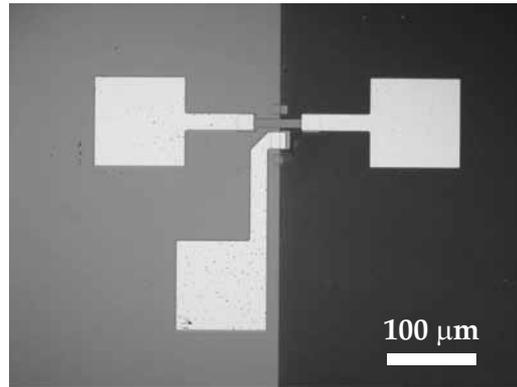


(f) Lithographie für die Kontaktlöcher.

Abbildung 4.15: Aufnahmen durch ein Lichtmikroskop eines Spacer-Gate-TFETs mit einer Kanalweite $W = 10 \mu\text{m}$ nach ausgewählten Prozessschritten. Das Spacer-Gate aus Polysilizium liegt an der vertikalen Linie in der Mitte der Bilder.



(g) Metallisierung mit Aluminium.

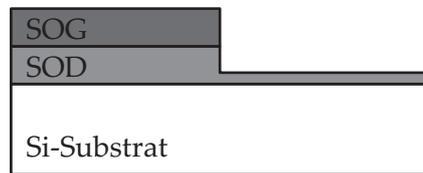


(h) Wie (g), Darstellung der Kontaktflächen.

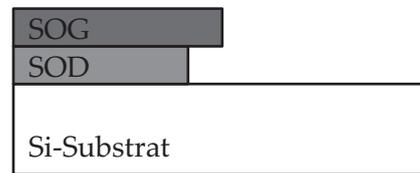
Abbildung 4.15: Fortsetzung: Aufnahmen durch ein Lichtmikroskop eines Spacer-Gate-TFETs mit 10 μm Kanalweite nach ausgewählten Prozessschritten.

Die zweite Lithografie legt die Position des Spacers aus Polysilizium fest. Abbildung 4.15b zeigt die Probe nach der vertikalen Ätzung des SOD/SOG-Schichtstapels und der Gateoxidation. Auf der rechten Bildseite ist das Substrat freigelegt, auf der linken Seite wird es noch von den spin-on Gläsern abgedeckt. In Bild 4.15c ist die ganze Probe mit Polysilizium bedeckt. Auf dem LOCOS unterhalb des aktiven Gebiets befindet sich eine quadratische Maskierung aus Fotolack (dritte Lithografie). Diese schützt das darunter liegende Polysilizium beim anisotropen Rückätzen, damit später auf dieser Fläche das Spacer-Gate kontaktiert werden kann.

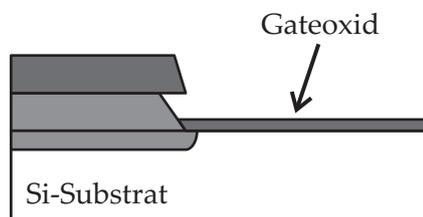
Die Aufnahme in Abbildung 4.15d wurde nach der Diffusion gemacht. Sie zeigt, dass die hohen Temperaturen bei der Diffusion sowohl bei dem SOD/SOG-Schichtstapel (linke Bildseite) als auch bei dem Borsilikatglas (rechte Bildseite) zu lokalen Unebenheiten und Rissen führen. Alle diese Schichten werden allerdings nach der Diffusion entfernt, so dass dies keine Schwierigkeiten mit sich bringt. Nach der vierten Lithographie ist fast die ganze Probe mit Fotolack bedeckt, nur kurz oberhalb und unterhalb der TFET-Strukturen liegen zwei quadratische Flächen frei. An diesen Stellen wird der Spacer aus Polysilizium trockenchemisch durchtrennt, um die Gates von benachbarten Bauelementen voneinander zu isolieren (s. Abb. 4.15e). Anschließend wird die Passivierungsschicht aufgebracht, diese wird an den Kontaktlöchern wieder entfernt. Die Position der Kontaktlöcher ist in Abbildung 4.15f zu sehen und wird durch die fünfte Lithografie festgelegt. Für die Kontaktierung der TFETs wurde eine Schicht aus Aluminium aufgedampft und nasschemisch mit Hilfe des sechsten und letzten Lithografieschrittes strukturiert. Das fertige Bauelement ist in den Abbildungen 4.15g und 4.15h in zwei unterschiedlichen



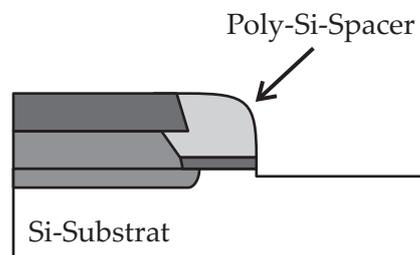
(a) Vertikales Ätzen des SOD/SOG-Schichtstapels. Ende der Ätzung kurz vor dem Substrat.



(b) Nasschemisches Nachätzen mit verdünnter HF. Höhere Ätzrate für SOD als für SOG.



(c) Gateoxidation und die resultierenden Verformungen durch den Hochtemperaturschritt.



(d) Spacer-Gate aus Poly-Si. Beim Rückätzen wird das Substrat leicht angeätzt.

Abbildung 4.16: Ergänzungen zu der Prozessfolge des Spacer-Gate-TFETs aus Abbildung 4.1, die sich aufgrund der Verwendung eines Schichtstapels aus spin-on Glas (SOG) und spin-on Dopand (SOD) und der thermischen Verformung von spin-on Gläsern ergeben (vgl. Abschn. 4.2.3 und 4.2.4).

Vergrößerungen zu sehen. Die drei quadratischen Kontaktflächen aus Aluminium für Source, Gate und Drain haben eine Kantenlänge von je $100\ \mu\text{m}$.

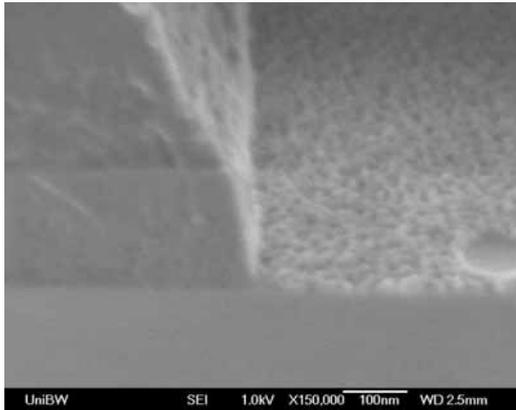
Abbildung 4.16 zeigt einige Ergänzungen zu Abbildung 4.1 auf Seite 56, die dort der Übersichtlichkeit wegen noch nicht dargestellt wurden. Aufgrund der in Abschnitt 4.2.3 erläuterten Gründe wurde anstelle einer Schicht aus Phosphorsilikatglas ein SOD/SOG-Schichtstapel verwendet. Abbildung 4.16a zeigt diesen Schichtstapel nach dem vertikalen Ätzen. Um das Substrat im Kanalgebiet nicht zu schädigen, bleibt eine Schicht von wenigen 10 nm zurück. Diese Schicht wird anschließend nasschemisch entfernt. Dadurch kommt es zu der in Abbildung 4.16 dargestellten Unterätzung (vgl. Abschn. 4.2.1). Bei der Gateoxidation ziehen sich die spin-on Materialien durch die hohen Temperaturen zusammen und es entsteht eine Struktur wie in 4.16c dargestellt. Durch geeignetes Ausheizen der spin-on Gläser und gezieltes Einstellen der nasschemischen Unterätzung entsteht in den folgenden Prozessschritten trotz der ther-

mischen Verformung ein Spacer aus Polysilizium, der als Spacer-Gate eingesetzt werden kann (s. Abb. 4.16d).

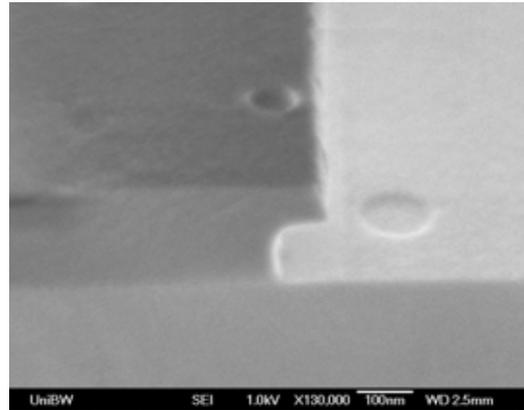
Die hergestellten Strukturen wurden während der Prozessentwicklung und auch bei der Herstellung der Spacer-Gate-TFETs mit einem Rasterelektronenmikroskop (scanning electron microscope, SEM) untersucht. Abbildung 4.17 zeigt die Querschnitte von sechs Proben nach verschiedenen Prozessschritten. Der Querschnitt in Abbildung 4.17a zeigt eine Probe nach dem vertikalen Ätzen. Links im Bild sieht man den SOD/SOG-Schichtstapel, der noch von Fotolack abgedeckt wird, rechts im Bild erkennt man über dem Substrat eine raue und dünne Schicht SOD. Die kreisförmige Mulde ist auf ein pin-hole in den aufgeschleuderten Silikatschichten zurückzuführen. Die SEM-Aufnahmen 4.17b und c sind jeweils das Äquivalent zu den Schemazeichnungen 4.16b und c. Sie zeigen die Ätzflanke nach dem nasschemischen Nachätzen und nach der Gateoxidation.

Die Substrate der Proben in den Abbildungen 4.17a-c bestehen aus reinem Silizium. In den Abbildungen 4.17d-e hingegen sind Proben aus SOI-Substraten zu sehen. Die SEM-Aufnahme von Abbildung 4.17d zeigt eine Probe nach der Abscheidung von Polysilizium. Die helle Schicht unten im Bild ist das BOX; darüber liegt eine 200 nm dicke Schicht SOI. Die Ätzflanke des SOD/SOG-Schichtstapels ist konform mit der ebenfalls 200 nm dicken Schicht aus Polysilizium bedeckt, so dass sich beim Rückätzen ein Spacer bildet. In 4.17e sieht man die gleiche Probe wie in 4.17d. Allerdings ist hier der Streifen des SOD/SOG-Schichtstapels sehr viel schmaler; das SOG hat nur eine Breite von ca. 300 nm. Auf beiden Seiten des Streifens wird sich beim Rückätzen ein Spacer ausbilden. Vergleicht man die beiden SEM-Aufnahmen, so bestätigt sich die Aussage aus Abschnitt 4.2.3, dass die thermische Verformung der Ätzflanke bei der Gateoxidation bei schmaleren SOD/SOG-Schichten kleiner ausfällt; der Unterschnitt der nasschemischen Ätzung bleibt stärker erhalten. Durch die unterschiedliche Form der Ätzflanke bilden sich beim Rückätzen Spacer, die sich in ihrer Breite leicht unterscheiden. Alle elektrisch charakterisierten Spacer-Gate-TFETs dieser Arbeit wurden aber an SOD/SOG-Streifen hergestellt, die mehrere 100 μm breit sind und daher an ihren Ätzflanken immer die gleiche Form aufweisen.

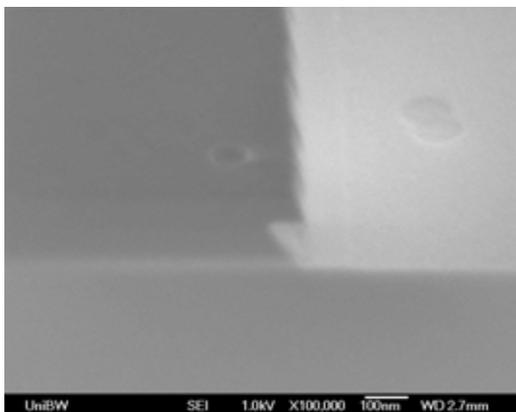
Zwischen der Abbildung 4.17e und der Abbildung 4.17f liegen folgende Prozessschritte: Lithografie für den Gatekontakt, anisotropes Rückätzen des Polysiliziums, Aufschleudern des Borsilikatglases, die RTP-Diffusion und die nasschemische Entfernung aller spin-on Schichten. Man sieht zwei Spacer-Gates und erkennt, dass beim anisotropen Rückätzen einige 10 nm vom Substrat entfernt wurden. Diese Überätzung gewährleistet, dass das Polysilizium (abgesehen von dem Spacer-Gate) vollständig entfernt wurde. Für die Fertigstellung des Bauelements fehlen noch eine Passivierungsschicht, die Kontaktlöcher und die Metallisierung.



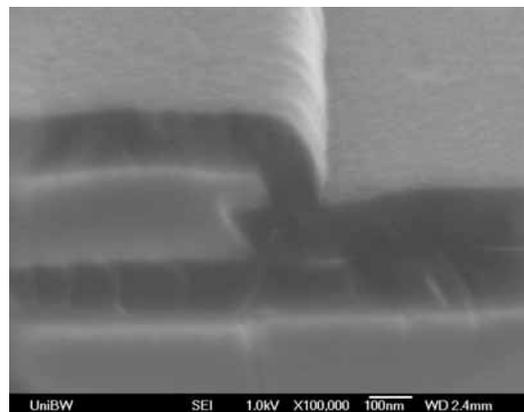
(a) Nach vertikalem Ätzen des SOD/SOG (mit Fotolackmaske).



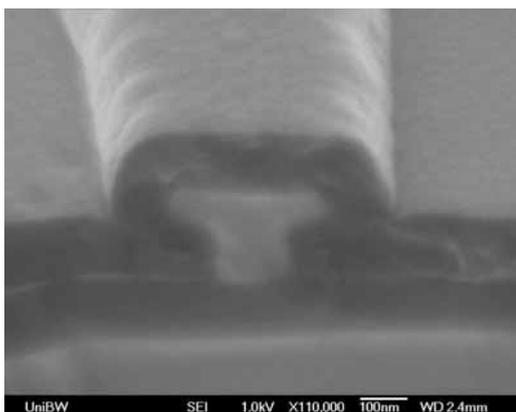
(b) Fotolack entfernt und nasschemisch nachgeätzt.



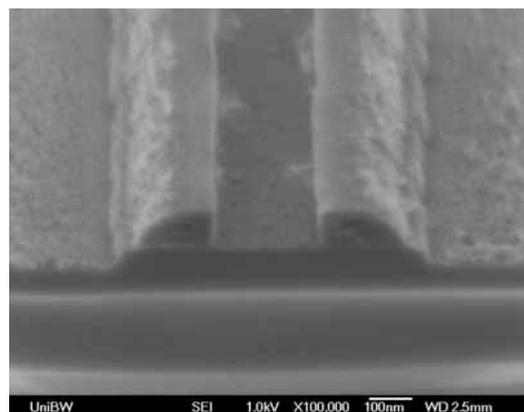
(c) Thermische Verformung aufgrund der Gateoxidation.



(d) Nach der Abscheidung von Polysilizium.



(e) Wie (d) an einer kleineren SOD/SOG Struktur.



(f) Spacer-Gates nach dem anisotropen Rückätzen, der Diffusion und der Entfernung der Silikatgläser.

Abbildung 4.17: Querschnitte des Spacer-Gates nach ausgewählten Prozessschritten. In den Abbildungen (a)–(c) sind Si-Substrate, in (d)–(f) SOI-Substrate zu sehen. Der Blickwinkel beträgt 30° zur Waferoberfläche.

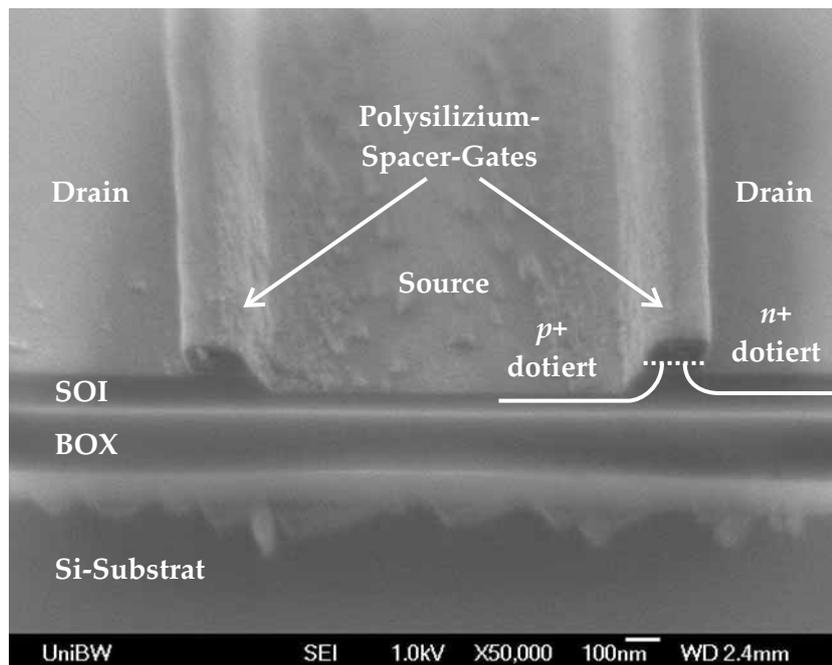


Abbildung 4.18: SEM-Aufnahme von zwei Spacer-Gates auf SOI vor dem Aufbringen der Passivierung. Am rechten Spacer sind die durch Diffusion dotierten Drain- und Source-Gebiete eingezeichnet.

Die beiden Abbildungen 4.18 und 4.19 zeigen das Spacer-Gate im gleichen Fertigungsstadium wie Abbildung 4.17f. In Abbildung 4.18 sind zwei Spacer-Gates zu sehen, die eingezeichneten Linien verdeutlichen den gewünschten Verlauf der Dotierprofile und damit die Position des Spacer-Gate-TFETs. Die Aufnahme in Abbildung 4.19 zeigt ein Spacer-Gate mit stärkerer Vergrößerung, damit die Breite des Spacers bestimmt werden kann. Diese beträgt ca. 180 nm. Der hier gezeigte Spacer hat sich an einem 10 µm breiten SOD/SOG-Schichtstapel gebildet. Die thermische Verformung der Ätzflanke dieses Schichtstapels bei der Gateoxidation ist also vergleichbar mit der Verformung bei noch breiteren Strukturen (s. Abb. 4.5d). Daher kann die Breite des Spacer-Gates bei den elektrisch charakterisierten TFETs, welche an einem Streifen mit mehreren 100 µm Breite gefertigt wurden, ebenfalls auf 180 nm festgesetzt werden. Durch eine Variation der Prozessparameter bei der Polysilizium-CVD und bei dem anisotropen Rückätzen kann man diese Breite gezielt einstellen und somit auch noch stark reduzieren.

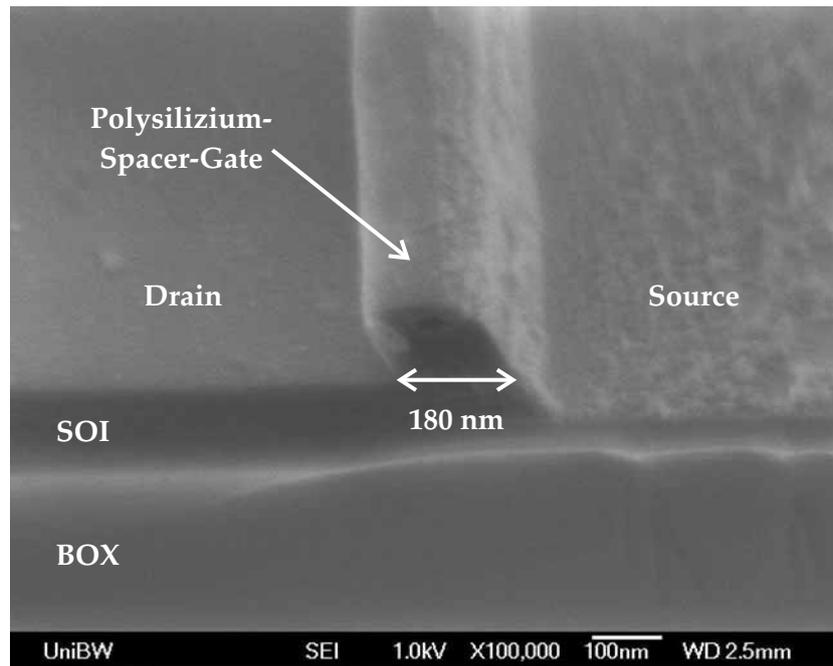


Abbildung 4.19: SEM-Aufnahme eines Spacer-Gates aus Polysilizium zur Bestimmung der Breite des Spacers.

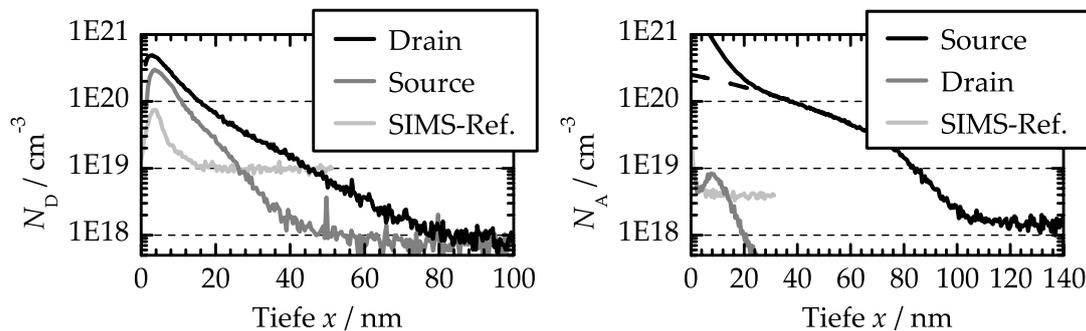
4.3.2 Dotierprofile und effektive Kanallänge

Um die effektive Kanallänge des Spacer-Gate-TFETs zu berechnen, müssen die Spacerbreite und die laterale Unterdiffusion der Dotierstoffe bestimmt werden (vgl. Abschn. 4.1). Normalerweise kann man die effektive Kanallänge von MOS-Transistoren auch durch die Auswertung von elektrischen Messungen an mehreren Bauelementen mit unterschiedlicher physikalischer Kanallänge ermitteln [Schr98]. Der Polysilizium-Spacer ist auf einer Probe aber überall gleich breit und kann nicht durch Lithografie beeinflusst werden, daher haben auch alle Bauelemente auf einer Probe die gleiche physikalische Kanallänge und eine elektrische Bestimmung der effektiven Kanallänge scheidet aus.

Die laterale Position des pn -Übergangs unter dem Spacer r_{lat} ist in erster Näherung linear abhängig von der Diffusionstiefe r_j

$$r_{\text{lat},n,p} = \gamma \cdot r_{j,n,p} \cdot \quad (4.17)$$

Die Literaturangaben für γ reichen von 0,7 [Wid96] bis 0,85 [Tra00]. In dieser Arbeit wird mit $\gamma = 0,8$ ein Wert dazwischen verwendet. Abbildung 4.20 zeigt die vertikalen Diffusionsprofile der Source- und der Drainwanne nach einer 15-sekündigen Diffusion bei 1000 °C unter Berücksichtigung der vollständigen Prozessfolge für Spacer-Gate-TFETs. Um diese Profile zu ermitteln, wurden während der Prozessierung der Spacer-Gate-TFETs zwei weitere Proben her-



(a) *Phosphor*: Die gemessene Oberflächendotierung ist auf beiden Proben relativ hoch; teilweise kann dies auf Oberflächeneffekte bei der SIMS zurückgeführt werden, die auch bei einer homogen dotierten Referenzprobe auftreten.

(b) *Bor*: Eine hohe Dotierung mit Bor findet sich nur auf der Source-Probe, nahe der Oberfläche wird diese Messung durch eine Schicht Boroxid verfälscht. Die gestrichelte Linie zeigt einen wirklichkeitsnäheren Verlauf der Dotierung.

Abbildung 4.20: SIMS-Messungen für die Bestimmung der Dotierprofile von Source und Drain des Spacer-Gate-TFETs. Die beiden untersuchten Proben wurden, abgesehen von der Lithografie, allen Prozessen unterzogen, die auf die Drain- bzw. die Source-Seite des Bauelements wirkten. Mit SIMS-Referenz werden die Messungen auf einer homogen dotierten Referenzprobe bezeichnet. Die Diffusionstemperatur betrug 1000°C .

gestellt. Diese Proben wurden, abgesehen von LOCOS und Lithografie, allen Prozessschritten unterzogen, welche auf das Gebiet der Drain- bzw. der Sourcewanne wirkten. Dadurch ist gewährleistet, dass alle Hochtemperaturschritte und auch alle Ätzungen, welche die Dotierprofile beeinflussen berücksichtigt wurden. Anschließend wurden die Proben mittels Sekundärionenmassenspektrometrie (SIMS) analysiert⁶.

Die gemessenen Phosphorkonzentrationen sind in Abbildung 4.20a zu sehen. Die Messungen zeigen Oberflächenkonzentrationen von ca. $5 \times 10^{20} / \text{cm}^3$ für die Drainprobe und ca. $3 \times 10^{20} / \text{cm}^3$ für die Sourceprobe. Die Löslichkeit von Phosphor in Silizium bei 1000°C beträgt $8 \times 10^{20} / \text{cm}^3$ [Tra00], diese wurde bei der Diffusion demnach nicht erreicht. Generell sind bei einer SIMS-Messung die Werte nahe der Oberfläche nicht besonders zuverlässig. Aussagekräftige Messwerte erhält man erst nachdem das natürliche Oxid an der Waferoberfläche vollständig weggesputtert wurde, da die Sekundärionenausbeute durch die Präsenz von reaktiven Elementen (z.B. Sauerstoff) gefördert wird und dadurch die gemessene Konzentration von der tatsächlichen Konzentration ab-

⁶Die verwendete SIMS-Anlage verfügt über eine Quelle für Cäsiumionen und eine Gasquelle für Sauerstoffionen. Die Massendetektion erfolgt über ein Quadrupol. Die Phosphorprofile wurden mittels Cs^+ -Ionen und die Borprofile mittels O_2^+ -Ionen gemessen.

weicht [Chat02]. Dies zeigt sich auch bei der Messung der Referenzprobe, welche homogen mit einer Phosphorkonzentration von $1\text{E}19/\text{cm}^3$ dotiert ist. Die Messung nahe der Oberfläche zeigt aber Werte, die acht Mal größer sind. Daher ist davon auszugehen, dass auch die Messwerte der Source- und der Drainprobe an der Oberfläche deutlich über der tatsächlichen Konzentration liegen. Die Phosphorkonzentration im Kanalgebiet wurde nicht ermittelt, es ist aber anzunehmen, dass sie ähnlich aussieht wie im Sourcegebiet, da beide Gebiete gemeinsam beim Ausheizen des SOD/SOG-Schichtstapels vordotiert werden. Auch unter Berücksichtigung der Fehler der SIMS-Messung ist die Dotierung dieser Gebiete höher als dies für optimale TFET-Eigenschaften sinnvoll ist.

Abbildung 4.20b zeigt die SIMS-Messungen der Borprofile. Die Messung der Referenzprobe, welche homogen mit einer Borkonzentration von $4\text{E}18/\text{cm}^3$ dotiert ist, zeigt ein deutlich schnelleres Einschwingen auf die tatsächliche Dotierstoffkonzentration. Somit können auch die anderen Messungen aus Abbildung 4.20b schon nahe der Oberfläche als zuverlässig eingestuft werden. Die Messung der Drainprobe zeigt, dass bei der Diffusion eine kleine Menge Bor durch den SOD/SOG-Schichtstapel diffundiert ist. Die Borkonzentration im Draingebiet liegt jedoch mindestens eine Größenordnung unter der Phosphordotierung, so dass sie kaum Auswirkung auf die elektrischen Eigenschaften dieses Gebiets hat. Die Löslichkeit von Bor in Silizium bei $1000\text{ }^\circ\text{C}$ liegt bei $2\text{E}20/\text{cm}^3$ [Tra00]. Die Messung der Sourceprobe zeigt an der Oberfläche eine Borkonzentration, die über diesem Wert liegt. Auf der Probe befand sich vor der Messung eine Schicht Boroxid (vgl. Abb. 4.14). Die Borkonzentration dieser Schicht ist so hoch, dass sie die Messung des darunter liegenden Siliziums beeinflusst und daher zu Messwerten oberhalb der Löslichkeitsgrenze führt. Die gestrichelte Linie in Abbildung 4.20b zeigt einen wirklichkeitsnäheren Verlauf der Bordotierung im Sourcegebiet, hierfür wurde angenommen, dass die Borkonzentration an der Oberfläche der Löslichkeitsgrenze in Silizium entspricht.

Für die Bestimmung der lateralen Unterdiffusion unter das Spacer-Gate wurde die Phosphormessung der Drainprobe aus Abbildung 4.20a und die Bormessung der Sourceprobe aus Abbildung 4.20b transformiert und in Abbildung 4.21 aufgetragen. Hierfür wurden beide Profile mit dem Faktor $\gamma = 0,8$ skaliert, die Raumrichtungen angepasst und der Ursprung des Borprofils auf den Wert der Spacerbreite von 180 nm gelegt. Das Ergebnis dieser Transformation kann natürlich nur als Näherung des tatsächlichen Dotierstoffverlaufs angesehen werden. Die Phosphordotierung nahe der Oberfläche im Source und im Kanalgebiet, welche durch das Ausheilen des SOD/SOG-Schichtstapels entsteht, ist nur sehr ungenau bekannt (s. Abb. 4.20 und Erläuterungen dazu), deshalb wurde diese auch in Abbildung 4.21 nicht berücksichtigt. Die seitliche Begrenzung des Kanalgebietes wurde für

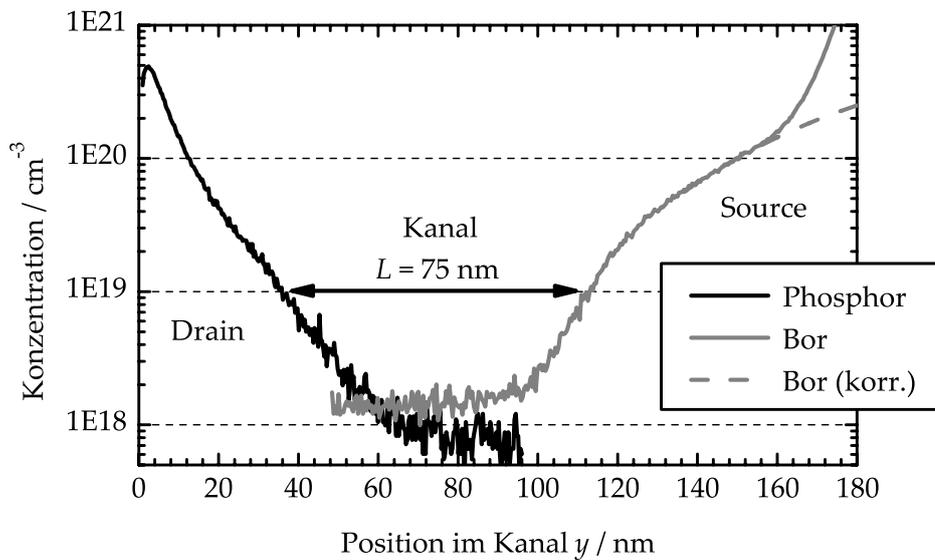


Abbildung 4.21: Transformierte SIMS-Messungen der Source- und Draingebiete aus Abbildung 4.20. Sie zeigen die Dotierstoffprofile unter dem selbstjustierenden Spacer-Gate aus Polysilizium. Die Phosphordotierung durch Ausheilen des SOD/SOG-Schichtstapels im Source- und im Kanalgebiet ist nicht berücksichtigt.

die Bestimmung der effektiven Kanallänge auf eine Dotierstoffhöhe von $1\text{E}19/\text{cm}^3$ gelegt. Dieser Wert wurde aus Simulationen von A. Heigl [Hei07a] abgeleitet. Die Simulationen zeigen, dass bei einer Kanaldotierung von $1\text{E}19/\text{cm}^3$ und höher die Leckströme stark zunehmen und die Steuerwirkung der Gate-Source-Spannung auf den Drainstrom erheblich nachlässt. Wie man in Abbildung 4.21 sieht, erhält man mit diesen Annahmen eine effektive Kanallänge mit dem Wert $L_{\text{eff}} = 75 \text{ nm}$.

Kapitel 5

Elektrische Charakterisierung der Spacer-Gate-TFETs

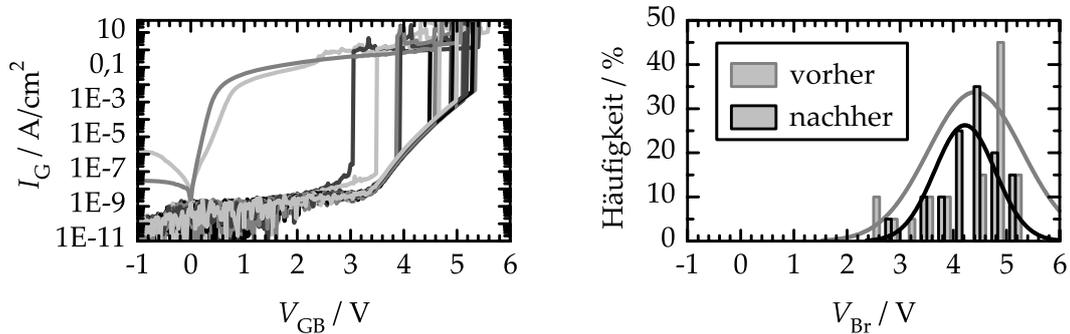
Im vorhergehenden Kapitel wurde die technologische Herstellung des Spacer-Gate-TFETs beschrieben und auf die Umsetzung der Designkriterien aus Kapitel 3 eingegangen. Zusammen mit der Beschreibung des Gesamtprozesses erfolgte die physikalische Charakterisierung des Bauelements. In diesem Kapitel wird die elektrische Charakterisierung der hergestellten Spacer-Gate-TFETs vorgestellt. Abschnitt 5.1 zeigt die elektrischen Eigenschaften des Gatedielektrikums. In Abschnitt 5.2 werden die elektrischen Ergebnisse der Spacer-Gate-TFETs vorgestellt und in Abschnitt 5.3 werden diese diskutiert und bewertet.

5.1 Gatedielektrikum

Die elektrischen Eigenschaften des Gatedielektrikums haben großen Einfluss auf das elektrische Verhalten des TFETs (vgl. Kap. 3, Abschn. 3.2.1). Die thermische Oxidation von Siliziumdioxid ist eine bewährte Methode, um ein hochwertiges Gatedielektrikum herzustellen. Aufgrund des begrenzten thermischen Budgets bei der Herstellung von Spacer-Gate-TFETs wurden die Oxidation 10 Minuten bei 825 °C in reiner Sauerstoffatmosphäre durchgeführt (vgl. Kap. 4, Abschn. 4.2.3). Die physikalische Oxiddicke wurde mittels Spektralellipsometrie auf 6,3 nm bestimmt.

Für eine weitere Bewertung des Gateoxids wurden auf einem *n*-dotierten Silizium-Substrat¹ MOS-Dioden mit einer Metallisierung aus Aluminium hergestellt (s. Abb. 2.1). Diese Dioden wurden mittels *IV*- und *CV/GV*-Messungen charakterisiert; eine detaillierte Beschreibung dieser Charakterisierungsmethoden findet sich z. B. in [Osw05] oder [Lud05]. Um die Oxidqualität zu erhöhen, wird nach dem Herstellungsprozess von MOS-Bauelementen häufig eine Temperung in Formiergas (5 % H₂, 95 % N₂) eingesetzt. Der Was-

¹Die Spezifikation der Wafer finden sich in Tabelle A.10.



(a) Messung der IV -Kennlinien von MOS-Dioden mit Al-Gate vor dem Tempern.

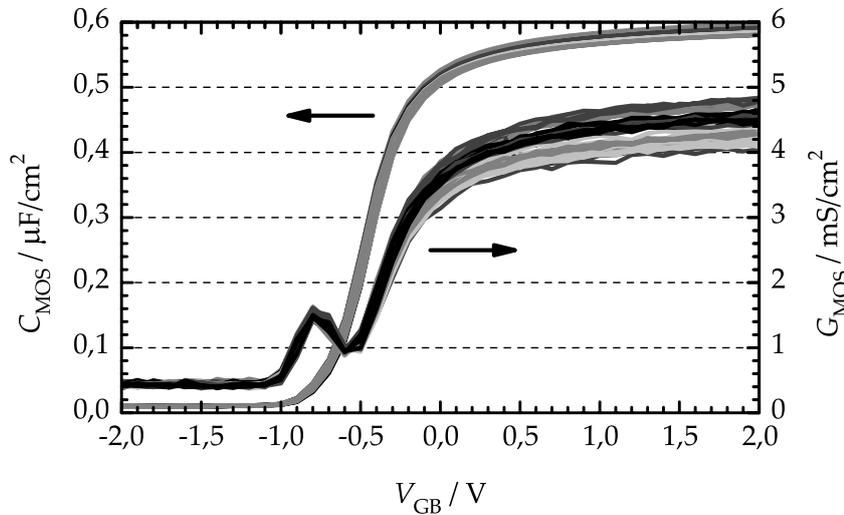
(b) Statistische Verteilung der Durchbruchspannung V_{Br} vor und nach dem Tempern (ohne Frühausfälle).

Abbildung 5.1: IV -Messungen von MOS-Dioden für die Charakterisierung des Gateoxids, hergestellt durch 10 min Trockenoxidation in einer RTP-Anlage bei 825 °C. Je 25 MOS-Dioden wurden vor und nach einer Temperung in Formiergas charakterisiert. Der Mittelwert von V_{Br} vor dem Tempern liegt bei 4,4 V.

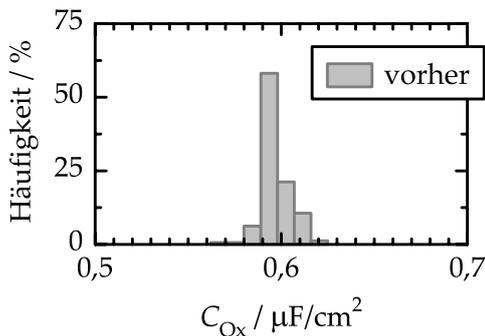
serstoff sättigt freie Bindungen an der Grenzfläche zwischen Silizium und Siliziumdioxid [Wid96]. Diese Wasserstoff-Temperung wurde nach den ersten Messungen für 10 Minuten bei 400 °C durchgeführt und anschließend wurden die Proben nochmals gemessen.

Abbildung 5.1a zeigt exemplarisch einige IV -Messungen zwischen dem Aluminium-Gate und der Probenrückseite. Bei kleinen Spannungen verschwindet der Leckstrom durch das Gatedielektrikum im Messrauschen. Zwischen drei und vier Volt setzt Fowler-Nordheim Tunneln ein (vgl. Kap. 2, Abschn. 2.2.1), welches bis zur Zerstörung der MOS-Diode beim elektrischen Durchbruch exponentiell ansteigt. Die statistische Verteilung der Durchbruchspannung für MOS-Dioden vor und nach dem Tempern ist in Abbildung 5.1b dargestellt. So genannte Frühausfälle (z. B. die zwei Messungen in Abb. 5.1a oben links) wurden in diese Auswertung nicht einbezogen. Das Tempern hat auf die IV -Charakteristik der MOS-Dioden keinen erkennbaren Einfluss, die leichte Verschiebung der Verteilungsfunktion ist auf die geringe Stichprobenanzahl von 25 Dioden zurückzuführen. Der Mittelwert der Durchbruchspannung liegt bei 4,4 V, das entspricht einer Durchbruchfeldstärke von 7 MV/cm. Diese liegt zwar unter den in der Literatur genannten Werten (ca. 10 MV/cm [Sze07]), berücksichtigt man aber die niedrige Oxidationstemperatur, so ist dies ein guter Wert.

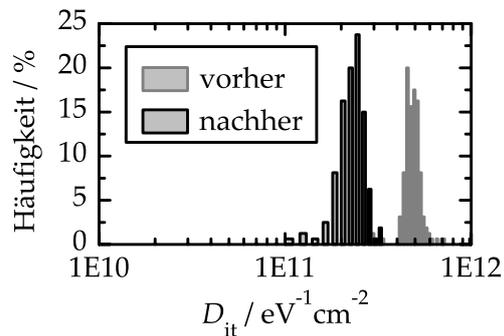
In Abbildung 5.2a sind exemplarische Kennlinien der CV/GV -Messungen dargestellt. Bei positiven Spannungen befindet sich der Halbleiter unter dem Gateoxid in Akkumulation, daher entspricht die hier gemessene Kapazität der



(a) Exemplarische CV/GV-Kennlinien von MOS-Dioden auf einem n -Substrat (Messfrequenz $f = 20$ kHz). Auf der linken Seite des Graphen befindet sich der Halbleiter in Inversion, auf der rechten Seite in Akkumulation. Das lokale Maximum des Leitwertes G_{MOS} befindet sich bei $V_{\text{GB}} = V_{\text{FB}} \approx -0,8$ V.



(b) Statistische Verteilung von C_{Ox} . Hier zeigten sich vor und nach dem Tempern keine signifikanten Unterschiede. Der Mittelwert von C_{Ox} liegt bei ca. $0,59 \mu\text{F}/\text{cm}^2$.



(c) Statistische Verteilung der Grenzflächenzustandsdichte D_{it} . Der Mittelwert vor dem Tempern liegt bei $5,0\text{E}11/\text{eVcm}^2$ und nach dem Tempern bei $2,3\text{E}11/\text{eVcm}^2$.

Abbildung 5.2: CV/GV-Messungen von MOS-Dioden. Je 160 MOS-Dioden wurden vor und nach einer Temperung in Formiergas charakterisiert.

Oxidkapazität C_{Ox} . Die statistische Verteilung von C_{Ox} ist in Abbildung 5.2b aufgetragen. Der Mittelwert von C_{Ox} liegt bei $0,59 \mu\text{F}/\text{cm}^2$. Unter Verwendung der relativen Dielektrizitätszahl von SiO_2 ($\epsilon_{\text{r,SiO}_2} = 3,9$) berechnet sich die elektrische Oxiddicke zu $5,9$ nm, was gut mit der mittels Spektralellipsometrie bestimmten Oxiddicke von $6,3$ nm übereinstimmt. Aus den CV/GV-Messungen wurde unter Verwendung der Leitwertmethode [Bre83] die Dich-

te der Grenzflächenzustände D_{it} bestimmt, die Verteilung von D_{it} ist in Abbildung 5.2c aufgetragen. Das Tempern vergrößerte die Anzahl an defekten Dioden von ca. 3 % auf ca. 20 %. Die defekten Dioden wurden in die Auswertung nicht einbezogen. Abbildung 5.2c zeigt, dass durch das Tempern die Grenzflächenzustandsdichte ungefähr um den Faktor zwei verbessert wurde. Die Grenzflächenzustandsdichte von $5,0E11$ bzw. $2,3E11/eVcm^2$ ist zwar höher als bei einem industriellen CMOS-Prozess, stellt aber keine Hürde für eine Evaluierung des Spacer-Gate-TFETs dar. Das Tempern mit Formiergas verbesserte die Oxidqualität, reduzierte aber gleichzeitig die Ausbeute, daher wurde es beim Gesamtprozess nicht eingesetzt.

5.2 Transfer- und Ausgangscharakteristiken

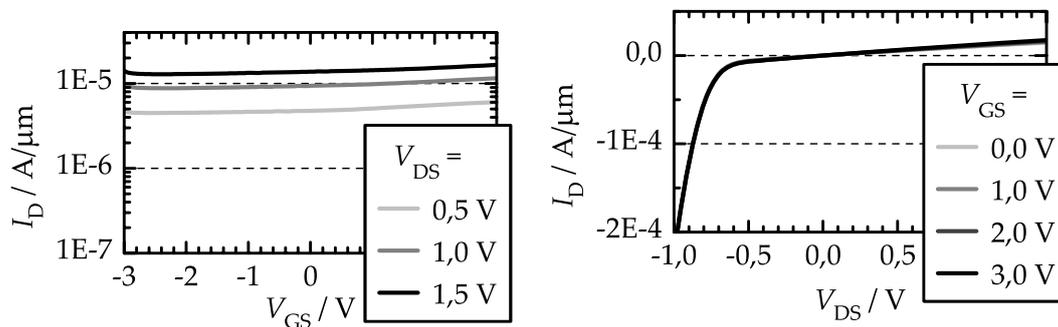
Während dieser Arbeit wurden Spacer-Gate-TFETs auf zwei verschiedenen Substraten hergestellt:² n -dotierte $\langle 100 \rangle$ -Silizium-Wafer mit einer Dotierstoffkonzentration von $1,2$ bis $1,6E14/cm^3$ und p -dotierte $\langle 100 \rangle$ -SOI-Wafer mit einer Dotierstoffkonzentration zwischen $0,6$ und $1,0E15/cm^3$, die Siliziumschicht der SOI-Wafer hatte eine Dicke von ca. 200 nm. Die Diffusionstemperatur wurde für die einzelnen Proben zwischen $950^\circ C$ und $1050^\circ C$ gewählt (vgl. Kap. 4, Abschn. 4.2.5), alle anderen Prozesse waren identisch. Tabelle 5.1 gibt eine Übersicht über die elektrisch charakterisierten Proben.

Substrat	Si	Si	Si	SOI	SOI	SOI
Diffusionstemperatur / °C	950	1000	1050	950	1000	1050

Tabelle 5.1: Variation der Diffusionstemperatur bei hergestellten Spacer-Gate-TFETs. Die Diffusionszeit betrug jeweils 15 s.

Die Proben wurden mit einem Parameter-Analyzer und einem halbautomatischen Wafer-Prober systematisch untersucht. Die Definition von Source und Drain der TFETs erfolgte gemäß Abbildung 3.5, das heißt alle Bauelemente wurden in n -Kanal Konfiguration gemessen. Bei der Aufzeichnung der Transfercharakteristik wurden auch negative Gate-Source-Spannungen angelegt, um zu überprüfen, ob auch ein p -Kanal Betrieb möglich ist. Die Ausgangscharakteristik wurde nur für den Betriebsbereich eines n -TFET aufgenommen. Die Kontaktierung der Bauelemente erfolgte über drei Messspitzen auf den Kontaktpads, die Waferrückseite hatte keinen elektrischen Kontakt, da der Bulk-Strom beim TFET Null sein soll (vgl. Kap. 3, Abschn. 3.1.2). An allen drei Messspitzen wurden die elektrischen Spannungen eingepreßt und der resultierende Strom gemessen.

²Die Spezifikation der Wafer finden sich im Anhang in Tabelle A.10.



(a) Transferkennlinienfeld: Die Gate-Source-Spannung hat kaum Einfluss auf das Klemmverhalten zwischen Source und Drain.

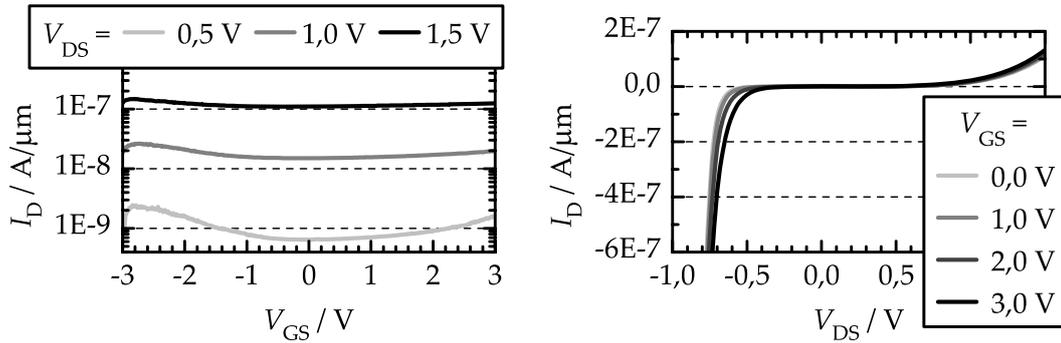
(b) Ausgangskennlinienfeld: Es zeigt die erwartete Kennlinie einer pn -Diode, wobei der Leckstrom im Sperrbetrieb sehr groß ist.

Abbildung 5.3: Beispielhafte Kennlinien eines Spacer-Gate-TFETs auf Si-Substrat (Diffusionstemperatur: 1050 °C).

Abbildung 5.3 zeigt das Transfer- und das Ausgangskennlinienfeld eines Spacer-Gate-TFETs auf einem Silizium-Substrat. Die Gate-Source-Spannung hat kaum Einfluss auf den Drainstrom. Im Ausgangskennlinienfeld sieht man die Charakteristik der Source-Drain-Diode. Sie entspricht bei negativer Drain-Source-Spannung der Charakteristik einer pn -Diode. Der Leckstrom in Sperrrichtung ist jedoch so groß, dass jeglicher Tunnelstrom, welcher durch das Gate kontrolliert wird, darin untergeht. Dieses Verhalten kennzeichnet alle hergestellten Spacer-Gate-TFETs auf Silizium-Substrat, weshalb hier keine weiteren Graphen dieser Proben gezeigt werden.

In Abbildung 5.4 sieht man die Kennlinienfelder eines Spacer-Gate-TFET auf Silicon-on-Insulator. Die Diffusionstemperatur betrug hier 1050 °C. Wie zu erwarten verhindert das BOX die hohen Leckströme der oben beschriebenen TFETs. Die Transfercharakteristik zeigt bei niedriger Drain-Source-Spannung, dass der Drainstrom sowohl im n - als auch im p -Kanal-Betrieb vom Gate gesteuert wird. Die Steuerwirkung ist allerdings sehr gering und wird bereits ab einem Volt Drain-Source-Spannung von Leckströmen überdeckt. In der Ausgangscharakteristik kündigt sich bei ca. einem Volt auch der Durchbruch der Source-Drain-Diode an.

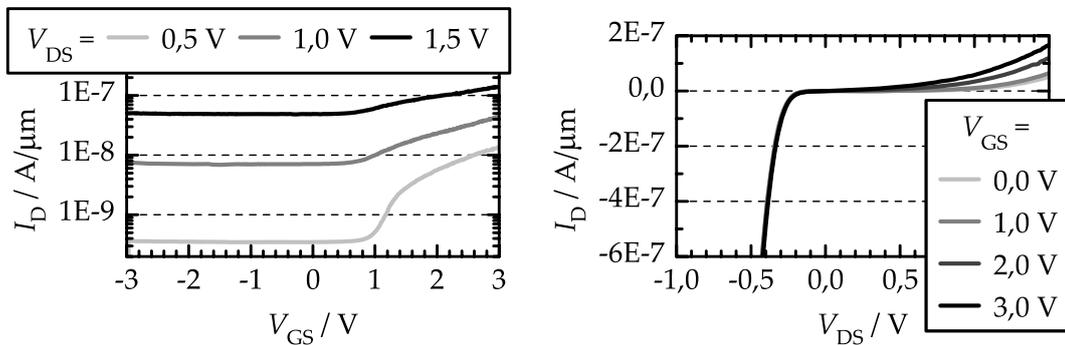
Wird die Diffusionstemperatur um 50 °C niedriger gewählt, so verbessern sich die Transistoreigenschaften geringfügig. Die elektrischen Eigenschaften des Spacer-Gate-TFETs mit einer Diffusionstemperatur von 1000 °C sind in Abbildung 5.5 dargestellt. Der Leckstrom von Source nach Drain ist geringer und die Gate-Steuerwirkung nimmt zu. Bei größeren Drain-Source-Spannungen erkennt man wiederum den Anfang eines Durchbruchs, welcher bei dieser



(a) *Transferkennlinienfeld*: Bei niedriger Drain - Source - Spannung zeigt sich sowohl im *n*- als auch im *p*-Kanal-Betrieb eine leichte Verstärkung von I_D .

(b) *Ausgangskennlinienfeld*: Es zeigt die erwartete Kennlinie einer *pn*-Diode, wobei in Sperrichtung schon bei kleinen Spannungen ein exponentiell ansteigender Leckstrom zu sehen ist.

Abbildung 5.4: Beispielhafte Kennlinien eines Spacer-Gate-TFETs auf SOI-Substrat (Diffusionstemperatur: 1050 °C).



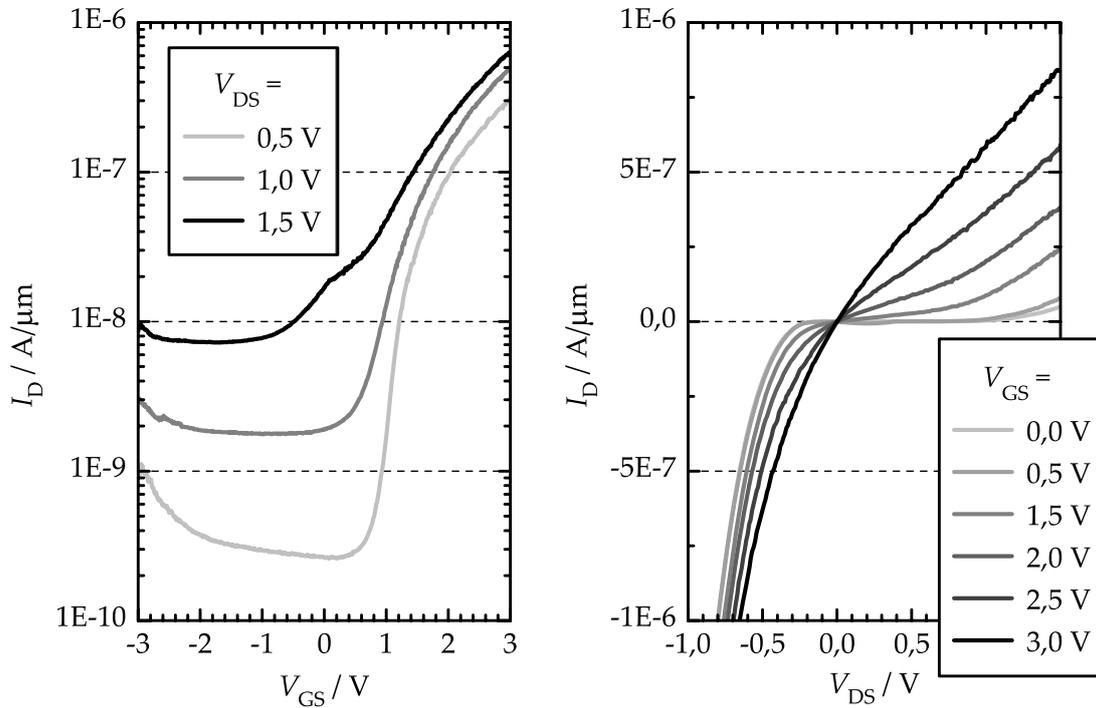
(a) *Transferkennlinienfeld*: Die Verstärkung im *n*-Kanal-Betrieb ist bei jeder Drain-Source-Spannung sichtbar.

(b) *Ausgangskennlinienfeld*: Die Gate-Source-Spannung steuert den Sperrstrom der Source-Drain-Diode.

Abbildung 5.5: Beispielhafte Kennlinien eines Spacer-Gate-TFETs auf SOI-Substrat (Diffusionstemperatur: 1000 °C).

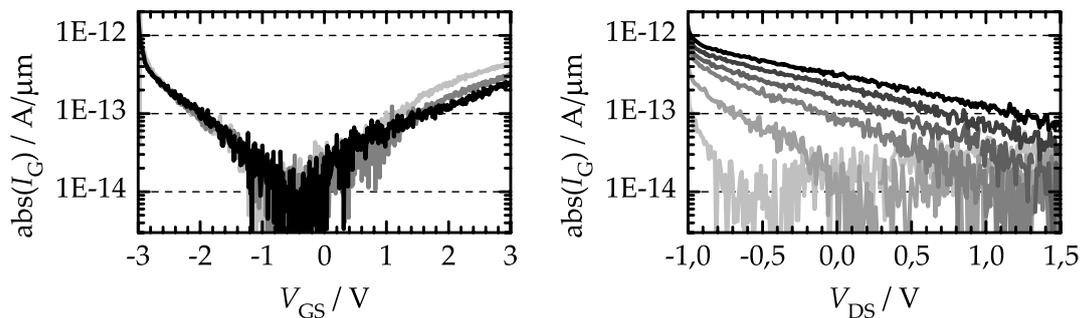
Probe eine Abhängigkeit von der Gate-Source-Spannung zeigt.

Die besten Ergebnisse wurden bei SOI Spacer-Gate-TFETs mit einer Diffusionstemperatur von 950 °C erzielt. Abbildung 5.6 zeigt Messungen dieser Probe. Das Transferkennlinienfeld zeigt eine ausgeprägte Verstärkung des Drainstroms im *n*-Kanal-Betrieb. Der *p*-Kanal-Betrieb ist nur in Ansätzen



(a) *Transferkennlinienfeld*: Die Gate-Source-Spannung verstärkt I_D um ca. 3 Dekaden im n -Kanal-Betrieb, nur geringe Verstärkung im p -Kanal-Betrieb. Bei größeren Drain-Source-Spannungen wird die Verstärkung teilweise durch Leckströme überdeckt.

(b) *Ausgangskennlinienfeld*: Das Verhalten der Source-Drain-Diode wird sowohl im Sperr- als auch im Durchlassbereich beeinflusst. Auch bei $V_{GS} = 0\text{ V}$ erkennt man einen exponentiellen Anstieg des Diodensperrstroms.



(c) Gatestrom bei der Messung aus Abbildung (a).

(d) Gatestrom bei der Messung aus Abbildung (b).

Abbildung 5.6: Beispielhafte Kennlinien eines Spacer-Gate-TFETs auf SOI-Substrat (Diffusionstemperatur: $950\text{ }^\circ\text{C}$).

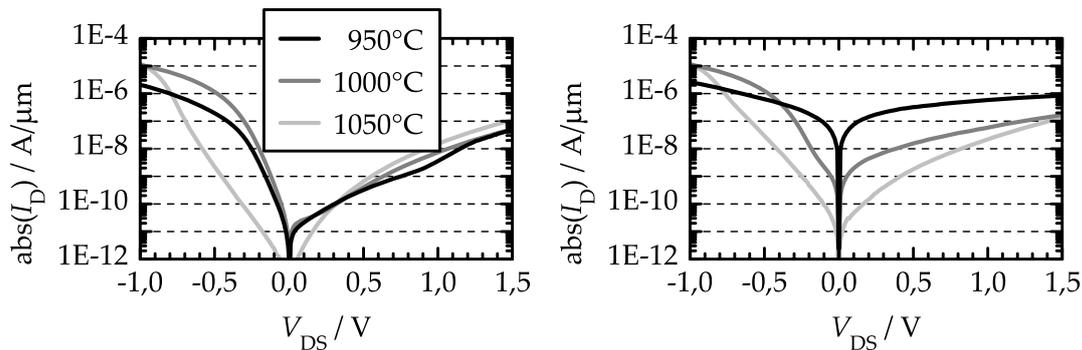
erkennbar. Der Drainstrom kann bei positiver Gate-Source-Spannung und niedriger Drain-Source-Spannung über drei Dekaden gesteuert werden. Bei höheren Drain-Source-Spannungen wird diese Verstärkung wiederum durch Leckströme der Source-Drain-Diode gemindert. Der maximal gemessene Drainstrom liegt knapp unter $1\text{E-6 A}/\mu\text{m}$. Abbildung 5.6b zeigt, dass die Gate-Source-Spannung die Sperrrichtung und die Durchlassrichtung der Source-Drain-Diode beeinflusst. Der Elektronenkanal unter dem Gate führt jeweils zu einer Verstärkung des Drainstroms. In den Abbildungen 5.6c und d ist der Gateleckstrom gegenüber V_{GS} bzw. V_{DS} aufgetragen. Dieser steigt bei zunehmender Gate-Source-Spannung und bei negativer Drain-Source-Spannung, da hier der Spannungsabfall über das Gatedielektrikum am größten wird. In dem gemessenen Spannungsbereich ist dieser Strom aber noch so niedrig, dass er keinen Einfluss auf die Transistoreigenschaften des Spacer-Gate-TFETs hat.

5.3 Diskussion der elektrischen Ergebnisse

Die Transfercharakteristiken des vorherigen Abschnitts zeigen, dass der n -Kanal-Betrieb der Spacer-Gate-TFETs deutlich stärker ausgeprägt ist als der p -Kanal-Betrieb. Dies liegt an der prinzipiellen Prozessfolge: Die Diffusion des n -Gebietes erfolgt in mehreren Schritten (Ausheilen, Gateoxidation und Diffusion), während das p -Gebiet nur aus dem eigentlichen Diffusionsschritt resultiert. Das Borprofil ist also steiler und der Tunnelübergang bildet sich zwischen Kanal und p -Gebiet schon bei kleineren externen Spannungen (vgl. Kap. 3, Abschn. 3.2.1).

In Abbildung 5.7 werden die Ausgangskennlinien der drei SOI-Proben (s. Tab. 5.1) verglichen. In 5.7a sind die Ausgangskennlinien bei $V_{\text{GS}} = 0\text{ V}$ zu sehen, es ist also davon auszugehen, dass sich unter dem Gateoxid kein Kanal gebildet hat und nur die Source-Drain-Diode charakterisiert wird. Die Kennlinien unterscheiden sich in Sperrrichtung der Source-Drain-Diode nur wenig: Alle Proben zeigen dort einen schnell ansteigenden Leckstrom. Dieser ist vermutlich auf die Diffusion von Phosphor ins Substrat bei dem Ausheilen des SOD/SOG-Schichtstapels zurückzuführen (vgl. Kap. 4, Abschn. 4.2.5). Es ist anzunehmen, dass in diesem Prozessschritt die gesamte Probe nahe der Oberfläche mit Phosphor n -dotiert wird. Im Bereich des p -Gebietes wird das dotierte Silizium beim anisotropen Rückätzen wieder entfernt (vgl. Abb. 4.18 und 4.19), aber im Kanalgebiet bleibt diese Dotierung erhalten. Wenn die Kanaldotierung eine Höhe von ca. $1\text{E}18/\text{cm}^3$ übersteigt, so steigt auch der Leckstrom eines TFETs stark an [Hei07a].

Abbildung 5.7b zeigt den Vergleich der Ausgangskennlinien bei $V_{\text{GS}} = 3\text{ V}$. Hier wird erneut deutlich, dass die Dotierprofile maßgeblich über die elektrischen Eigenschaften eines TFETs entscheiden. Die Diffusion bei 1050 °C führte zu einem Überlappen des p - und des n -Gebietes. Das Valenz- und das Lei-



(a) $V_{GS} = 0\text{ V}$: In Sperrrichtung der Source-Drain-Diode unterscheiden sich Kennlinien nur wenig, alle Proben zeigen einen schnell ansteigenden Leckstrom.

(b) $V_{GS} = 3\text{ V}$: Die 950°C -Probe zeigt, außer bei sehr kleiner Drain-Source-Spannung, den höchsten Drainstrom.

Abbildung 5.7: Vergleich der Ausgangskennlinien von Spacer-Gate-TFETs auf SOI-Substrat mit unterschiedlichen Diffusionstemperaturen.

tungsband werden dann in erster Linie von der Raumladungszone von Source und Drain beeinflusst und die Steuerwirkung des MOS-Gates geht verloren; der TFET lässt sich nicht mehr einschalten. Bei den Diffusionstemperaturen von 1000°C und 950°C nimmt die Gate-Steuerwirkung zu.

Betrachtet man die Durchlassrichtung der Source-Drain-Diode in Abbildung 5.7a oder b, dann zeigt sich, dass sich der Drainstrom bei $V_{DS} = -1\text{ V}$ bei den Proben unterscheidet. Die Ursache hierfür ist bei den parasitären Widerständen des Spacer-Gate-TFETs zu suchen. Die parasitären Widerstände des Metall-Halbleiter-Kontakts und der Widerstand des p - bzw. n -Gebietes zwischen dem Kontaktloch und dem Kanal steigen mit kleiner werdender Dotierstoffkonzentration und Diffusionstiefe, daher machen sich diese Widerstände bei der 950°C -Probe schon bei kleineren Strömen bemerkbar. Aufgrund der zunehmenden parasitären Widerstände wurden Diffusionstemperaturen unter 950°C bisher nicht untersucht.

Ein direkter Vergleich der SOI-Bauelemente mit den Spacer-Gate-TFETs auf Silizium-Substraten ist nicht sinnvoll, da bei letzteren die Gate-Steuerwirkung von Leckströmen überdeckt wird. Wie im vorherigen Abschnitt bereits erläutert, sind die SOI-Transistoren durch das BOX und das LOCOS lokal vollständig isoliert, so dass keine Leckströme über das Substrat fließen können. Ein weiterer Unterschied der Proben ist beim anisotropen Rückätzen zu suchen. Bei SOI-Wafern ist die Ätzrate höher, so dass im Bereich des p -Gebietes mehr Silizium entfernt wurde. Die Vermutung liegt nahe, dass die Phosphordotierung, welche beim Ausheilen des SOD/SOG-Schichtstapels

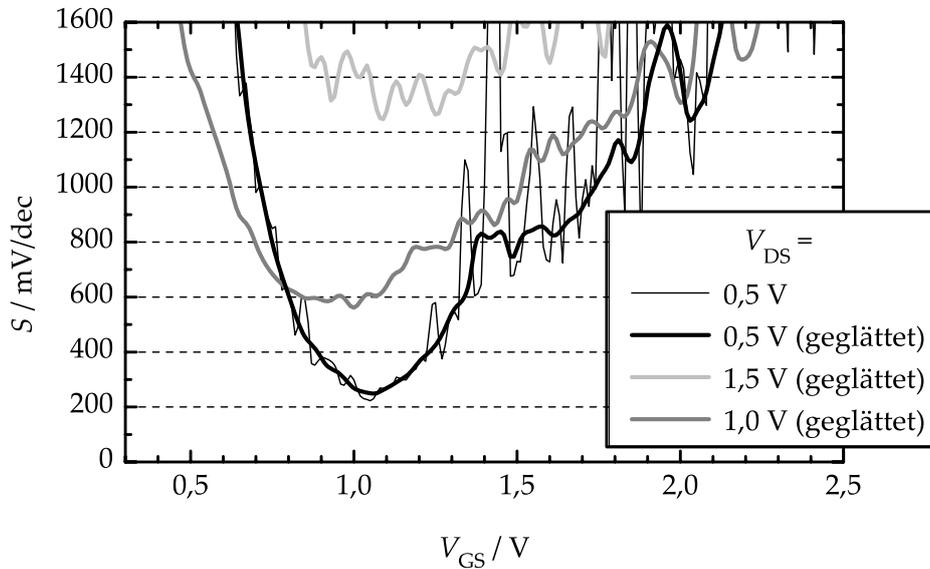
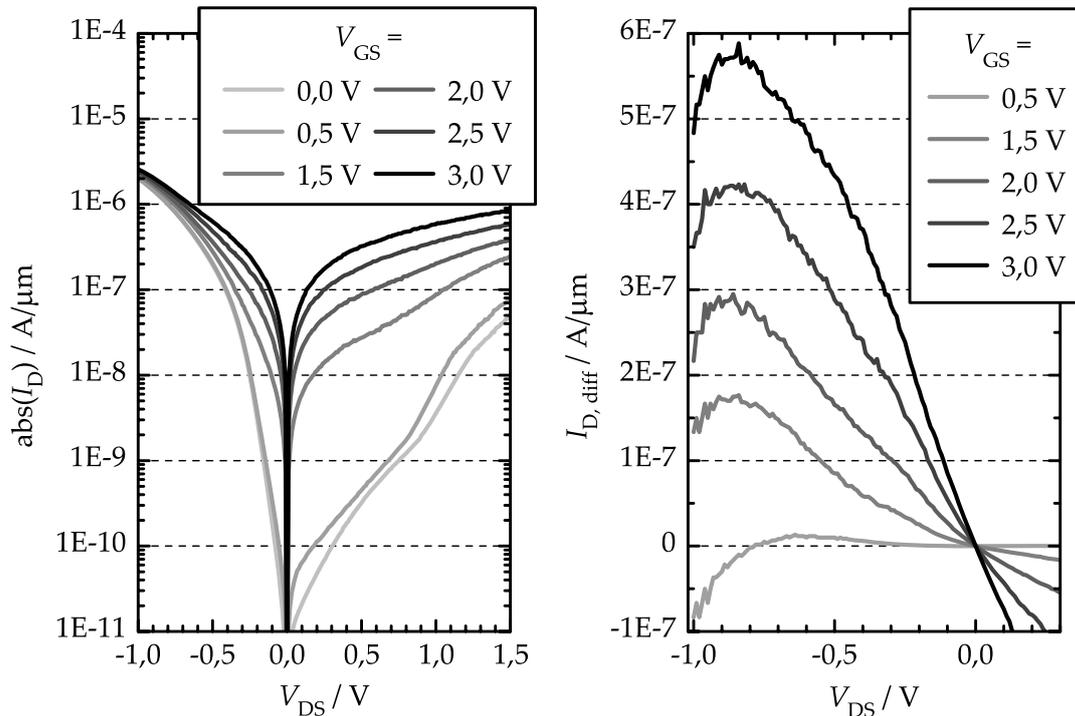


Abbildung 5.8: Lokale Unterschwellensteigung S des Spacer-Gate-TFETs aus Abbildung 5.6. Der minimale Wert von S liegt bei ca. 200 mV/dec.

entstand, bei den Silizium-Proben nicht vollständig entfernt wurde und dadurch zusätzliche Leckströme hervorruft.

Eine wichtige Kenngröße für Transistoren ist die Unterschwellensteigung S (vgl. Kap. 2, Abschn. 2.1.2). In Abbildung 5.8 ist die lokale Unterschwellensteigung eines TFETs der 950 °C-Probe dargestellt. Der kleinste Wert von S liegt bei ca. 200 mV/dec. Bei Drain-Source-Spannungen oberhalb von einem Volt beträgt der niedrigste Wert ungefähr 600 mV/dec. Diese Werte sind weit von den Simulationsergebnissen zu TFETs entfernt, wo lokale Unterschwellensteigungen unter 60 mV/dec gezeigt werden (s. Kap. 3, Abschn. 3.3.1). Die Ursache für die relativ großen Werte liegen zum Einen an den oben genannten Leckströmen, welche die Transferkennlinien „flacher“ machen, zum Anderen sind die Dotierprofile natürlich nicht abrupt. Der Gradient der Dotierstoffkonzentration der Spacer-Gate-TFETs liegt oberhalb von 25 nm/dec (vgl. Abb 4.21), während bei den meisten Simulationen der Dotierstoffverlauf näherungsweise als abrupt oder mit einer Steilheit von wenigen Nanometern pro Dekade angenommen wird. Ein weiterer Unterschied zu den meisten Simulationen liegt in der Dicke des Gatedielektrikums. Die Gateoxide dieser Arbeit haben eine Dicke von ca. 6 nm, während die in Abschnitt 3.4 zusammengefassten Simulationsarbeiten eine äquivalente Oxiddicke von 3 nm, 2 nm oder gar 0,4 nm einsetzen (vgl. Kap. 3, Abschn. 3.4). Dies wirkt sich natürlich drastisch auf die Unterschwellensteigung und den maximalen Drainstrom aus.

In Abbildung 5.9 sind weitere Auswertungen der Ausgangscharakteristik



(a) Ausgangskennlinienfeld aus Abbildung 5.6b in logarithmischer Darstellung. Man erkennt den starken Anstieg der Source-Drain-Leckströme bei kleiner Gate-Source-Spannung und die Steuerwirkung dieser Spannung auf die Kennlinie der Source-Drain-Diode.

(b) Differenz des Drainstroms in Durchlassrichtung der Source-Drain-Diode ($I_{D, \text{diff}} = I_D|_{V_{GS}=0\text{V}} - I_D$). Sie verdeutlicht, dass auch hier das Band-zu-Band Tunneln von der Gate-Source-Spannung gesteuert wird.

Abbildung 5.9: Weitere Auswertungen der I/V -Messungen des Spacer-Gate-TFETs aus Abbildung 5.6.

eines TFET der 950°C -Probe dargestellt. In 5.9a sieht man das Ausgangskennlinienfeld in logarithmischer Darstellung. Im ausgeschalteten Zustand ($V_{GS} = 0 \text{ V}$) steigt der Drainstrom mit steigender Drain-Source-Spannung exponentiell an, dies ist die wesentliche Begrenzung der elektrischen Eigenschaften des Spacer-Gate-TFETs dieser Arbeit. Der maximale Drainstrom I_{on} erreicht nahezu $1\text{E}-6 \text{ A}/\mu\text{m}$. Dieser Wert ist vergleichbar mit den n -Kanal-TFETs anderer experimenteller Arbeiten [Bor07], bzw. liegt sogar darüber [Wan04d]. Abbildung 5.9b verdeutlicht den Einfluss der Gate-Source-Spannung in Durchlassrichtung der Source-Drain-Diode. Hier ist die Differenz des Drainstroms bei unterschiedlichen Gate-Source-Spannungen von dem Drainstrom im ausgeschalteten Zustand aufgetragen

($I_{D,diff} = I_D|_{V_{GS}=0V} - I_D$). Dadurch lässt sich der Tunnelstrom extrahieren. Man sieht zwar keinen negativen differentiellen Widerstand wie bei einer Esaki-Diode (vgl. Kap. 3, Abschn. 3.1.1), dennoch ist erkennbar, dass die Differenz $I_{D,diff}$ erst ansteigt und oberhalb einer Drain-Source-Spannung von ca. 0,8 V wieder abfällt. Dies ist das typische Verhalten des Band-zu-Band Tunnelstroms, der durch die Gate-Source-Spannung gesteuert wird.

Die elektrische Charakterisierung hat gezeigt, dass in dieser Arbeit unter Verwendung der neuen Spacer-Gate-Technologie elektrisch funktionstüchtige TFETs mit kurzen Kanallängen erfolgreich hergestellt wurden. Es gibt allerdings noch Raum für Verbesserungen, insbesondere bei folgenden Punkten:

- Reduktion der Leckströme
- Steilere Dotierprofile
- Dünneres Gatedielektrikum mit höherer Spannungsfestigkeit

Im nachfolgenden Kapitel wird diskutiert durch welche Maßnahmen diese Verbesserungen erreicht werden können und es wird eine abschließende Bewertung des Spacer-Gate-Konzepts vorgenommen.

Kapitel 6

Schlussfolgerungen und Ausblick

In dieser Arbeit wurden erstmals Tunnel-Feldeffekt-Transistoren mit der neuen Spacer-Gate-Technologie hergestellt. Hierfür war eine intensive Technologieentwicklung in den Bereichen Lithographie, trockenchemisches Ätzen, Abscheidung aus der Gasphase und Dotieren aus Spin-on Gläsern in einem Rapid-Thermal-Process notwendig. Ergänzend wurden einige Materialuntersuchungen zu den Spin-on Gläsern durchgeführt. Für die Optimierung der elektrischen Eigenschaften des TFETs wurden die Ergebnisse vorheriger Arbeiten mit eigenen Überlegungen ergänzt und die Anwendungsmöglichkeiten für den Spacer-Gate-TFET überprüft und eingesetzt. Dieses Kapitel beleuchtet nun die Vor- und Nachteile der Spacer-Gate-Technologie für TFETs und liefert eine Reihe von Verbesserungsvorschlägen für zukünftige Arbeiten auf diesem Gebiet.

6.1 Stärken und Schwächen des Spacer-Gate Konzepts

Der größte Vorteil der Spacer-Gate-Technologie liegt darin, dass es sich hierbei um einen selbstjustierenden Prozess handelt. Das bedeutet: Die Dotiergebiete von Source und Drain grenzen automatisch an das Gate, bzw. sie überlappen leicht mit dem Gate, damit der Tunnelübergang durch das Gate gut gesteuert werden kann. Aufgrund der unterschiedlichen Dotierung von Source und Drain beim TFET konnten ohne Spacer-Technologie bisher keine TFETs mit einem selbstjustierenden Prozess hergestellt werden. Ein zweiter Pluspunkt ist die genaue Einstellung der Kanallänge, diese ist Lithografie-unabhängig und ermöglicht somit Kanallängen, die mit herkömmlicher Lithografie nicht erreichbar sind.

Die Einstellung der Kanallänge über Spacerbreite und Unterdiffusion birgt aber auch ihre Schwierigkeiten, so können auf einem Wafer nur Transistoren mit genau einer Kanallänge hergestellt werden. Dies gestaltet die Bestimmung

der effektiven Gatelänge, wie sie in Kap. 4 Abschn. 4.3.2 durchgeführt wurde, aufwändig und es können auch keine exakten Werte geliefert werden. Unsicherheiten liegen wie beschrieben in den Messungen der Dotierstoffprofile, dem Skalierungsfaktor γ und der Dotierstoffkonzentration, die als Grenze des Kanalgebietes angesetzt wird. Eine elektrische Bestimmung der effektiven Kanallänge auf einer Probe ist wie erläutert nicht möglich. Eine systematische Untersuchung des Einflusses der Kanallänge ist aufwändig, da für jede Gatelänge eine Vielzahl an Einzelprozessen angepasst werden muss. Durch eine Versuchsreihe über verschiedene Proben mit unterschiedlicher Spacerbreite könnte aber die Kanallänge genauer bestimmt und mit Werten der bisherigen Methode verglichen werden.

Da auf einem Wafer nur eine Kanallänge hergestellt werden kann, entfällt diese auch als Parameter beim Entwurf von integrierten Schaltungen. Es ist zwar denkbar einzelne Bauelemente mit längerem Kanal herzustellen indem man den Spacer und angrenzendes Gebiet bei der dritten Lithographie (Maskierung der Gatekontaktflächen vor dem anisotropen Rückätzen) ebenfalls maskiert, dieser Prozess birgt aber eine Unsicherheit der Kanallänge aufgrund der Justage der Maske.

Der Kompromiss, welcher beim Ausheilen des SOD/SOG-Schichtstapels für die nachfolgend notwendige Temperaturstabilität und dem thermischen Budget für die Diffusion von Dotierstoffen getroffen werden muss, begrenzt die elektrische Leistungsfähigkeit des Spacer-Gate-TFETs (vgl. Kap. 5, Abschn. 5.3). Niedrigere Temperaturen beim Ausheilen sind wünschenswert, damit hier noch keine Dotierung stattfindet. Diese Temperaturen sind aber kaum mit der Herstellung des Spacers vereinbar, da sie ebenfalls zu einer geringeren Temperaturstabilität des SOD/SOG-Schichtstapels führen und somit die vertikale Ätzflanke bei der Gateoxidation degradieren.

Die Herstellung der Source- und Drain-Wannen mittels Diffusion hat den Vorteil einer sehr hohen Oberflächendotierung, die für eine hohe Leistungsfähigkeit des TFETs notwendig ist. Gleichzeitig können durch die Diffusion aber keine beliebig steilen Dotierprofile realisiert werden, was die Leistungsfähigkeit des TFETs wiederum reduziert. Die derzeitige Prozessfolge ist nur für die Herstellung des n -Kanal TFET ausgelegt. Schaltungen aus komplementären Bauelementen können also noch nicht realisiert werden.

Für die meisten Schwächen der Spacer-Gate-Technologie gibt es Lösungsansätze durch Anpassung oder auch Weiterentwicklung des Spacer-Gate-Konzepts. Diese werden in den beiden folgenden Abschnitten dargestellt.

6.1.1 Technologische Möglichkeiten

Die derzeit größte Schwäche des Spacer-Gate-TFETs ist der oben angesprochene Kompromiss beim Ausheilen der Silikatgläser. Hierfür sind zwei Lösungsansätze denkbar. Es liegt in der Natur der Sol-Gel Technologie, dass eine hohe Temperaturstabilität der Spin-on Gläser auch eine hohe Ausheiztemperatur erfordert. Eine alternative Dotierstoffquelle an Stelle des SOD/SOG-Schichtstapels ist z. B. Phosphorsilikatglas, welches mit dem CVD-Verfahren abgeschieden wird. Hierfür kämen entweder ein Low-Temperature-Oxide (LTO) mit der Zugabe von Phosphin oder die Herstellung aus Tetraethylorthosilikat (TEOS) und der Verwendung von $P(OC_2H_5)_3$ in Frage [Wid96]. Bei beiden Prozessen wäre eine Dotierung des Siliziums bei der Abscheidung vernachlässigbar. Die zweite Möglichkeit zur Verbesserung des Kompromisses ist die Verwendung eines „kalten“ Gatedielektrikums. Die Herstellung von thermischem Siliziumdioxid als Gatedielektrikum erfordert relativ hohe Temperaturen ($> 800^\circ\text{C}$) und daher auch die hohe Temperaturstabilität der vertikalen Ätzflanke. Ein Gatedielektrikum, welches durch CVD oder auch ALD (Atomic-Layer-Deposition) abgeschieden wird, benötigt diese hohen Temperaturen nicht und die Anforderungen an die Temperaturstabilität der vertikalen Ätzflanke sinkt. Der entsprechende Prozess für die Herstellung des „kalten“ Gatedielektrikums muss natürlich verfügbar sein und elektrisch hochwertige Gatedielektrika ermöglichen. Auch bei dem derzeitig verwendeten thermischen Siliziumdioxid gibt es noch Verbesserungspotenzial bezüglich Oxiddicke und Spannungsfestigkeit.

Die ausschließliche Herstellung von n -TFETs ist nur eine anfängliche Einschränkung. Die Herstellung von p -TFETs, bei denen das Spacer-Gate an der vertikalen Ätzflanke von Borsilikatglas hergestellt wird, ist ebenfalls denkbar. Das Borsilikatglas muss hierbei die gleichen Anforderungen erfüllen wie das Phosphorsilikatglas beim n -TFET. Ebenso ist es prinzipiell möglich, komplexere Prozessfolgen zu entwerfen, bei denen sowohl n - als auch p -TFETs mit Spacer-Gate hergestellt werden, so dass integrierte Schaltkreise mit komplementärer Logik realisiert werden können.

6.1.2 Weiterentwicklung des Spacer-Gate Konzepts

Das Schlüsselproblem bei der Herstellung von TFETs sind die verschmierten Dotierprofile, welche die elektrischen Eigenschaften des TFETs maßgeblich verschlechtern (vgl. Kap. 3, Abschn. 3.2.1). Für die Überwindung dieser Hürde wurde in [Bor07] die Verwendung von selektiver Epitaxie vorgeschlagen. Diese Technologie erlaubt extrem scharfe Dotierübergänge bei verhältnismäßig niedrigen Temperaturen und die Abscheidung erfolgt nur auf Silizium und nicht auf Siliziumdioxid oder Siliziumnitrid [Schi06]. Die scharfen Dotierprofile sind ideal für gute elektrische Eigenschaften des TFETs.

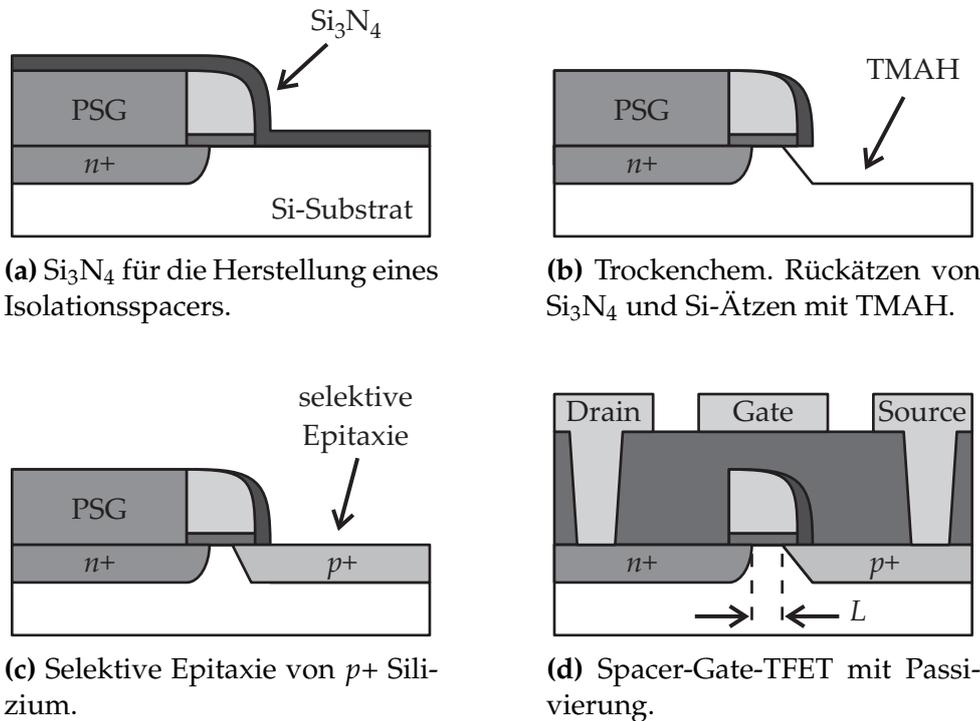


Abbildung 6.1: Vorschlag für die Prozessfolge des Spacer-Gate-TFETs unter Verwendung von selektiver Epitaxie zur Steigerung des Dotierstoffgradienten am Tunnelübergang.

Die Vorteile der selektiven Epitaxie lassen sich mit den Vorteilen der Spacer-Gate-Technologie kombinieren: Eine mögliche Prozessfolge ist in Abbildung 6.1 dargestellt. Nach dem anisotropen Rückätzen des Polysiliziums für die Herstellung des Spacer-Gates wird eine Schicht Siliziumnitrid abgeschieden (Abb. 6.1a) und ebenfalls anisotrop rückgeätzt. Dadurch bildet sich neben dem Spacer-Gate aus Polysilizium ein zweiter schmalerer Spacer aus Siliziumnitrid. Dieser dient bei der nachfolgenden nasschemischen Ätzung mit Tetramethylammoniumhydroxid (TMAH) als seitliche Maskierung des Gates (Abb. 6.1b). Eine Unterätzung des Gate-Stacks ist erwünscht, damit sich der Übergang vom Kanalgebiet zur Source später unter dem Gate befindet. Gegebenenfalls wird das Polysilizium in Abbildung 6.1b von oben ebenfalls abgeätzt. Entweder man sorgt durch ein ausreichend hohes Spacer-Gate dafür, dass nach der Ätzung noch genügend Material vorhanden ist oder man verwendet Polysilizium mit einer hohen p -Dotierung. Die Dotierung reduziert die Silizium-Ätzrate von TMAH bis zu einem Faktor 40 (in Abhängigkeit von der Dotierstoffkonzentration) [Ste96].

Die Ätzung ins Silizium-Substrat wird mittels selektiver Epitaxie wieder aufgefüllt (Abb. 6.1c). Auch auf dem unmaskierten Teil an der Oberseite des

Spacer-Gates wird Silizium abgeschieden, was aber keine Auswirkungen auf die Eigenschaften des TFETs hat. Die nachfolgenden Schritte zur Passivierung und Kontaktierung des Bauelements entsprechen wieder dem Prozess dieser Arbeit (Abb. 6.1d).

In dem vorgeschlagenen Prozess ist der Dotierstoffübergang zwischen Kanalgebiet und Source extrem steil und zwischen Kanalgebiet und Drain hingegen eher flach. Dieses Design entspricht der Zielvorstellung für die Herstellung von TFETs mit geringem Leckstrom im ausgeschalteten und hohem Drain-Strom im eingeschalteten Zustand (s. Kap. 3, Abschn. 3.2.1). Bei der selektiven Epitaxie kann anstelle von Silizium auch Silizium-Germanium abgeschieden werden, dies ermöglicht einen weiteren Freiheitsgrad bei der Herstellung von TFETs, der für eine bessere elektrische Leistungsfähigkeit genutzt werden kann.

6.2 Ausblick

Der Tunnel-Feldeffekt-Transistor ist aufgrund seiner guten Skalierbarkeit und den sehr niedrigen Leckströmen gut geeignet für höchstintegrierte Schaltungen mit geringer Leistungsaufnahme. Mögliche Anwendungsgebiete sind z. B. Speicherchips oder mobile Geräte. Auch analoge Schaltungen können von den Eigenschaften des TFETs, beispielsweise bei einer temperaturkompensierten Spannungsreferenz, profitieren. Eine realistische Prognose, ob und wann der TFET in kommerziellen Produkten zum Einsatz kommen wird, ist zum jetzigen Zeitpunkt jedoch verfrüht. Weitere experimentelle Untersuchungen, wie beispielsweise im vorherigen Abschnitt vorgeschlagen, müssen zeigen, ob der TFET mit einer Unterschwellensteigung und mit „on“-Strömen hergestellt werden kann, welche konkurrenzfähig zum MOSFET sind. Falls dieser Nachweis erbracht werden kann, wird die Erfindung des Tunnel-Feldeffekt-Transistors dazu beitragen, dass die bisher kontinuierliche Miniaturisierung und Leistungssteigerung der integrierten Schaltungen erfolgreich fortgeführt werden kann.

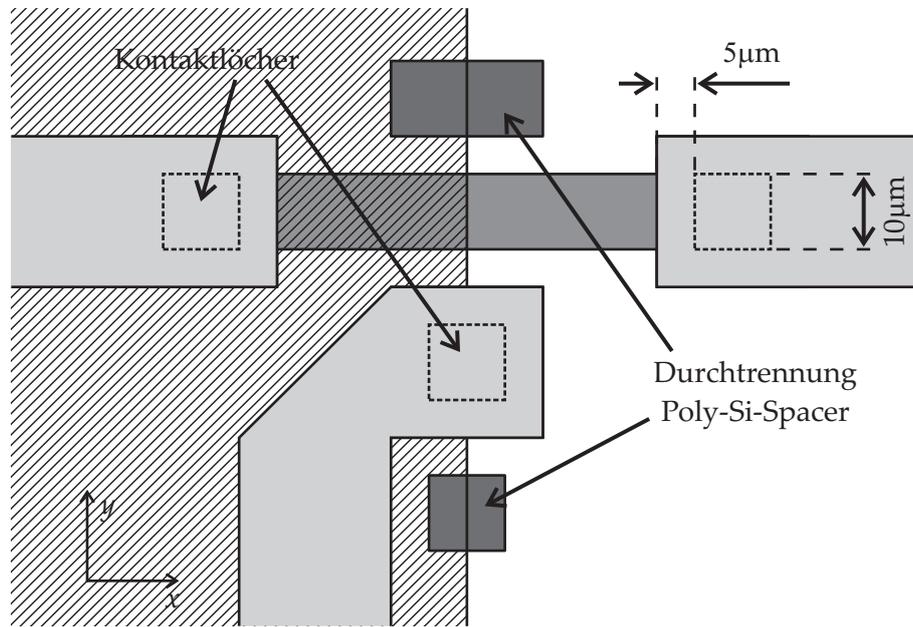
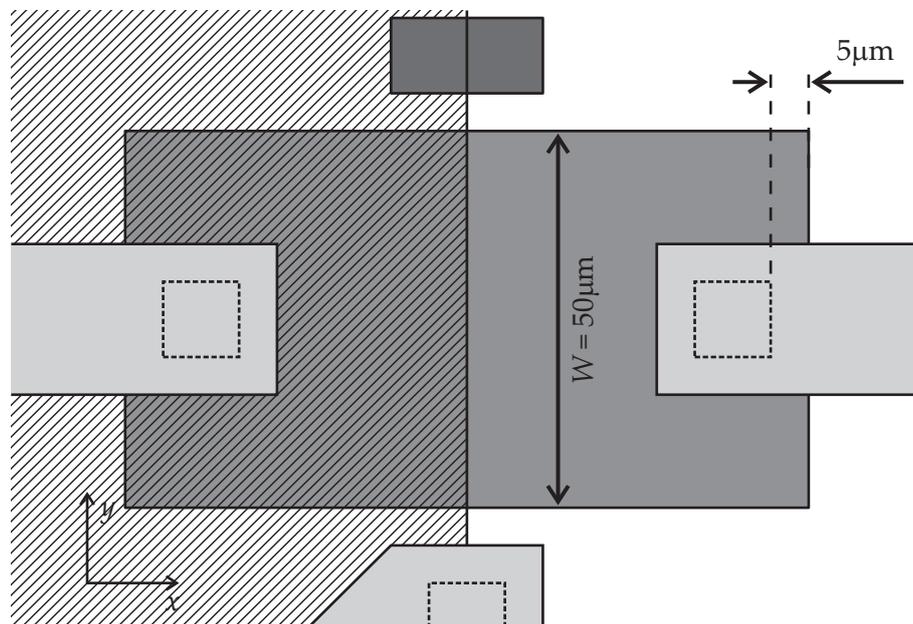
(a) Kanalweite $W = 10 \mu\text{m}$.(b) Kanalweite $W = 50 \mu\text{m}$.

Abbildung A.2: Vergrößertes Maskenlayout von zwei TFETs mit unterschiedlicher Kanalweite. Die minimale Justagegenauigkeit liegt hier bei $5 \mu\text{m}$.

Zeilenindex	A	B	C	D	E	F	G	H	I
Kanalweite / μm	50	20	10	6	2	1	10	10	10
Zeilenindex	J	K	L	M	N	O	P	Q	R
Kanalweite / μm	10	50	20	10	6	50	20	10	6

Tabelle A.1: Index der verschiedenen Kanalweiten im Maskenlayout. Die Justagegenauigkeit für die Zeilen A-I muss kleiner als $5\ \mu\text{m}$ sein und für die Zeilen H-R kleiner als $2\ \mu\text{m}$.

A.2 Prozessparameter

Nr.	Name und Zusammensetzung	Dauer	Temp.	Ultrasch.
1.	<i>Mechanische Reinigung</i> Abblasen mit N ₂ DI-Wasser	3 min		120 W
2.	<i>Standard Clean 1</i> DI : H ₂ O ₂ (31%) : NH ₄ OH(29%) 5 : 1 : 1 Spülen DI-Wasser	10 min 1+3 min	70 °C	12 W
3.	<i>HF-Dip</i> DI : HF(50%) 49 : 1 Spülen DI-Wasser	30 sec 1+3 min		
4.	<i>Standard Clean 2</i> DI : H ₂ O ₂ (31%) : HCl(32%) 6 : 1 : 1 Spülen DI-Wasser	10 min 1+3 min	70 °C	12 W

Tabelle A.2: Standard-Reinigungsprozess.

Name und Zusammensetzung	Dauer	Temp.
<i>Piranha Clean</i> H ₂ SO ₄ (98%) : H ₂ O ₂ (31%) 4 : 1 Spülen DI-Wasser	10 min 1+3 min	130 °C

Tabelle A.3: Piranha-Reinigungsprozess.

Material	Ätzlösung	Ätzrate
SiO ₂ (therm.)	Gepufferte Flussssäure (BHF) NH ₄ F(40%) : HF(50%) 7 : 1	95 nm/min
SOD P507	Verdünnte Flussssäure HF(0,5%) DI : HF(50%) 99 : 1	ca. 240 nm/min
Al	Aluminiumätzlösung H ₃ PO ₄ : DI : HNO ₃ 80 : 16 : 4	75 nm/min

Tabelle A.4: Verwendete Ätzlösungen.

Lack	Prozessschritt	Dauer	Temp.
ma-P 1205	Aufschleudern (3000 U/min)	30 s	
	Soft-Bake (Platte)	30 s	100 °C
	Belichten (Kontakt, 20 mW/cm ²)	3,3 s	
	Entwickeln (Microposit Devel. [Rho])	30 s	
	Hard-Bake (Ofen)	30 s	160 °C
ma-N 1405	Aufschleudern (3000 U/min)	30 s	
	Soft-Bake (Platte)	60 s	120 °C
	Belichten (Kontakt, 20 mW/cm ²)	3,5 s	
	Entwickeln (ma-D 533/S)	ca. 15 s	
	Hard-Bake (Ofen)	30 s	160 °C
AR-P 3740	Aufschleudern (4000 U/min)	15 s	
	Soft-Bake (Platte)	120 s	100 °C
	Belichten (Vakuumkontakt, 20 mW/cm ²)	12,0 s	
	Post-Exposure-Bake (Platte)	300 s	130 °C
	Entwickeln (AR 300-47 : DI, 4 : 1)	ca. 120 s	

Tabelle A.5: Lithographieparameter.

Nr.	SOD/SOG	Prozessschritt	Dauer	Temp.
1.	P-507	Aufschleudern (3000 U/min)	10 s	
		Aushärten (Platte)	1 min	90 °C
			15 min	190 °C
2.	82F	Aufschleudern (3000 U/min)	10 s	
		Aushärten (Platte)	1 min	90 °C
			1 min	190 °C
3.	82F	Aufschleudern (3000 U/min)	10 s	
		Aushärten (Platte)	1 min	90 °C
			1 min	190 °C
		Aushärten (Platte)	15 min	290 °C
4.		Ausheilen (Röhrenofen mit N ₂ -Umgebung)	10 min	800 °C
5.	B-155	Aufschleudern (3000 U/min)	30 s	
		Aushärten (Platte)	1 min	100 °C
			15 min	200 °C

Tabelle A.6: Parameter für die SOD/SOG Schichtabscheidung (1.-4.) und die *p*-SOD Abscheidung (5.).

Dauer	Temp.	Prozessgase	Druck	Rate
<i>Siliziumnitrid</i>				
15 min	800 °C	SiH ₂ Cl ₂ : NH ₃ , 1 : 4	467 µbar	6,6 nm/min
<i>Polykristallines Silizium</i>				
450 s	600 °C	SiH ₄ : PH ₃ , 100 : 5	13,3 mbar	27 nm/min
30 s	700 °C	Rekristallisierung in H ₂	13,3 mbar	

Tabelle A.7: Parameter der LPCVD-Abscheidungen.

Dauer	RF	ICP	Prozessgase	Druck	Rate
<i>SOD/SOG-Schichtstapel anschließend Fotolack</i>					
240 s	167 W	0 W	Ar : CHF ₃ , 1 : 1	53,4 µbar	∅ 50 nm/min
180 s	20 W	500 W	O ₂	133,3 µbar	> 450 nm/min
<i>Siliziumnitrid anschließend Fotolack</i>					
85 s	150 W	0 W	CHF ₃ : O ₂ , 50 : 4	66,7 µbar	74,5 nm/min
60 s	20 W	500 W	O ₂	133,3 µbar	> 450 nm/min

Tabelle A.8: Ätzprozesse in der ICP-RIE-Anlage.

Dauer	MW	Magnet	V _B	Gase	Druck	Rate
17 min	250 W	1087 G	300 V	Ar : Cl ₂ , 8 : 5	0,1 µbar	13,3 nm/min

Tabelle A.9: Ätzprozess in der CAIBE-Anlage. Die Ätzrate in dieser Anlage verändert sich in Abhängigkeit des Substrates (Bulk oder SOI) um bis zu 20 %.

A.3 Materialdaten

Schicht	Material	Dicke	Dotierstoff	spez. Wid.
<i>Silizium-Wafer</i>				
Substrat	FZ $\langle 100 \rangle$ -Si	ca. 280 μm	Phosphor	30-37 Ωcm
<i>Silicon-on-Insulator</i>				
aktive Sch.	FZ $\langle 100 \rangle$ -Si	205 \pm 8 nm	Bor	13,5-22,5 Ωcm
BOX	therm. Oxid	400 \pm 20 nm	-	-
Substrat	CZ $\langle 100 \rangle$ -Si	ca. 675 μm	Bor	14-22 Ωcm

Tabelle A.10: Verwendete Substrate.

Verwendete Formelzeichen

Um Vergleiche mit internationalen Veröffentlichungen zu erleichtern, entsprechen die Formelzeichen in dieser Arbeit der Nomenklatur, die in englischsprachiger Literatur gebräuchlich ist.

Variablen und Indizes, die für eine Variable stehen, sind kursiv dargestellt, Konstanten und Indizes, die für eine Abkürzung stehen, sind aufrecht gedruckt.

Symbol	Erklärung	Einheit
A	Fläche	m^2
C_{Ox}	Oxidkapazität	F
C_{Par}	Summe der parasitären Kapazitäten	F
$D_{A,D}$	Diffusionskonstante des p, n Dotierstoffes	m^2/s
D_{it}	Grenzflächenzustandsdichte	cm^{-2}
e	Elementarladung	C
E	Energie	eV
E_C	Energieniveau der Leitungsbandkante	eV
E_F	Fermi-Energie	eV
E_{Fn}	Quasi-Fermi-Energie der Elektronen	eV
E_{Fp}	Quasi-Fermi-Energie der Löcher	eV
E_G	Bandlücke	eV
E_i	Intrinsische Fermi-Energie im Halbleiter	eV
E_V	Energieniveau der Valenzbandkante	eV
E_{Vac}	Energieniveau im Vakuum	eV
f_C	Fermi-Verteilung der Elektronen	1
f_V	Fermi-Verteilung der Löcher	1
F	Elektrische Feldstärke	V/cm
F_C^\pm	Kritische elektrische Feldstärke	V/cm
h	Plancksches Wirkungsquantum	eV s
\hbar	Reduziertes Plancksches Wirkungsquantum ($= h/2\pi$)	eV s
I_D	Drainstrom	A
$I_{D\text{sat}}$	Sättigungs-Drainstrom	A
I_{off}	Leckstrom im ausgeschalteten Zustand	A

Symbol	Erklärung	Einheit
I_{on}	Drainstrom im eingeschalteten Zustand	A
k_B	Boltzmann Konstante	eV/K
L	Kanallänge	m
$N_{A,D}$	p, n Dotierstoffkonzentration	cm^{-3}
$N_{S_{A,D}}$	Löslichkeitsgrenze des p, n Dotierstoffes	cm^{-3}
Q_S	Ladung im Halbleiter	As
r_j	Vertikale Tiefe der Source- und Draindotierung	m
r_{lat}	Laterale Unterdiffusion	m
R_{PAT}	Rekombinationsrate durch Phononen unterstütztes Tunneln	cm^{-3}
s	Scaling Faktor (üblicherweise $1/\sqrt{2}$)	1
S	Unterswellensteigung	mV/dec
S_{Avg}	mittlere Unterswellensteigung	mV/dec
t	Zeit	s
t_{Ox}	Oxiddicke	m
t_{Si}	Siliziumdicke	m
T	Temperatur	K
V_B	Beschleunigungsspannung	V
V_{DD}	Versorgungsspannung	V
V_{FB}	Flachbandspannung	V
V_T	Einsatzspannung	V
W	Kanalweite	m
w_{TB}	Breite der Tunnelbarriere	m
w_D	Weite der Raumladungszone auf der Drainseite	m
w_S	Weite der Raumladungszone auf der Sourceseite	m
w_{SC}	Weite der Raumladungszone	m
ϵ_r	relative Dielektrizitätszahl	1
μ_{eff}	effektive Beweglichkeit	cm^2/Vs
τ	Transistorlaufzeit für Ladungsträger	s
Φ_M	Austrittsarbeit Metall	V
Φ_{MS}	Austrittsarbeitdifferenz Metall Halbleiter	V
χ_{Si}	Elektronenaffinität	V
Ψ_B	Energiedifferenz zwischen E_i und E_F geteilt durch e	V
ω	Frequenz	s^{-1}

Abkürzungen

Abkürzung	Erklärung
ALD	Atomic-Layer-Deposition
CMOS	Complementary Metal-Oxide-Semiconductor
BHF	Gepufferte Flusssäure
BOX	Buried Oxide (vergrabenes Oxid bei SOI)
CAIBE	Chemical-Assisted Ion Beam Etching (chemisch unterstütztes Ionenstrahlätzen)
CNT	Carbon Nanotube
CVD	Chemical Vapor Deposition
DAT	Defect-Assisted Tunneling (Defekt unterstütztes Tunneln)
DIBL	Drain-Induced Barrier Lowering (drainspannungsbedingte Potenzialbarrieren-Absenkung)
FinFET	Feldeffekttransistor aus einer Siliziumfinne
GIDL	Gate-Induced-Drain-Leakage (gatespannungsbedingter Drainleckstrom)
IC	Integrated Circuit (integrierte Schaltung)
ICP	Inductive Coupled Plasma
LOCOS	Local Oxidation of Silicon (Feldoxid)
LPCVD	Low Pressure Chemical Vapor Deposition
MBE	Molecular Beam Epitaxy (Molekularstrahl-Epitaxie)
MIS	Metal-Insulator- Semiconductor
MuGFET	Multiple-Gate Field-Effect-Transistor
MOSFET	Metal-Oxide-Semiconductor Field-Effect-Transistor
<i>n</i> -TFET	<i>n</i> -Kanal TFET
PAT	Phonon-Assisted Tunneling (Phononen unterstütztes Tunneln)
<i>p</i> -TFET	<i>p</i> -Kanal TFET
RIE	Reactive Ion Etching (reaktives Ionenätzen)
RF	Radio Frequency (Hochfrequenz)
RTP	Rapid-Thermal-Process
SEM	Scanning Electron Microscope (Raster Elektronen Mikroskop, REM)

Abkürzung	Erklärung
SiGe	Silizium-Germanium
SIMS	Sekundärionenmassenspektrometrie
SOD	Spin-on Dopand
SOG	Spin-on Glass
SOI	Silicon-on-Insulator
SRH	Shockley-Read-Hall
TFET	Tunnel Field-Effect-Transistor
TMAH	Tetramethylammoniumhydroxid
w. E.	willkürliche Einheiten

Abbildungsverzeichnis

1.1	Entwicklungstendenz in der Halbleiterindustrie anhand des DRAM	2
2.1	Schemazeichnung einer MOS-Diode	6
2.2	Maßstabstrees Bänderdiagramm einer MOS-Diode mit anliegender Einsatzspannung	7
2.3	Schemazeichnung eines n -Kanal MOSFET	8
2.4	Typische Transferkennlinie eines Langkanal-MOSFET	10
2.5	Ideales Ausgangskennlinienfeld eines Langkanal-MOSFET	11
2.6	Zweidimensionale Bänderdiagramme eines n -MOSFET	12
	(a) Räumliche Lage des Bauelements	12
	(b) Gleichgewichtszustand	12
	(c) Im ausgeschalteten Zustand	13
	(d) Im eingeschalteten Zustand	13
2.7	Leitungsband eines MOSFET für verschiedene Kanallängen	17
2.8	Auswirkungen der Kurzkanaleffekte auf die elektrischen Eigenschaften von MOSFETs	18
2.9	Schemazeichnung eines n -MOSFET auf SOI	21
2.10	Schemazeichnung eines n -Kanal FinFET	22
3.1	Bandstruktur von Silizium	26
3.2	Bänderdiagramm verschiedener Mechanismen zur Ladungsträgergeneration	27
3.3	Tunnelrate für Phononen-unterstütztes Tunneln in Silizium	29
3.4	Schematisches Bänderdiagramm und IV -Kennlinie einer Esaki-Diode	30
3.5	Schemazeichnung eines n -Kanal TFET	32
3.6	Bänderdiagramme eines n -Kanal TFET	32
3.7	Schemazeichnung eines p -Kanal TFET	34
3.8	Bänderdiagramme eines p -Kanal TFET	34
3.9	Transferkennlinien von komplementären TFETs.	35
	(a) Transfercharakteristik eines p -TFETs	35
	(b) Transfercharakteristik eines n -TFETs	35

3.10	Ausgangscharakteristik eines n -TFETs	36
	(a) Linearer Maßstab	36
	(b) Logarithmischer Maßstab	36
3.11	Simulation der Kennlinien eines n -TFET	38
	(a) Simulierte Transfercharakteristiken eines n -TFETs	38
	(b) Simulierte Ausgangscharakteristiken eines n -TFETs	38
3.12	Simulation der Transferkennlinien eines n -TFET	39
	(a) Höhe der Sourcedotierung	39
	(b) Gradient der Sourcedotierung	39
3.13	Zweidimensionale Bänderdiagramme eines n -TFET	43
	(a) Räumliche Lage des Bauelements	43
	(b) Gleichgewichtszustand	43
	(c) Im ausgeschalteten Zustand	44
	(d) Im eingeschalteten Zustand	44
3.14	Unterswellensteigung beim TFET	46
3.15	Simulation der Transferkennlinien eines n -TFET	48
	(a) Untersuchung verschiedener Tunnelmechanismen	48
	(b) Validierung Simulation mit Experiment	48
3.16	Valenz- und Leitungsband eines TFET für verschiedene Kanallängen	49
3.17	Skalierbarkeit des n -TFET	50
	(a) Simulierte Transfercharakteristiken bei verschiedenen Kanallängen	50
	(b) Position verschiedener Tunnelraten und V_T roll-off	50
4.1	Grundlegende Prozessfolge des Spacer-Gate-TFET	56
4.2	Schemazeichnung eines Spacer-Gate-TFET auf SOI	58
4.3	SEM-Aufnahme des Querschnitts einer Fotolackflanke	60
4.4	SEM-Aufnahmen von Lithografie-Teststrukturen	61
4.5	Einfluss der Gateoxidation auf den SOD/SOG-Schichtstapel	64
4.6	Schematischer Aufbau der verwendeten Rapid-Thermal-Process-Kammer	65
4.7	Gateoxidation bei verschiedenen Temperaturen	66
4.8	Planarisierter LOCOS-Prozess	67
4.9	Ätzmechanismen beim Trockenätzen	69
4.10	Schematische Darstellung eines RIE-Reaktors mit ICP-Funktion	71
4.11	Versuchsergebnisse RIE und CAIBE	72
	(a) Ätztiefe von Si_3N_4	72
	(b) Ätztiefe von Polysilizium	72
4.12	Dotierprofile von Bor nach der Diffusion aus einer unerschöpflichen Quelle	75
	(a) Einfluss der Temperatur auf die Diffusion von Bor	75
	(b) Einfluss der Zeit auf die Diffusion von Bor	75

4.13	SIMS-Messungen von Borprofilen	76
4.14	ERD-Messung von Borprofilen	77
4.15	Lichtmikroskopaufnahmen eines Spacer-Gate-TFETs	78
4.15	Aufnahmen durch ein Lichtmikroskop eines Spacer-Gate-TFETs	79
4.16	Ergänzungen zu der Prozessfolge des Spacer-Gate-TFETs.	80
4.17	SEM-Aufnahmen des Spacer-Gates nach ausgewählten Prozess- schritten	82
4.18	SEM-Aufnahme von zwei Spacer-Gates aus Polysilizium	83
4.19	SEM-Aufnahme eines Spacer-Gates aus Polysilizium	84
4.20	SIMS-Messungen für die Bestimmung der Dotierprofile von Source und Drain des Spacer-Gate-TFETs	85
	(a) Phosphor	85
	(b) Bor	85
4.21	Transformierte SIMS-Messungen der Source- und Draingebliete	87
5.1	IV-Messungen von MOS-Dioden	90
	(a) IV-Kennlinien	90
	(b) Statistische Verteilung der Durchbruchsspannung	90
5.2	CV/GV-Messungen von MOS-Dioden	91
	(a) Exemplarische CV/GV-Kennlinien von MOS-Dioden	91
	(b) Statistische Verteilung von C_{Ox}	91
	(c) Statistische Verteilung von D_{it}	91
5.3	Kennlinien eines Spacer-Gate-TFETs auf Si-Substrat	93
	(a) Transferkennlinienfeld	93
	(b) Ausgangskennlinienfeld	93
5.4	Kennlinien eines Spacer-Gate-TFETs auf SOI-Substrat, 1050 °C	94
	(a) Transferkennlinienfeld	94
	(b) Ausgangskennlinienfeld	94
5.5	Kennlinien eines Spacer-Gate-TFETs auf SOI-Substrat, 1000 °C	94
	(a) Transferkennlinienfeld	94
	(b) Ausgangskennlinienfeld	94
5.6	Kennlinien eines Spacer-Gate-TFETs auf SOI-Substrat, 950 °C	95
	(a) Transferkennlinienfeld	95
	(b) Ausgangskennlinienfeld	95
	(c) Gatestrom zu (a)	95
	(d) Gatestrom zu (b)	95
5.7	Vergleich der Spacer-Gate-TFETs auf SOI-Substrat, 950 °C, 1000 °C, 1050 °C	97
	(a) Ausgangskennlinien bei $V_{GS} = 0 V$	97
	(b) Ausgangskennlinien bei $V_{GS} = 3 V$	97
5.8	Unterswellensteigung eines Spacer-Gate-TFETs	98
5.9	Weitere Auswertungen der I/V -Messungen von Spacer-Gate- TFETs	99

(a)	Ausgangskennlinienfeld in logarithmischer Darstellung	99
(b)	Differenz des Drainstroms in Durchlassrichtung	99
6.1	Spacer-Gate-TFET mit selektiver Epitaxie	104
A.1	TFET-Maskenlayout	107
A.2	Vergrößertes TFET-Maskenlayout	108

Tabellenverzeichnis

2.1	Parameteränderungen beim idealen Scaling und deren wichtigste Auswirkungen	14
3.1	Literaturübersicht der wichtigsten Simulationen und anderen theoretischen Arbeiten über TFETs	52
3.2	Literaturübersicht der wichtigsten experimentellen Arbeiten über TFETs	53
5.1	Variation der Diffusionstemperatur bei hergestellten Spacer-Gate-TFETs	92
A.1	Index der verschiedenen Kanalweiten im Maskenlayout	109
A.2	Standard-Reinigungsprozess	110
A.3	Piranha-Reinigungsprozess	110
A.4	Verwendete Ätzlösungen	111
A.5	Lithographieparameter	111
A.6	SOD/SOG Schichtabscheidung	112
A.7	Abscheidung polykristallines Silizium	112
A.8	Ätzprozesse in der ICP-RIE-Anlage	113
A.9	Ätzprozess in der CAIBE-Anlage	113
A.10	Verwendete Substrate	114

Literaturverzeichnis

- [App05] J. Appenzeller, Y.-M. Lin, J. Knoch, Z. Chen, P. Avouris, „Comparing Carbon Nanotube Transistors - The Ideal Choice: A Novel Tunneling Device Design“, *IEEE Transactions on Electron Devices*, **52** (12), 2568-2576, 2005.
- [Arm99] M. A. Armstrong, „Technology for SiGe Heterostructure-Based CMOS Devices“, *Ph.D. Thesis*, Massachusetts Institute of Technology, 1999.
- [Ayd04] C. Aydin, A. Zaslavsky, S. Luryi, S Cristoloveanu, D. Mariolle, D. Fraboulet, S. Deleonibus, „Lateral interband tunneling transistor in silicon-on-insulator“, *Applied Physics Letters*, **84** (10), 1780-1782, 2004.
- [Ban89] S. Banerjee, W. Richardson, J. Coleman, A. Chatterjee, „A New Three-Terminal Tunnel Device“, *IEEE Electron Device Letters*, **8** (8), 347-349, 1989.
- [JBe05] J. Bennett, Filmtronics Inc., Research and Development Manager, Email vom 18. September 2005.
- [Ben87] A. Benninghoven, F. G. Rudenauer, H. W. Werner, *Secondary Ion Mass Spectrometry: Basic Concepts, Instrumental Aspects, Applications and Trends*, Chemical Analysis, John Wiley & Sons, 1987.
- [Bhu04a] K. K. Bhuwalka, S. Sedlmaier, A. K. Ludsteck, C. Tolksdorf, J. Schulze, I. Eisele, „Vertical Tunnel Field Effect Transistor“, *IEEE Transactions on Electron Devices*, **51** (2), 279-282, 2004.
- [Bhu04b] K. K. Bhuwalka, J. Schulze, I. Eisele, „Performance Enhancement of Vertical Tunnel Field-Effect Transistor with SiGe in the δp^+ Layer“, *Japanese Journal of Applied Physics*, **43** (7A), 4073-4078, 2004.
- [Bhu05a] K. K. Bhuwalka, „Novel Tunneling Devices for Future CMOS Technologies“, *Dissertation*, Universität der Bundeswehr München, 2005.

- [Bhu05b] K. K. Bhuwalka, J. Schulze, I. Eisele, „Scaling the Vertical Tunnel FET with Tunnel Bandgap Modulation and Gate Workfunction Engineering“, *IEEE Transactions on Electron Devices*, **52** (5), 909-917, 2005.
- [Bhu05c] K. K. Bhuwalka, J. Schulze, I. Eisele, „A Simulation Approach to Optimize the Electrical Parameters of a Vertical Tunnel FET“, *IEEE Transactions on Electron Devices*, **52** (7), 1541-1547, 2005.
- [Bor06] M. Born, K. K. Bhuwalka, M. Schindler, U. Abelein, M. Schmidt, T. Sulima, I. Eisele, „Tunnel FET: A CMOS Device for High Temperature Applications“, *Proc. 25th Int. Conf. on Microelectronics (MIEL)*, 124-127, Belgrade, Serbia and Montenegro, 2006.
- [Bor07] M. Born, „Vertical Gate Controlled Tunnel Transistors in Si and Si-Ge“, *Dissertation*, Universität der Bundeswehr München, Cuvillier Verlag, 2007.
- [Bou06] K. Boucart, A. M. Ionescu, „Double Gate Tunnel FET with ultra-thin silicon body and high-k gate dielectric“, *Proc. 36th European Solid-State Device Research Conference (ESSDERC)*, 383-386, Montreux, Switzerland, 2006.
- [Bou07a] K. Boucart, A. M. Ionescu, „Double-Gate Tunnel FET With High- κ Gate Dielectric“, *IEEE Transactions on Electron Devices*, **54** (7), 1725-1733, 2007.
- [Bou07b] K. Boucart, A. M. Ionescu, „Threshold voltage in Tunnel FETs: physical definition, extraction, scaling and impact on IC design“, *Proc. 37th European Solid-State Device Research Conference (ESSDERC)*, 299-302, Munich, Germany, 2007.
- [Bre78] J. R. Brews, „A Charge-Sheet Model of the MOSFET“, *Solid-State Electronics*, **21** (2), 345-355, 1978.
- [Bre80] J. R. Brews, W. Fichtner, E. H. Nicollian, S. M. Sze, „Generalized Guide for MOSFET Miniaturization“, *IEEE Electron Device Letters*, **1** (1), 2-4, 1980.
- [Bre83] J. R. Brews, „Rapid Interface Parameterization Using a Single MOS Conductance Curve“, *Solid-State Electronics*, **26** (8), 711-716, 1983.
- [Bri91] C. J. Brinker, G. W. Scherer, *Sol-Gel Science: The Physics and Chemistry of Sol-Gel Processing*, Academic Press Inc., 1990.
- [Chan96] C. Y. Chang, S. M. Sze, *ULSI Technology*, McGraw-Hill, 1996.

-
- [Chat02] E. Chatzitheodoridis, G. Kiriakidis, I. Lyon, „Secondary Ion Mass Spectrometry and its Application in Thin Film Characterization“ in *Handbook of Thin Film Materials, Volume 2: Characterization and Spectroscopy of Thin Films*, Academic Press, 2002.
- [Cho05] W. Y. Choi, J. J. Song, J. D. Lee, Y. J. Park, B.-G. Park, „70-nm Impact-Ionization Metal-Oxide-Semiconductor (I-MOS) Devices Integrated with Tunneling Field-Effect Transistors (TFETs)“, *IEDM Technical Digest*, 955-958, 2005.
- [Chy57] A. G. Chynoweth, M. G. McKay, „Internal Field Emission in Silicon *p-n* Junctions“, *Physical Review*, **106** (3), 418-426, 1957.
- [Cod85] C. F. Codella, S. Ogura, „Halo Doping Effects in Submicron DI-LDD Device Design“, *IEDM Technical Digest*, 230-233, 1998.
- [Col04] J.-P. Colinge, „Novel Gate Concepts for MOS Devices“, *Proc. 34th European Solid-State Device Research Conference (ESSDERC)*, 45-49, Leuven, Belgium, 2004.
- [Dob06] V. Dobrovolsky, V. Rossokhaty, S. Cristoloveanu, „CONTUNT: Thin SOI control tunneling transistor“, *Solid-State Electronics*, **50** (5), 754-757, 2006.
- [Dol04] G. Dollinger, A. Bergmaier, L. Goergens, P. Neumaier, W. Vander-vorst, S. Jakschik, „High resolution elastic recoil detection“, *Nuclear Instruments and Methods in Physics Research B*, **219-220**, 333-343, 2004.
- [Eis00] I. Eisele, W. Hansch, „Nanostructures in silicon devices“, *Thin Solid Films*, **369** (1-2), 60-64, 2000.
- [Eis03] I. Eisele, *Grundlagen der Silizium-Halbleitertechnologie*, Universität der Bundeswehr, 2003.
- [End71] R. Enderlein, K. Peuker, „On the Theory of the Electric Conductivity of Solids in a Strong Electric Field“, *physica status solidi (B)*, **48** (1), 231-241, 1971.
- [Esa58] L. Esaki, „New Phenomenon in Narrow Germanium *p-n* Junctions“, *Physical Review*, **109** (2), 603-604, 1958.
- [Fis73] W. Fischer, „Field Induced Tunnel Diode“, *IBM Technical Disclosure Bulletin*, **16** (7), 2303, 1973.
- [Fra04] G. Franz, *Niederdruckplasmen und Mikrostrukturtechnik*, Dritte Auflage, Springer-Verlag, 2004.

- [Ful08] M. Fulde, A. Heigl, M. Weis, M. Wirnshofer, K. v. Arnim, Th. Nirschl, M. Sterkel, G. Knoblinger, W. Hansch, D. Schmitt-Landsiedel, „Fabrication, Optimization and Application of Complementary Multiple-Gate Tunneling FETs“, *accepted at IEEE International Nanoelectronics Conference (INEC)*, Shanghai, China, 2008.
- [Hal52] R. N. Hall, „Electron-Hole Recombination in Germanium“, *Physical Review*, **87** (2), 387, 1980.
- [Han00] W. Hansch, C. Fink, J. Schulze, I. Eisele, „A vertical MOS-gated Esaki tunneling transistor in silicon“, *Thin Solid Films*, **369** (1-2), 387-389, 2000.
- [Hei06] A. Heigl, G. Wachutka, „Simulation of Advanced Tunneling Devices“, *Proc. 6th International Conference on Advanced Semiconductor Devices and Microsystems (ASDAM)*, Smolenice, Slovakia, 2006.
- [Hei07a] A. Heigl, G. Wachutka, „Optimization of Vertical Tunneling Field-Effect Transistors“, *Proc. 8th European Conference on Ultimate Integration of Silicon (ULIS)*, Leuven, Belgium, 2007.
- [Hei07b] A. Heigl, persönliche Mitteilung, September 2007.
- [Huf05] H. R. Huff, D. D. Gilmer, *High Dielectric Constant Materials*, Springer-Verlag, 2005.
- [Hur92] G. A. M. Hurkx, D. B. M. Klaassen, M. P. G. Knuvers, „A New Recombination Model for Device Simulation Including Tunneling“, *IEEE Transactions on Electron Devices*, **39** (2), 331-338, 1992.
- [ITR05] ITRS Roadmap, *International Technology Roadmap for Semiconductors 2005 Edition*, <http://www.itrs.net/>, 2005.
- [ITR06] ITRS Roadmap Update, *International Technology Roadmap for Semiconductors 2006 Update*, <http://www.itrs.net>, 2006.
- [ITR07] ITRS Roadmap, *International Technology Roadmap for Semiconductors 2007 Edition, Executive Summary, Final Draft, December 31, 2007*, <http://www.itrs.net/>, 2007.
- [Jan98] J.-M. Jancu, R. Scholz, F. Beltram, F. Bassani, „Empirical $spds^*$ tight-binding calculation for cubic semiconductors: General method and material parameters“, *Physical Review B*, **57** (11), 6493-6507, 1998.
- [Kan59] E. O. Kane, „Zener Tunneling in Semiconductors“, *Journal of Physics and Chemistry of Solids*, **12** (2), 181-188, 1959.

-
- [Kan61] E. O. Kane, „Theory of Tunneling“, *Journal of Applied Physics*, **32** (1), 83-91, 1961.
- [Kel58a] L. V. Keldysh, „Behavior of Non-Metallic Crystals in Strong Electric Fields“, *Soviet Physics JETP*, **6** (4), 763-770, 1958.
- [Kel58b] L. V. Keldysh, „Influence of the Lattice Vibrations of a Crystal on the Production of Electron-Hole Pairs in a Strong Electrical Field“, *Soviet Physics JETP*, **7** (4), 665-669, 1958.
- [Ker70] W. Kern, D. A. Puotinen, „Cleaning Solutions Based on Hydrogen Peroxide for use in Silicon Semiconductor Technology“, *RCA Review*, **31**, 187-206, 1970.
- [Ker93] W. Kern (Edt.), *Handbook of Semiconductor Wafer Cleaning Technology*, Noyes Publications, 1993.
- [Kit02] Ch. Kittel, *Einführung in die Festkörperphysik*, 13. Auflage, Oldenbourg, 2002.
- [Kno05] J. Knoch, J. Appenzeller, „A novel concept for field effect transistors - the tunneling carbon nanotube FET“, *Proc. 63rd Device Research Conference (DRC)*, **1**, 153-156, Santa Barbara, California, USA, 2005.
- [Kno07] J. Knoch, S. Mantl, J. Appenzeller, „Impact of the dimensionality on the performance of tunneling FETs: Bulk versus one-dimensional devices“, *Solid-State Electronics*, **51** (4), 572-578, 2007.
- [Koc06] C. Koch, T. J. Rinke, *Lithografie: Theorie und Anwendung von Fotolack, Entwicklern, Ätzchemikalien und Lösemitteln*, MicroChemicals® GmbH, 2006.
- [Koe98] M. Köhler, *Ätzverfahren für die Mikrotechnik*, John Wiley & Sons, 1996.
- [Kos05] S. O. Koswatta, D. E. Nikonov, M. S. Lundstrom, „Computational Study of Carbon Nanotube p-i-n Tunnel FETs“, *IEDM Technical Digest*, 518-521, 2005.
- [Lee03] M. L. Lee, E. A. Fitzgerald, „Optimized Strained Si / Strained Ge Dual-Channel Heterostructures for High Mobility P- and N-MOSFETs“, *IEDM Technical Digest*, 429-432, 2003.
- [Loj07] B. Lojek, *History of Semiconductor Engineering*, Springer-Verlag, 2007.
- [Lud05] A. Ludsteck, „Optimierung von Gate-Dielektrika für die MOS Technologie“, *Dissertation*, Universität der Bundeswehr München, 2005.

- [McK54] K. G. McKay, „Avalanche Breakdown in Silicon“, *Physical Review*, **94** (4), 877-884, 1954.
- [Mis07] K. Mistry, C. Allen, C. Auth, B. Beattie, D. Bergstrom, M. Bost, M. Brazier, M. Buehler, A. Cappellani, R. Chau, C.-H. Choi, G. Ding, K. Fischer, T. Ghani, R. Grover, W. Han, D. Hanken, M. Hattendorf, J. He, J. Hicks, R. Huessner, D. Ingerly, P. Jain, R. James, L. Jong, S. Joshi, C. Kenyon, K. Kuhn, K. Lee, H. Liu, J. Maiz, B. McIntyre, P. Moon, J. Neiryneck, S. Pae, C. Parker, D. Parsons, C. Prasad, L. Pipes, M. Prince, P. Ranade, T. Reynolds, J. Sandford, L. Shifren, J. Sebastian, J. Seiple, D. Simon, S. Sivakumar, P. Smith, C. Thomas, T. Troeger, P. Vandervoorn, S. Williams, K. Zawadzki, „A 45nm Logic Technology with High-k+Metal Gate Transistors, Strained Silicon, 9 Cu Interconnect Layers, 193nm Dry Patterning, and 100 % Pb-free Packaging“, *IEDM Technical Digest*, 247-250, 2007.
- [Moo65] G. E. Moore, „Cramming more components onto integrated circuits“, *Electronics Magazine*, **38** (8), 1965.
- [Moo75] G. E. Moore, „Progress in Digital Integrated Circuits“, *IEDM Technical Digest*, 11-13, 1975.
- [Mue91] R. Müller, *Grundlagen der Halbleiterelektronik*, Sechste Auflage, Springer-Verlag, 1991.
- [Nic82] E. H. Nicollian und J. R. Brews, *MOS (Metal Oxide Semiconductor) Physics and Technology*, John Wiley & Sons, 1982.
- [Nir03] Th. Nirschl, S. Sedlmaier, P.-F. Wang, W. Hansch, I. Eisele, D. Schmitt-Landsiedel, „The vertical Tunnel FET Inverter“, *Proc. 4th European Workshop on Ultimate Integration of Silicon (ULIS)*, Udine, Italy, 2003.
- [Nir04a] Th. Nirschl, P.-F. Wang, W. Hansch, D. Schmitt-Landsiedel, „The Tunneling Field Effect Transistor (TFET): The Temperature Dependence, the Simulation Model, and its Application“, *Proc. IEEE International Symposium on Circuits and Systems (ISCAS)*, Vancouver, Canada, 2004.
- [Nir04b] Th. Nirschl, P.-F. Wang, C. Weber, J. Sedlmeir, R. Heinrich, R. Koschke, K. Schrüfer, J. Holz, C. Pacha, T. Schulz, M. Ostermayr, A. Olbrich, G. Georgakos, E. Ruderer, W. Hansch, D. Schmitt-Landsiedel, „The Tunneling Field Effect Transistor (TFET) as an Add-on for Ultra-Low-Voltage Analog and Digital Processes“, *IEDM Technical Digest*, 195-198, 2004.

-
- [Nir05a] Th. Nirschl, A. Bargagli-Stoffi, J. Fischer, S. Henzler, P.-F. Wang, M. Sterkel, W. Hansch, and D. Schmitt-Landsiedel, „The 1T Photo Pixel Cell Using the Tunneling Field Effect Transistor (TFET)“, *Technical Digest of Symposium on VLSI Circuits*, 2005.
- [Nir05b] Th. Nirschl, St. Henzler, J. Fischer, A. Bargagli-Stoffi, M. Fulde, M. Sterkel, U. Schaper, J. Einfeld, C. Linnenbank, J. Sedlmeir, C. Weber, R. Heinrich, M. Ostermayr, A. Olbrich, B. Dobler, E. Ruderer, R. Kakoschke, K. Schrüfer, G. Georgakos, W. Hansch, D. Schmitt-Landsiedel, „The 65nm Tunneling Field Effect Transistor (TFET) 0.68um² 6T Memory Cell and Multi-V_{th} Device“, *Proc. 35th European Solid-State Device Research Conference (ESSDERC)*, 173-176, Grenoble, France, 2005.
- [Nir06] Th. Nirschl, St. Henzler, J. Fischer, B. Fulde, A. Bargagli-Stoffi, M. Sterkel, J. Sedlmeir, C. Weber, R. Heinrich, U. Schaper, J. Einfeld, R. Neubert, U. Feldmann, K. Stahrenberg, E. Ruderer, G. Georgakos, A. Huber, R. Kakoschke, W. Hansch, D. Schmitt-Landsiedel, „Scaling properties of the tunneling field effect transistor (TFET): Device and circuit“, *Solid-State Electronics*, **50** (1), 44-51, 2006.
- [Nir07a] Th. Nirschl, „Circuit Applications of the Tunneling Field Effect Transistor (TFET)“, *Dissertation*, Technische Universität München, Shaker Verlag, 2007.
- [Nir07b] Th. Nirschl, M. Weis, M. Fulde, D. Schmitt-Landsiedel, „Revision of Tunneling Field-Effect Transistor in Standard CMOS Technologies“, *IEEE Electron Device Letters*, **28** (4), 315, 2007.
- [Osw05] M. Oswald, „Entwicklung eines Qualitätsanalyzesystemes für high-k Dielektrika in MOS-Bauelementen“, *Dissertation*, Technische Universität München, 2005.
- [Pau94] R. Paul, *MOS-Feldeffekttransistoren*, Springer-Verlag, 1994.
- [Pou07] M. Pourfath, H. Kosina, S. Selberherr, „Tunneling CNTFETs“, *Journal of Computational Electronics*, **6** (1-3), 243-246, 2007.
- [Pri59] P. J. Price, J. M. Radcliffe, „Esaki Tunneling“, *IBM Journal of Research and Development*, **3** (4), 364-371, 1959.
- [Red95a] W. M. Reddick, G. A. J. Amaratunga, „Silicon surface tunnel transistor“, *Journal of Applied Physics Letters*, **67** (4), 494-496, 1995.
- [Red95b] W. M. Reddick, G. A. J. Amaratunga, „Gate Controlled Surface Tunneling Transistor“, *Proc. of 15th IEEE/Cornell Conference on Advanced*

- Concepts in High Speed Semiconductor Devices and Circuits*, 490-497, Ithaca, NY, USA, 1995.L
- [Red96] W. M. Reddick, „Novel silicon tunnelling devices“, *Ph.D.-Thesis*, University of Cambridge, 1996.
- [Rie93] M. M. Rieger, P. Vogel, „Electronic-band parameters in strained $\text{Si}_{1-x}\text{Ge}_x$ alloys on $\text{Si}_{1-y}\text{Ge}_y$ substrates“, *Physical Review B*, **48** (19), 14276-14287, 1993.
- [Roy03] K. Roy, S. Mukhopadhyay, H. Mahmoodi-Meinmand, „Leakage Current Mechanisms and Leakage Reduction Techniques in Deep-Submicrometer CMOS Circuits“, *Proceedings of the IEEE*, **91** (2), 305-327, 2003.
- [Rug91] I. Ruge, H. Mader, *Halbleiter-Technologie*, Dritte Auflage, Springer-Verlag, 1991.
- [Scha01] F. Schäffler, „Silicon-Germanium ($\text{Si}_{1-x}\text{Ge}_x$)“ in *Properties of Advanced Semiconductor Materials*, Eds. M. E. Levinshtein, S. L. Rumyantsev, M. S. Shur, 149-187, John Wiley & Sons, 2001.
- [Sche92] A. Schenk, „A Model for the Field and Temperature Dependence of Shockley-Read-Hall Lifetimes in Silicon“, *Solid-State-Electronics*, **35** (11), 1585-1596, 1992.
- [Sche93] A. Schenk, „Rigorous Theory and Simplified Model of the Band-to-Band Tunneling in Silicon“, *Solid-State-Electronics*, **36** (1), 19-34, 1993.
- [Sche98] A. Schenk, *Advanced Physical Models for Silicon Device Simulation*, Springer-Verlag, 1998.
- [Schi06] M. Schindler, „Selektive Epitaxie für Quantenbauelemente“, *Dissertation*, Universität der Bundeswehr München, 2006.
- [Schr98] D. K. Schroder, *Semiconductor Material and Device Characterization*, 2nd Edition, John Wiley & Sons, 1998.
- [Sed02] S. Sedlmaier, J. Schulze, T. Sulima, C. Fink, C. Tolksdorf, A. Bayerstadler, I. Eisele, P.-F. Wang, K. Hilsenbeck, W. Hansch, „Phonon assisted tunneling in gated p-i-n diodes“, *Materials Science and Engineering B*, **89** (1-3), 116-119, 2002.
- [Sed03] S. Sedlmaier, „Vertikaler Tunnel-Feldeffekttransistor auf Silizium“, *Dissertation*, Universität der Bundeswehr München, Shaker Verlag, 2003.

-
- [Shi98] W.-K. Shih, E. X. Wang, S. Jallepalli, F. Leon, C. M. Maziar, A. F. Taschjr, „Modeling Gate Leakage Current in nMOS Structures due to Tunneling through an Ultra-Thin Oxide“, *Solid-State Electronics*, **42** (6), 997-1006, 1998.
- [Sho52] W. Shockley, W. T. Read, „Statistics of the Recombination of Holes and Electrons“, *Physical Review*, **87** (5), 835-842, 1952.
- [Stei96] E. Steinsland, M. Nese, A. Hanneborg, R. W. Bernstein, H. Sandmo, G. Kittilsland, „Boron etch-stop in TMAH solutions“, *Sensors and Actuators A*, **54** (1-3), 728-732, 1996.
- [Ste05] M. Sterkel, P.-F. Wang, T. Nirschl, B. Fabel, K. K. Bhuwalka, J. Schulze, I. Eisele, D. Schmitt-Landsiedel, W. Hansch, „Characteristics and optimisation of vertical and planar tunnelling-FETs“, *Journal of Physics: Conference Series*, **10**, 15-18, 2005.
- [Syn06] Synopsys[®], *Sentaurus Device, Version Y-2006.06*, User Guide, 2006.
- [Sze07] S. M. Sze, Kwok K. Ng, *Physics of Semiconductor Devices*, Third Edition, John Wiley & Sons, 2007.
- [Tau98a] Y. Taur, T H. Ning, *Fundamentals of Modern VLSI Devices*, Cambridge University Press, 1998.
- [Tau98b] Y. Taur, C. H. Wann, D. J. Frank, „25 nm CMOS Design Considerations“, *IEDM Technical Digest*, 789-792, 1998.
- [Til05] Th. Tille, D. Schmitt-Landsiedel, *Mikroelektronik, Halbleiterbauelemente und deren Anwendung in elektronischen Schaltungen*, Springer-Verlag, 2005.
- [Toa03] N. N. Toàn, „Spin-on Glass: Materials and Applications in Advanced IC Technologies“, *Dissertation*, Universiteit Twente, 1999.
- [Tra00] O. D. Trapp, L. J. Lopp, R. A. Blanchard, *Semiconductor Technology Handbook*, Sixth Edition, Components Technology Institute Inc., 2000.
- [Wal89] C. G. Van de Walle, „Band lineups and deformation potentials in the model-solid theory“, *Physical Review B*, **39** (3), 1871-1883, 1989.
- [Wan02] P.-F. Wang, Th. Nirschl, D. Schmitt-Landsiedel, W. Hansch, „Design of High Performance Esaki-Tunneling FET“, *Proc. 3rd European Workshop on Ultimate Integration of Silicon (ULIS)*, Munich, Germany, 2002.

- [Wan03] P.-F. Wang, Th. Nirschl, D. Schmitt-Landsiedel, W. Hansch, „Simulation of the Esaki-tunneling FET“, *Solid-State Electronics*, **47** (7), 1187-2286, 2004.
- [Wan04a] P.-F. Wang, K. Hilsenbeck, Th. Nirschl, M. Oswald, Ch. Stepper, M. Weis, D. Schmitt-Landsiedel, W. Hansch, „Complementary tunneling transistor for low power application“, *Solid-State Electronics*, **48** (12), 2281-2286, 2004.
- [Wan04b] P.-F. Wang, Th. Nirschl, K. Hilsenbeck, M. Oswald, Ch. Stepper, M. Weis, D. Schmitt-Landsiedel, W. Hansch, „Complementary Low Power Silicon Tunneling Transistor in CMOS Technology“, *Proc. 5th European Conference on Ultimate Integration of Silicon (ULIS)*, Leuven, Belgium, 2004.
- [Wan04c] P.-F. Wang, Th. Nirschl, D. Schmitt-Landsiedel, W. Hansch, „Complementary tunneling transistor for VLSI application“, *IEEE Silicon Nanoelectronics Workshop (SNW)*, Honolulu, Hawaii, USA, 2004.
- [Wan04d] P.-F. Wang, „Complementary Tunneling-FETs (CTFET) in CMOS Technology“, *Dissertation*, Technische Universität München, 2004.
- [Wan04e] P.-F. Wang, Th. Nirschl, D. Schmitt-Landsiedel, W. Hansch, „Investigation of a novel tunneling transistor by MEDICI simulation“, *Proc. of International Conference on Simulation of Semiconductor Processes and Devices (SISPAD)*, 93-96, Munich, Germany, 2004.
- [Wid96] D. Widmann, H. Mader, H. Friedrich, *Technologie hochintegrierter Schaltungen*, 2. Auflage, Springer-Verlag, 1996.
- [Wil96] K. R. Williams, R. S. Muller, „Etch Rates for Micromachining Processing“, *Journal of Microelectromechanical Systems*, **5** (4), 256-269, 1996.
- [Wil03] K. R. Williams, K. Gupta, M Wasilik, „Etch Rates for Micromachining Processing - Part II“, *Journal of Microelectromechanical Systems*, **12** (6), 761-778, 2003.
- [Zen34] C. Zener, „A Theory of the Electrical Breakdown of Solid Dielectrics“, *Proceedings of the Royal Society of London. Series A*, **145** (855), 523-529, 1934.
- [Zha06] Q. Zhang, W. Zhao, A. Seabaugh, „Low-Subthreshold-Swing Tunnel Transistor“, *IEEE Electron Device Letters*, **27** (4), 297-300, 2006.

Herstellerinformationen

- [All] *ALLRESIST Gesellschaft für chemische Produkte zur Mikrostrukturierung mbH*, Am Biotop 14, 15344 Strausberg, <http://www.allresist.de/>.
- [Fil] *Filmtronics Inc.*, <http://www.filmtronics.com/>.
- [Mic] *micro resist technology GmbH*, Köpenickerstr. 325, 12555 Berlin, <http://www.microresist.de/>.
- [Rho] *Rhom and Haas Electronic Materials*, <http://www.rhomhaas.com/>.

Danksagung

Abschließend möchte ich mich bei all jenen bedanken, die auf verschiedenste Weise zum Gelingen dieser Arbeit beigetragen haben. Mein besonderer Dank gilt:

- * Prof. Dr.-Ing. W. Hansch für die interessante Themenstellung und die konstruktive Betreuung meiner Arbeit. Die individuelle Unterstützung, sein persönlicher Stil und sein Vertrauen weiß ich sehr zu schätzen. Die dadurch geschaffene Arbeitsatmosphäre machte meine Zeit am Fachgebiet Halbleiterproduktionstechnik unvergesslich.
- * Prof. Dr. rer. nat. I. Eisele für die Möglichkeit Teile meiner technologischen Arbeiten im Reinraum des Instituts für Physik an der Universität der Bundeswehr München durchzuführen und die hilfreichen Diskussionen an seinem Institut.
- * Prof. Dr. rer. nat. Doris Schmitt-Landsiedel für die freundliche Aufnahme am Lehrstuhl für Technische Elektronik.
- * Meinen Kollegen Bernhard Fabel, Kirsten Hilsenbeck, Thomas Maul und Linda Nowack für das angenehme Arbeitsklima. Die gute Zusammenarbeit mit Herrn Fabel und Herrn Maul im Reinraum war eine wichtige Voraussetzung für diese Arbeit.
- * Allen wissenschaftlichen Mitarbeitern des Lehrstuhls für Technische Elektronik, insbesondere Markus Becherer für den abendlichen Technologieaustausch; Michael Fulde, Marcus Weis und Thomas Nirschl für die Kooperation zum Thema TFET und nicht zuletzt Anna Buschmeyer für die vielen fachübergreifenden Diskussionen.
- * Peter Worm, der Werkstatt, den chemisch technischen Assistentinnen und dem Sekretariat für technische und organisatorische Unterstützung.
- * Den wissenschaftlichen Mitarbeitern am Institut für Physik: Mathias Born, Peter Iskra, Markus Schindler, Oliver Senftleben und Thomas Zilbauer für die Einweisung in die dortigen Anlagen und die Abscheidung der Schichten aus Polysilizium.

- * Alexander Heigl, für die Hilfe bei Simulationen, die Weitergabe seiner Simulationsdaten und für die fruchtbaren Diskussionen über die verschiedenen Tunnelmechanismen.
- * Den Studenten, die ich bei Studien- oder Diplomarbeiten betreute, insbesondere Florian Felux für seine Simulationen und Rudolf Nüssl für seine eigenverantwortlichen Arbeiten an der SIMS-Anlage.
- * Oliver Dier, Lars Hoffmann und Thomas Maul für das Gegenlesen dieser Arbeit.

Vielen Dank an meine Eltern und meine Familie für die Unterstützung in den letzten 29 Jahren. Meiner Ehefrau Melanie danke ich ganz besonders für ihre Ermutigungen bei Rückschlägen und ihre Geduld.

