

Peter Iskra

# Entwicklung von siliziumbasierten Transistoren für den Einsatz bei hohen Temperaturen in der Gassensorik



Cuvillier Verlag Göttingen  
Internationaler wissenschaftlicher Fachverlag



Entwicklung von siliziumbasierten Transistoren für  
den Einsatz bei hohen Temperaturen in der  
Gassensorik





UNIVERSITÄT DER BUNDESWEHR MÜNCHEN  
Fakultät für Elektrotechnik und Informationstechnik

# Entwicklung von siliziumbasierten Transistoren für den Einsatz bei hohen Temperaturen in der Gassensorik

Peter Iskra

Vorsitzender des Promotionsausschusses: Prof. Dr.-Ing. J. Schein  
1. Berichterstatter: Prof. Dr.rer.nat. I. Eisele  
2. Berichterstatter: Prof. Dr.-Ing. W. Hansch

Tag der Prüfung 19.12.2011

Mit der Promotion erlangter akademischer Grad:  
Doktor-Ingenieur  
(Dr.-Ing.)

Neubiberg, den 15. Februar 2012

Druck gefördert aus Haushaltsmitteln der Universität der Bundeswehr München



### **Bibliografische Information der Deutschen Nationalbibliothek**

Die Deutsche Nationalbibliothek verzeichnet diese Publikation in der Deutschen Nationalbibliografie; detaillierte bibliografische Daten sind im Internet über

<http://dnb.d-nb.de> abrufbar.

1. Aufl. - Göttingen: Cuvillier, 2012

Zugl.: München, Univ. der Bundeswehr, Diss., 2012

978-3-95404-032-2

© CUVILLIER VERLAG, Göttingen 2012

Nonnenstieg 8, 37075 Göttingen

Telefon: 0551-54724-0

Telefax: 0551-54724-21

[www.cuvillier.de](http://www.cuvillier.de)

Alle Rechte vorbehalten. Ohne ausdrückliche Genehmigung des Verlages ist es nicht gestattet, das Buch oder Teile daraus auf fotomechanischem Weg (Fotokopie, Mikrokopie) zu vervielfältigen.

1. Auflage, 2012

Gedruckt auf säurefreiem Papier

978-3-95404-032-2



# Zusammenfassung

In dieser Arbeit werden unterschiedliche MOSFET-Konzepte hinsichtlich ihrer Temperaturstabilität verglichen. Ferner wird eines der Konzepte in einen Feldeffekt-Gassensor integriert und charakterisiert. Zu den MOSFET-Konzepten zählen zum einen laterale und zum anderen vertikale Transistoren. Die laterale MOSFET-Variante wird auf Silizium und SOI-Substraten (Silicon On Insulator) aufgebaut. Durch den Einsatz der SOI-Substrate kann eine deutliche Steigerung der Temperaturstabilität erzielt werden. Die vertikale MOSFET-Variante bietet bedingt durch die Prozessführung eine einfache Möglichkeit zur Realisierung von kurzen Kanallängen und hohen Kanaldotierungen. Vor allem durch die hohe Kanaldotierung ist dieses Konzept prädestiniert für den Aufbau von temperaturstabilen MOSFETs. Weitere Temperaturfestigkeit der vertikalen MOSFETs kann durch eine Modifikation des Kanaldotierprofils gewonnen werden. In dem hergestellten Gassensor wird ein vertikaler Auslesetransistor eingesetzt. Die Funktion des Sensors wird anhand von Gasmessungen nachgewiesen.

Zu Beginn der Arbeit wird die Änderung des Bauteilverhaltens infolge zunehmender Temperatur behandelt. Ein besonders kritischer Temperatureffekt ist durch den zunehmenden OFF-Strom gegeben. Die Ursache für die Zunahme liegt in ansteigenden Leckströmen an den in Sperrrichtung betriebenen pn-Übergängen. Die Unterdrückung dieser lässt sich sowohl durch eine Verringerung der pn-Übergangsfläche als auch durch hohe Dotierungen erzielen. Eine hohe Dotierstoffkonzentration stellt auch bei höheren Temperaturen den extrinsischen Zustand des Halbleiters und damit die sperrende Funktion des pn-Übergangs sicher.

Der Ansatz zur Steigerung der Temperaturstabilität durch Verringerung der pn-Übergangsfläche wird bei lateralen Transistoren durch den Aufbau auf SOI-Substraten umgesetzt. Hierzu werden die MOSFETs auf eine dünne Siliziumschicht platziert. Die dotierten Gebiete grenzen dabei überwiegend an eine Oxidschicht, die vom Substrat isoliert ist. Das Kanalgebiet der SOI-MOSFETs wird elektrisch nicht kontaktiert, was zusätzliche Effekte hervorrufen kann. Der wichtigste ist hierbei der *Kink*-Effekt. Bei diesem lädt sich das Kanalgebiet auf und führt zu einem nicht mehr sättigendem Drain-Strom im Ausgangskennlinienfeld.

Die Erhöhung der Temperaturfestigkeit durch Steigerung der Dotierstoffkonzentration kommt bei vertikalen MOSFETs zum Tragen. Bei der Wahl der Dotierstoffkonzentration existieren jedoch Grenzen. Eine zu hohe Dotierung führt aufgrund eines Band-zu-Band-Tunnelprozesses bereits bei Raumtemperatur zu einem Durchbruch



## II

des pn-Übergangs. Folglich muss ein Kompromiss zwischen Temperaturfestigkeit und dem Tunneldurchbruch gefunden werden. Ferner besteht zur Unterdrückung des Tunneldurchbruchs die Möglichkeit der Einbettung einer intrinsischen Schicht zwischen die p- und n-dotierte Zone. Ein vertikaler n-Kanal Transistor wird dann durch einen nipin-Schichtstapel gebildet. Die intrinsische Schicht vergrößert die Tunnelweite und ermöglicht höhere Dotierungen für die p- und n-Gebiete.

Der in dieser Arbeit hergestellte Gassensor stellt eine Weiterentwicklung einer bereits kommerziell erhältlichen Variante dar. Diese Standard-Variante kann aufgrund der verwendeten Technologie nur bis zu einer Temperatur von 200 °C betrieben werden. Für zahlreiche Anwendungen wird jedoch eine höhere Temperaturstabilität angestrebt. Daher wird in dieser Arbeit ein hinsichtlich der Temperaturfestigkeit optimierter Gassensor hergestellt. Wesentliche Unterschiede zur Standard-Variante liegen in einem vertikalen MOSFET-Konzept sowie einem Aufbau auf SOI-Substraten.

Die Herstellung der unterschiedlichen Bauelemente erfordert die Entwicklung und Optimierung zahlreicher Prozesstechnologien. So liegen die Schwerpunkte beim vertikalen MOSFET-Konzept in der Gasphasenabscheidung des Transistorschichtstapels, der trockenchemischen Strukturierung der Mesa und dem Wachstum bzw. der Abscheidung des Gatedielektrikums. Bei der Gasphasenabscheidung werden zunächst die Prozesse zur Realisierung eines npn- und nipin-Schichtstapels entwickelt. Ferner werden auch unterschiedliche Konzepte zum Aufbau vertikaler pnp-MOSFETs vorgestellt. Eine wichtige Voraussetzung für die Abscheidung qualitativ hochwertiger Schichten ist eine effektive Vorreinigung der Substrate. Hierzu erfolgt ein Vergleich von drei unterschiedlichen Reinigungsprozeduren. Für die anschließende Strukturierung des Schichtstapels dient ein trockenchemischer Ätzprozess. Dieser wird hinsichtlich der notwendigen glatten und steilen Ätzflanken optimiert. Dazu werden zahlreiche Parameter des Ätzprozesses sowie der vorangestellten Lithographie variiert und deren Einfluss auf die Strukturierung bewertet. Das Resultat ist ein optimierter Ätzprozess. Die Temperaturstabilität der Bauelemente erfordert ein möglichst scharfes Dotierprofil. Daher muss das thermische Budget der nachfolgenden Herstellung des Gatedielektrikums möglichst gering gewählt werden. Die hierzu untersuchten Ansätze sind einerseits thermische Niedertemperatur-Oxide und andererseits Zwei-Schichtsysteme aus einem thermischen Oxid und einem Abscheide-Siliziumnitrid. Beide Gatedielektrika kommen bei der Bauteilherstellung zum Einsatz.

Auch der Aufbau des lateralen Transistors erfordert bei einigen Prozessschritten Entwicklungsarbeit. Der Schwerpunkt liegt bei der Dotierung des Source- und Drain-Gebietes mithilfe von Spin On Dopants (SOD). Die Prozessoptimierung erfolgt bei der Schichtabscheidung sowie dem anschließenden Dotierstoffeintritt.

Die elektrische Charakterisierung der Bauelemente wird zum einen bei Raumtemperatur und zum anderen bei erhöhten Temperaturen durchgeführt. Aufgezeichnet wird die Transfer- und die Ausgangscharakteristik der MOSFETs. Aus den Kennlinien werden die Bauteilparameter abgeleitet und miteinander verglichen.

Beide lateralen MOSFET-Varianten zeigen das charakteristische Bauteilverhalten eines Langkanal-Transistors. Die ermittelte Steilheit entspricht dem theoretischen



Minimum von 60 mV/dec. Der MOSFET auf dem SOI-Substrat weist aufgrund der kleineren pn-Übergangsfläche einen um zwei Dekaden niedrigeren OFF-Strom auf. Diese Differenz bleibt bis zu der maximal untersuchten Temperatur von 200 °C erhalten. Das  $I_{ON}/I_{OFF}$ -Verhältnis sinkt bei dieser Temperatur für den SOI-MOSFET auf 4.2 Dekaden und für den Si-MOSFET auf nur noch 2.2 Dekaden.

Der hergestellte vertikale npn-MOSFET gehört mit einer Kanallänge von 220 nm zu den Kurzkanal-Transistoren. Damit treten bei diesem Bauelement die typischen Effekte wie *Kanallängenmodulation* auf. Ferner ist das Kanalgebiet elektrisch nicht kontaktiert, was sich in den bereits von SOI-MOSFETs bekannten *floating body* Effekten äußert. Die für die Temperaturstabilität notwendige hohe Kanaldotierung bewirkt eine Zunahme der Steilheit auf 158 mV/dec. Zugleich liegt der OFF-Strom aufgrund des Band-zu-Band-Tunnelstroms etwa 4 Dekaden über dem des lateralen SOI-MOSFETs. Der Vorteil des vertikalen Transistors zeigt sich im  $I_{ON}/I_{OFF}$ -Verhältnis bei 200 °C. Dieses beträgt 5.2 Dekaden und liegt damit um eine weitere Dekade über dem des SOI-MOSFET. Weitere Messungen zeigen bei 400 °C die volle Funktionalität des MOSFETs mit einem  $I_{ON}/I_{OFF}$ -Verhältnis von einer Dekade.

Eine weitere Option zur Steigerung der Temperaturfestigkeit bietet sich im Aufbau eines nipin-MOSFETs. Dessen zusätzliche intrinsische Zonen unterdrücken den Band-zu-Band-Tunnelstrom, wodurch für das Kanalgebiet eine zusätzliche Erhöhung der Dotierstoffkonzentration möglich wird. Der in dieser Arbeit hergestellte nipin-MOSFET zeigt einen um 4 Dekaden niedrigeren OFF-Strom im Vergleich zum vertikalen npn-MOSFET. Der Einbau der intrinsischen Zonen bewirkt jedoch auch eine Änderung des Bauteilverhaltens. Infolge eines Stoßionisationsprozesses im intrinsischen Gebiet wird ab einer ausreichend hohen Gate-Spannung ein sehr rascher Einschaltvorgang des MOSFETs beobachtet. Diesem sogenannten Ionisationsmodus liegt der bereits erwähnte Kink-Effekt zugrunde. Die Steilheit des untersuchten MOSFETs beträgt im Ionisationsmodus 27 mV/dec. Mit zunehmender Temperatur bricht die Stoßionisation zusammen und die Einschaltdynamik nimmt stark ab. Obwohl die Kanaldotierung des hergestellten nipin-MOSFETs erhöht wurde, liegt das  $I_{ON}/I_{OFF}$ -Verhältnis bei 200 °C mit 4.9 Dekaden etwa auf dem Niveau des npn-MOSFETs. Die Ursache hierfür liegt in der Diffusion und dem damit verbundenen Einbruch der maximalen Kanaldotierung während der Gateoxid-Herstellung. Trotz der Einführung eines Zwei-Schicht-Gatedielektrikums konnte das Temperaturbudget nicht ausreichend gesenkt werden. Für weitere Arbeiten wird eine Metallorganische Gasphasenepitaxie der Dielektrika empfohlen. Ferner kann für die Bauteilparameter der untersuchten nipin-MOSFETs eine Abhängigkeit von der Orientierung auf dem Substrat nachgewiesen werden. Der Unterschied wird auf die von der Kristallebene abhängige Wachstumsgeschwindigkeit des Gateoxides zurückgeführt.

Zuletzt wird auch der in dieser Arbeit hergestellte Gassensor charakterisiert. Dieser zeigt im Arbeitspunkt ein stark driftendes Grundsignal. Die Ursache für die Instabilität liegt in einem *Fowler-Nordheim*-Tunnelstrom durch das dünne Gateoxid. Nur durch eine Konditionierung vor der Gasmessung lässt sich der Sensor in einem quasi-stabilen Zustand bei Raumtemperatur betreiben. Das Messsignal gibt dann eindeutig die Gasbeaufschlagung wieder.





# Inhaltsverzeichnis

<b>1</b>	<b>Einleitung</b>	<b>1</b>
<b>2</b>	<b>Siliziumbasierte MOSFETs und deren Einsatz bei hohen Temperaturen</b>	<b>5</b>
2.1	Physikalische Grundlagen . . . . .	6
2.1.1	Ladungsträgerdichten im thermischen Gleichgewicht . . . . .	6
2.1.2	Ladungsträgerdichten in dotierten Halbleitern . . . . .	7
2.1.3	<i>Fermi</i> -Potenzial . . . . .	8
2.1.4	Ladungsträgerbeweglichkeit . . . . .	9
2.1.5	pn-Übergang . . . . .	10
2.2	Laterales MOSFET Konzept . . . . .	14
2.2.1	Strom-Spannungs-Charakteristik . . . . .	14
2.2.2	Temperaturverhalten . . . . .	17
2.2.3	Silicon on Insulator Technologie . . . . .	20
2.3	Vertikales MOSFET Konzept . . . . .	23
2.3.1	Temperaturstabile vertikale npn-MOSFETs . . . . .	24
2.3.2	Temperaturstabile vertikale nipin-MOSFETs . . . . .	25
2.4	Vergleich der MOSFET-Konzepte . . . . .	27
<b>3</b>	<b>Der Floating Gate FET Sensor</b>	<b>29</b>
3.1	Funktionsprinzip . . . . .	30
3.2	Standard FGFET Sensor . . . . .	31
3.3	Hochtemperatur-FGFET Sensor . . . . .	32
<b>4</b>	<b>Aufbau der Bauelemente</b>	<b>33</b>
4.1	Lateraler Transistor . . . . .	34
4.2	Vertikaler Transistor . . . . .	35



4.3	Hochtemperatur-FGFET Gassensor . . . . .	36
4.3.1	Transducer . . . . .	36
4.3.2	Obere Elektrode . . . . .	38
4.3.3	Layout des Transducer-Chips . . . . .	38
<b>5</b>	<b>Grundlagen der Halbleitertechnologie</b>	<b>41</b>
5.1	Thermische Oxidation . . . . .	42
5.1.1	Ofenprozesse und Rapid Thermal Oxidation (RTO) . . . . .	42
5.1.2	Oxidation von dotierten Siliziumschichten . . . . .	43
5.2	Gasphasenabscheidung von Silizium . . . . .	44
5.2.1	Der Abscheideprozess aus der Gasphase . . . . .	44
5.2.2	Anlage zur Gasphasenabscheidung von Silizium . . . . .	47
5.2.3	Silizium-Quellsubstanzen . . . . .	49
5.2.4	Dotanden . . . . .	51
5.2.5	Silizium-Germanium (SiGe) . . . . .	53
5.2.6	Substratvorbehandlung und -reinigung . . . . .	54
5.2.7	Kristallqualität epitaktisch gewachsener Schichten . . . . .	58
5.2.8	Abscheidung von polykristallinem Silizium . . . . .	64
5.3	Gasphasenabscheidung von dielektrischen Schichten . . . . .	65
5.3.1	Gasphasenabscheidung von Siliziumoxid . . . . .	65
5.3.2	Gasphasenabscheidung von Siliziumnitrid . . . . .	66
5.4	Abscheidung von metallischen Schichten . . . . .	67
5.5	Diffusion . . . . .	69
5.6	Lithographie . . . . .	71
5.6.1	Fotolacktechnik . . . . .	71
5.6.2	Lithographieprozess . . . . .	72
5.7	Ätztechnik und nasschemische Reinigung . . . . .	74
5.7.1	Nasschemische Ätzprozesse . . . . .	74
5.7.2	Nasschemische Reinigungsverfahren . . . . .	76
5.7.3	Trockenchemische Ätzprozesse . . . . .	77
<b>6</b>	<b>Prozessentwicklung zum vertikalen MOSFET und FGFET Sensor</b>	<b>81</b>
6.1	Substrate . . . . .	83
6.2	Kondensatordielektrikum . . . . .	86



6.2.1	Thermisches Oxid . . . . .	86
6.2.2	Abscheideoxid . . . . .	87
6.2.3	Thermisches Oxid und Abscheideoxid . . . . .	88
6.2.4	BOX als Dielektrikum . . . . .	88
6.3	Transistorstapel . . . . .	90
6.3.1	Selektive Gasphasenabscheidung . . . . .	90
6.3.2	Dotierung . . . . .	91
6.3.3	nnp-Struktur . . . . .	94
6.3.4	nipin-Struktur . . . . .	95
6.3.5	pnp-Struktur . . . . .	96
6.3.6	pn(SiGe)p-Struktur . . . . .	100
6.3.7	Substratreinigung . . . . .	104
6.3.8	Reinigung nach Umschleusung . . . . .	108
6.4	Mesa und Freistellen . . . . .	111
6.4.1	Lithographie . . . . .	112
6.4.2	Trockenätzprozess . . . . .	119
6.4.3	Freistellen durch TMAH . . . . .	127
6.5	Gatedielektrikum . . . . .	129
6.5.1	RTO-Prozesse . . . . .	129
6.5.2	Thermisches Budget . . . . .	130
6.5.3	Zwei-Schicht Gatedielektrikum . . . . .	131
6.6	Poly-Silizium Gateelektrode . . . . .	133
6.7	Passivierung . . . . .	134
6.8	Metallisierung . . . . .	135
<b>7</b>	<b>Prozessentwicklung zum lateralen MOSFET</b>	<b>137</b>
7.1	Substrate . . . . .	139
7.2	Isolation und Poly-Silizium Gate . . . . .	139
7.3	Dotierung durch Spin On Dopants . . . . .	140
7.3.1	Niedertemperatur-Temperung . . . . .	140
7.3.2	Hochtemperatur-Diffusion . . . . .	141
7.3.3	Diffusionsmaske . . . . .	142
7.4	Passivierung und Metallisierung . . . . .	143



<b>8</b>	<b>Charakterisierung der Transistoren</b>	<b>145</b>
8.1	Messaufbau . . . . .	146
8.2	Laterale Transistoren . . . . .	147
8.2.1	Messungen bei Raumtemperatur . . . . .	147
8.2.2	Temperaturverhalten lateraler MOSFETs . . . . .	150
8.3	Vertikaler npn-MOSFET . . . . .	153
8.3.1	Messungen bei Raumtemperatur . . . . .	153
8.3.2	Temperaturverhalten vertikaler npn-MOSFETs . . . . .	156
8.4	Vertikaler nipin-MOSFET . . . . .	158
8.4.1	Messungen bei Raumtemperatur . . . . .	158
8.4.2	Temperaturverhalten vertikaler nipin-MOSFETs . . . . .	163
8.5	Vergleich der Bauelemente . . . . .	166
<b>9</b>	<b>Charakterisierung des FGFET Gassensors</b>	<b>169</b>
9.1	Messaufbau . . . . .	170
9.2	Arbeitspunkt . . . . .	171
9.3	Gasmessung . . . . .	172
<b>10</b>	<b>Schlussfolgerungen und Ausblick</b>	<b>175</b>
<b>A</b>	<b>Parameter verwendeter Prozesse</b>	<b>178</b>
A.1	Oxidation und Temperung . . . . .	178
A.2	Gasphasenabscheidung von Silizium . . . . .	179
A.3	Abscheidodielektrika . . . . .	180
A.4	Abscheidung metallischer Schichten . . . . .	181
A.5	SOD-Abscheidung . . . . .	182
A.6	Lithographie . . . . .	182
A.7	Nasschemische Prozesse . . . . .	184
A.8	Trockenchemische Ätzprozesse . . . . .	186
<b>B</b>	<b>Masken</b>	<b>188</b>
B.1	Maskensätze . . . . .	188
B.2	Wafermap lateraler MOSFET 2003 . . . . .	189
B.3	Wafermap IMOS 2007 . . . . .	191
B.4	Wafermap FGFET 2003 . . . . .	193



<i>INHALTSVERZEICHNIS</i>	IX
<b>C Prozesspläne</b>	<b>194</b>
C.1 Lateraler MOSFET . . . . .	194
C.2 Vertikaler n-pin-MOSFET . . . . .	196
C.3 FGFET Sensor . . . . .	197
<b>Formelzeichen</b>	<b>199</b>
<b>Abkürzungen</b>	<b>203</b>
<b>Publikationen</b>	<b>219</b>
<b>Danksagung</b>	<b>223</b>



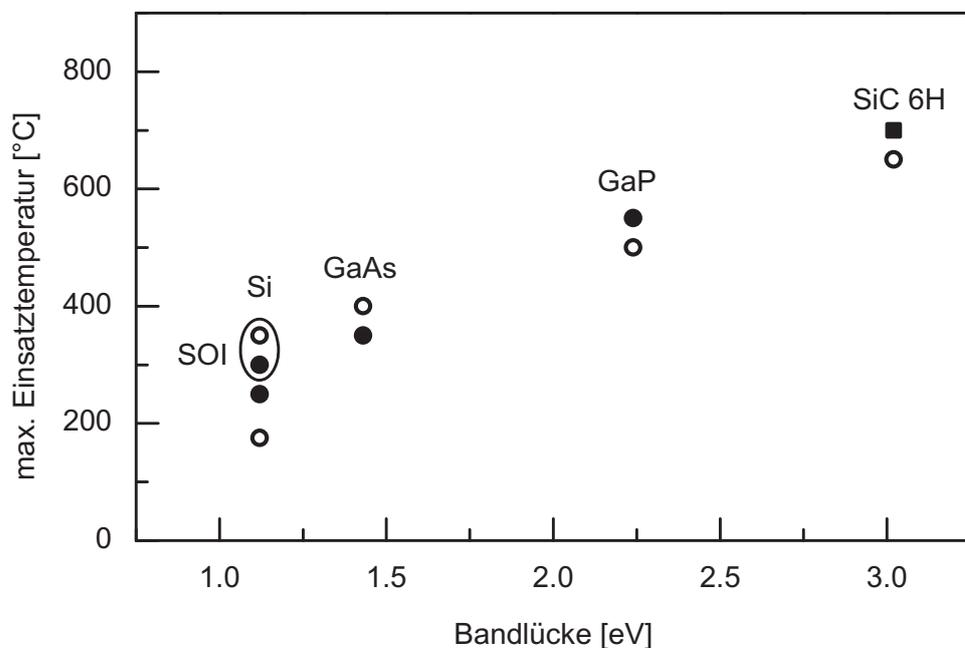


# Kapitel 1

## Einleitung

In den letzten Jahrzehnten wuchs zunehmend der Bedarf an temperaturstabilen Schaltkreisen. Die vielfältigen Einsatzgebiete erstrecken sich von der Automobilindustrie über die Luft- und Raumfahrt bis hin zu militärischen Anwendungen [105].

Die maximale Einsatztemperatur der Schaltkreise wird primär durch den verwendeten Halbleiter bestimmt. Dessen Bandlückenabstand hat Einfluss auf den temperaturbedingten Zuwachs der intrinsischen Ladungsträgerkonzentration. Überschreitet diese ein gewisses Maß, so geht die Funktion der Schaltkreise verloren. Einen Überblick zu gängigen Halbleitern und deren maximalen Einsatztemperatur zeigt die Abbildung 1.1.



**Abb. 1.1:** Maximale Einsatztemperatur in Abhängigkeit von der Bandlücke verschiedener Halbleiter ○ [105], ● [33], ■ [21].

Die vergleichsweise kleine Bandlücke des Siliziums (Si) erlaubt lediglich den Betrieb von Schaltungen bis zu einer Temperatur von etwa 350 °C. Nur durch den Einsatz von Halbleitern mit größerem Bandlückenabstand, wie zum Beispiel Galliumarsenid (GaAs), Galliumphosphid (GaP) oder Siliziumkarbid (SiC), lässt sich eine höhere Temperaturstabilität erzielen [65]. Der entscheidende Nachteil dieser Materialien liegt jedoch in zahlreichen technologischen Hindernissen, die eine breite kommerzielle Anwendung bisher nicht zulassen. Im Gegensatz dazu verfügt Silizium über eine stark ausgereifte Technologie. Dieser enorme Vorteil macht Silizium stets zur optimalen Wahl, sofern die beschränkte Temperaturstabilität in Kauf genommen werden kann.

Wird zur Herstellung der Schaltkreise die konventionelle CMOS<sup>1</sup>-Technologie auf Siliziumsubstraten eingesetzt, so beschränkt sich die maximale Einsatztemperatur auf lediglich 200 °C. Verantwortlich hierfür sind stark zunehmende Leckströme an pn-Übergängen, die zum Ausfall der Schaltung führen. Zur Erweiterung des Temperaturbereichs können unterschiedliche Strategien verfolgt werden. Eine davon ist die SOI<sup>2</sup>-Technologie [83]. Mithilfe der hierbei verwendeten SOI-Substrate lässt sich die Fläche der pn-Übergänge deutlich reduzieren. Die daraus resultierenden niedrigeren Leckströme erlauben eine maximale Einsatztemperatur von etwa 350 °C [34].

Eine andere Strategie zur Steigerung der Temperaturstabilität liegt im Einsatz hoher Dotierstoffkonzentrationen. Hierdurch wird die Schwelle der kritischen intrinsischen Ladungsträgerkonzentration erst bei deutlich höheren Temperaturen überschritten [62]. MOSFETs<sup>3</sup>, die über hohe Dotierstoffkonzentrationen verfügen, lassen sich besonders einfach in einem vertikalen Bauteilkonzept umsetzen. Die einzelnen Gebiete des vertikalen MOSFETs werden durch eine epitaktische Abscheidung dotierter Schichten realisiert. Dadurch lassen sich Kurzkanal-Bauelemente mit einem extrem scharfen Dotierprofil herstellen.

Ein Anwendungsbeispiel, bei dem ein Bedarf an temperaturstabilen MOSFETs besteht, ist durch den FGFET<sup>4</sup> Gassensor [38] gegeben. Der Sensor erreichte in den letzten Jahren ein hohes Entwicklungsstadium und wird derzeit in klassischer CMOS-Technologie gefertigt. Diese beschränkt jedoch die maximale Einsatztemperatur und damit auch das Anwendungsspektrum des Sensors.

Ein Ziel der vorliegenden Arbeit ist ein Vergleich der unterschiedlichen MOSFET Konzepte hinsichtlich ihrer Temperaturstabilität. Dabei sollen zum einen laterale Transistoren auf Silizium- und SOI-Substraten und zum anderen vertikale Transistoren mit unterschiedlichen Aufbau des Schichtstapels hergestellt werden. Parallel wird auch eine temperaturstabile Variante des FGFET Sensors gefertigt und evaluiert.

Im Folgenden soll ein kurzer Überblick zu den behandelten Themen in den einzelnen Kapiteln gegeben werden.

---

<sup>1</sup>CMOS: Complementary Metal Oxide Semiconductor

<sup>2</sup>SOI: Silicon On Insulator

<sup>3</sup>MOSFET: Metal Oxide Semiconductor Field Effect Transistor

<sup>4</sup>FGFET: Floating Gate Field Effect Transistor

Das **Kapitel 2** gibt zunächst einen Einstieg in das Thema der temperaturstabilen MOS Transistoren. Nach einer kurzen Behandlung der physikalischen Grundlagen wird das laterale und vertikale MOSFET Konzept vorgestellt. Vordergründig werden dabei Temperatureffekte beschrieben, die zu einem veränderten Bauteilverhalten führen.

Im **Kapitel 3** wird der FGFET Gassensor vorgestellt. Nach der Beschreibung des Arbeitsprinzips folgt ein Vergleich zwischen der Standard- und einer Hochtemperatur-Variante des Sensors. Herausgestellt werden die Vorteile der höheren Temperaturstabilität, sowie die hierfür erforderlichen Maßnahmen.

**Kapitel 4** gibt einen Überblick zu den prinzipiellen Prozessabläufen der Bauelementherstellung. Schrittweise wird dabei der Aufbau des lateralen MOSFETs, des vertikalen MOSFETs sowie des Hochtemperatur-FGFET Sensors erklärt.

Das **Kapitel 5** behandelt die technologischen Grundlagen. Die Schwerpunkte werden dabei auf Technologien gelegt, die für die Prozessentwicklung eine herausragende Rolle spielen.

Im **Kapitel 6** wird die Entwicklung der Einzelprozesse zur Herstellung des vertikalen MOSFETs sowie des FGFET Sensors vorgestellt. Beide Bauelemente zeichnen sich durch eine ähnliche Prozessführung aus und werden daher gemeinsam in einem Kapitel behandelt. Zu den besonders kritischen Einzelprozessen zählen die Abscheidung des Transistorstapels und die Strukturierung der Transistormesa. Beide werden ausführlich beschrieben.

**Kapitel 7** befasst sich mit der Prozessentwicklung zum lateralen MOSFET. Ein wichtiger Einzelprozess ist in diesem Fall die Dotierung durch Spin On Dopants, die detaillierter behandelt wird.

Das **Kapitel 8** stellt die Ergebnisse der elektrischen Charakterisierung der in dieser Arbeit hergestellten MOSFETs zusammen. Gegliedert in Raumtemperaturmessungen und Messungen bei erhöhten Temperaturen werden die wichtigsten Bauteilparameter vorgestellt und diskutiert.

Im **Kapitel 9** folgt die Präsentation und Diskussion der Resultate zum FGFET Sensor. Dabei wird neben der Einstellung des Arbeitspunktes auch die Gasbeaufschlagung des Sensors beschrieben.

Abschließend werden im **Kapitel 10** die Ergebnisse dieser Arbeit zusammengefasst und ein Ausblick gegeben.





## Kapitel 2

# Siliziumbasierte MOSFETs und deren Einsatz bei hohen Temperaturen

Obwohl Silizium nicht zu den klassischen Hochtemperatur-Halbleitern zählt, bietet es den Vorteil der stark ausgereiften Technologie. Dazu gehört eine breite Palette an Prozessen zur Herstellung unterschiedlichster Bauelemente. Das wohl am häufigsten hergestellte Bauelement ist der MOS Feldeffekt-Transistor. Dieser wird in hoher Stückzahl in beinahe jede Schaltung integriert.

Die Funktion des MOSFETs zeigt eine starke Temperaturabhängigkeit. Bestimmte Parameter verändern mit zunehmender Temperatur ihren Wert, was schließlich zum Ausfall der gesamten Schaltung führt. Die Stabilität der Parameter hängt stark vom Aufbau des MOSFETs ab. Einen Einfluss haben beispielsweise Substratmaterial, Dotierung oder Geometrie.

Zu Beginn des Kapitels werden zunächst einige Grundlagen zu den temperaturabhängigen Eigenschaften von Silizium vorgestellt. Vordergründig wird der pn-Übergang als Basis eines jeden Bauelements behandelt. Anschließend folgt ein Unterkapitel zum lateralen MOSFET Konzept. Anhand dieses Transistortyps werden die typischen Bauteilparameter vorgestellt, die sich aus der elektrischen Charakterisierung ableiten lassen. Ferner wird auch der Einfluss der Temperatur auf diese Parameter erläutert. Im gleichen Abschnitt wird auch die SOI-Technologie als Möglichkeit zur Erhöhung der Temperaturstabilität diskutiert. Darauf aufbauend schließt sich ein Unterkapitel zum vertikalen MOSFET Konzept an. In diesem werden zwei unterschiedliche Transistor-Varianten für den Einsatz bei hohen Temperaturen vorgestellt.

## 2.1 Physikalische Grundlagen

Um die temperaturbedingte Änderung des Bauteilverhaltens interpretieren zu können ist es notwendig die dahinter stehenden physikalischen Effekte zu kennen. Daher werden in diesem Unterkapitel zunächst die wichtigsten temperaturabhängigen Eigenschaften von Silizium beschrieben.

### 2.1.1 Ladungsträgerdichten im thermischen Gleichgewicht

Die Ladungsträgerdichte in einem Halbleiter stellt sich durch die gegenläufigen Prozesse der Generation und Rekombination ein. Dabei lassen sich die Konzentrationen der Elektronen und der Löcher durch folgende Gleichungen beschreiben:

$$n = N_L \exp\left(\frac{E_F - E_g}{k_b T}\right) \quad (2.1)$$

$$p = N_V \exp\left(-\frac{E_F}{k_b T}\right) \quad (2.2)$$

$n, p$ : Elektronen- und Löcherkonzentration,  $N_L, N_V$ : effektive Zustandsdichten im Leitungs- und Valenzband,  $E_g$ : Bandlücke,  $E_F$ : *Fermi*-Energie,  $k_B$ : *Boltzmann*-Konstante,  $T$ : Temperatur

Da sich die Ladungsträgergeneration und -rekombination stets im thermodynamischen Gleichgewicht befinden, lässt sich analog zum Massenwirkungsgesetz der Chemie folgende Gleichung aufstellen:

$$n p = N_L N_V \exp\left(-\frac{E_g}{k_b T}\right) = n_i^2 \quad (2.3)$$

$n_i$ : intrinsische Ladungsträgerkonzentration

Im Spezialfall des undotierten (intrinsischen) Halbleiters wird die Konzentration der Elektronen  $n$  und Löcher  $p$  nur durch die Temperatur und den Bandabstand bestimmt. Da jede thermische Anregung eines Leitungselektrons auch stets ein Loch generiert, gilt für die intrinsische Ladungsträgerkonzentration folgender Zusammenhang:

$$n_i = n = p = \sqrt{N_L N_V} \exp\left(-\frac{E_g}{2k_b T}\right) \quad (2.4)$$

Die intrinsische Ladungsträgerkonzentration  $n_i$  wird primär durch die Temperaturabhängigkeit des Exponentialterms bestimmt. Daneben besteht indirekt eine schwache Temperaturabhängigkeit über die effektiven Zustandsdichten  $N_L(T), N_V(T) \sim T^{3/2}$  sowie über die Bandlücke  $E_g(T)$ . Für die Abnahme des Bandabstandes mit zunehmender Temperatur gilt:

$$E_g(T) = E_g(0) - \frac{\alpha T^2}{\beta + T} \quad (2.5)$$

$E_g(0)$ : Bandlücke bei 0 K,  $\alpha, \beta$ : Materialkonstanten

### 2.1.2 Ladungsträgerdichten in dotierten Halbleitern

Für die Funktion aller Halbleiterbauelemente ist es notwendig, ein Ungleichgewicht zwischen den Ladungsträgerdichten von Elektronen und Löchern zu schaffen. Dieser extrinsische Zustand lässt sich durch einen zusätzlichen Eintrag von Dotierstoffen erzielen. Oberhalb von etwa 200 K liegt die vollständige Ionisation der eingebrachten Dotierstoffe vor, sodass folgende die Neutralitätsbedingung gilt:

$$n(T) + N_A = p(T) + N_D \quad (2.6)$$

$N_A, N_D$ : Konzentration der Akzeptoren bzw. Donatoren

Unter Berücksichtigung des Massenwirkungsgesetzes aus der Gleichung 2.3 resultiert folgende temperaturabhängige Elektronen- bzw. Löcherkonzentration:

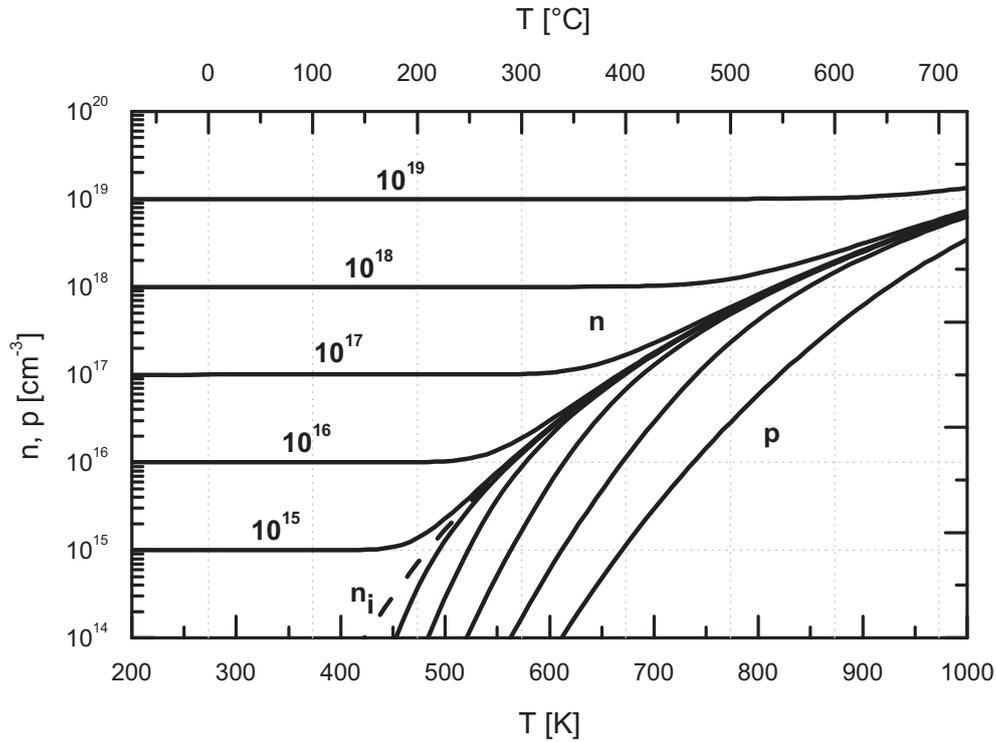
$$n(T) = \frac{1}{2} \left( (N_D - N_A) + \sqrt{(N_D - N_A)^2 + 4n_i^2(T)} \right) \quad (2.7)$$

$$p(T) = \frac{1}{2} \left( (N_A - N_D) + \sqrt{(N_A - N_D)^2 + 4n_i^2(T)} \right) \quad (2.8)$$

Dominiert in Gleichung 2.7 die Donatorkonzentration  $N_D$  bzw. in Gleichung 2.8 die Akzeptorkonzentration  $N_A$ , so kann die jeweils andere vernachlässigt werden. Damit wird die Unterscheidung zwischen n- und p-Halbleitern getroffen.

Die Abbildung 2.1 stellt die Ladungsträgerkonzentration der Majoritäten und Minoritäten als Funktion der Temperatur für verschiedene Dotierstoffkonzentrationen dar.

Im Bereich niedriger Temperaturen wird unabhängig von der Dotierung eine konstante Majoritätenkonzentration beobachtet. Zugleich kann die intrinsische Ladungsträgerkonzentration zunächst vernachlässigt werden. Mit zunehmender Temperatur steigt jedoch Letztere stark an und erreicht bei der sogenannten *intrinsischen Temperatur*  $T_i$  den Wert der Majoritätenkonzentration. Ab dieser Temperatur geht extrinsische Zustand und damit die Funktion der Halbleiterbauelemente verloren. Dem Diagramm lässt sich jedoch ebenfalls entnehmen, dass eine hohe Dotierstoffkonzentration zu einer hohen intrinsischen Temperatur führt. Folglich erfordern temperaturstabile Bauelemente hohe Dotierungen.



**Abb. 2.1:** Ladungsträgerkonzentration in Abhängigkeit von der Temperatur und der Donatorkonzentration als Parameter.

### 2.1.3 *Fermi*-Potenzial

Die *Fermi*-Energie stellt ein Maß für die Stärke der Dotierung eines Halbleiters dar. Ausgehend von einem intrinsischen Halbleiter, dessen *Fermi*-Niveau sich in der Bandmitte befindet, führt die p- bzw. n-Dotierung zu einer Verschiebung von  $E_F$  in Richtung Valenz- bzw. Leitungsband. Aus der Energiedifferenz zwischen dem intrinsischen und dem *Fermi*-Niveau des dotierten Halbleiters berechnet sich nach folgender Gleichung das *Fermi*-Potenzial:

$$\phi_F = \frac{E_F - E_i}{e} \quad (2.9)$$

$\phi_F$ : *Fermi*-Potenzial,  $E_i$  intrinsische *Fermi*-Energie,  $e$ : Elementarladung

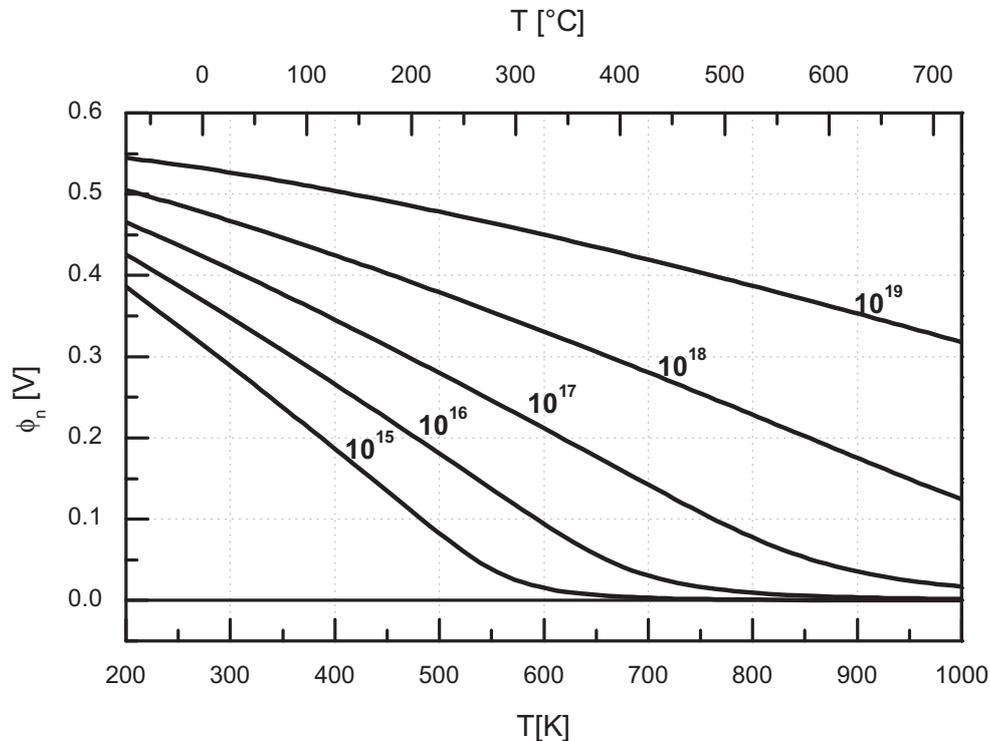
Unter Verwendung der Gleichungen 2.7 und 2.8 lässt sich das *Fermi*-Potenzial für den n- bzw. p-Halbleiter folgendermaßen darstellen:

$$\phi_n = \frac{k_b T}{e} \ln \left( \frac{N_D + \sqrt{N_D^2 + 4n_i^2}}{2n_i} \right) \quad (2.10)$$

$$\phi_p = -\frac{k_b T}{e} \ln \left( \frac{N_A + \sqrt{N_A^2 + 4n_i^2}}{2n_i} \right) \quad (2.11)$$

$\phi_n, \phi_p$ : *Fermi*-Potenzial eines n- bzw. p-Halbleiters

Die Abbildung 2.2 stellt das *Fermi*-Potenzial eines n-dotierten Halbleiters in Abhängigkeit der Temperatur für verschiedene Dotierstoffkonzentrationen dar.



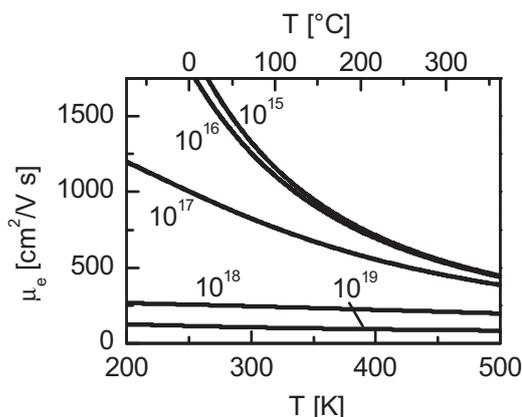
**Abb. 2.2:** *Fermi*-Potenzial in Abhängigkeit von der Temperatur und der Donatorkonzentration als Parameter.

Zwischen *Fermi*-Potenzial und Ladungsträgerkonzentration besteht eine direkte Verknüpfung. Somit führt die mit zunehmender Temperatur wachsende Konzentration an intrinsischen Ladungsträgern zu einer Annäherung des *Fermi*-Potenzials an die Nulllinie. Höhere Dotierungen bewirken mit steigender Temperatur eine geringere Abnahme des *Fermi*-Potenzials und damit eine höhere Stabilität der Halbleiterbauelemente.

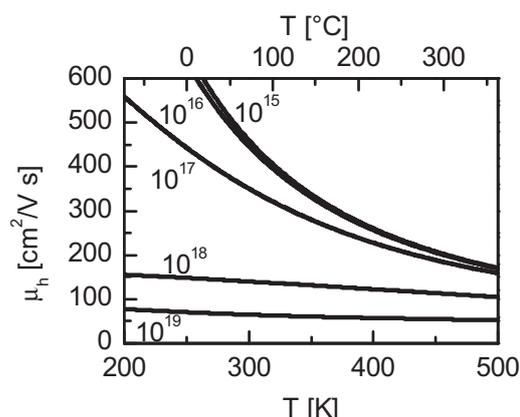
### 2.1.4 Ladungsträgerbeweglichkeit

Der Ladungstransport in dotierten Halbleitern wird zum einen durch Phononenstreuung und zum anderen durch Streuung an Dotierstoffatomen beeinflusst. Beide Mechanismen verfügen über unterschiedliche Abhängigkeiten von der Temperatur und der Dotierstoffkonzentration [103].

Die resultierende Gesamtbeweglichkeit lässt sich in einem bestimmten Temperaturbereich mithilfe eines empirischen Modells nach *Arora* [7] beschreiben. Die Abbildungen 2.3 und 2.4 zeigen hierzu entsprechende Diagramme.



**Abb. 2.3:** Elektronenbeweglichkeit in Abhängigkeit von der Temperatur und der Donatorkonzentration als Parameter.



**Abb. 2.4:** Löcherbeweglichkeit in Abhängigkeit von der Temperatur und der Akzeptorkonzentration als Parameter.

Die für temperaturstabile Bauelemente notwendige hohe Dotierung führt bereits bei Raumtemperatur zu einer niedrigen Löcher- und Elektronenbeweglichkeit. Mit zunehmender Temperatur ändern sich die die Beweglichkeiten hoch dotierter Halbleiter nur noch geringfügig.

### 2.1.5 pn-Übergang

Der Kontakt zweier unterschiedlich dotierter Bereiche bewirkt die Diffusion von Ladungsträgern in das jeweils andere Gebiet. Im grenzflächennahen Bereich rekombinieren diese und bilden eine Raumladungszone (RLZ) aus, deren Weite durch die Dotierstoffkonzentrationen bestimmt wird. Die in den n- und p-Bereichen verbleibenden festen Ladungsträger führen zur Aufladung der Gebiete. Hieraus resultiert die sogenannte Diffusionsspannung [44, 103]:

$$V_{\text{diff}} = \frac{k_B T}{e} \ln \frac{N_A N_D}{n_i^2} \quad (2.12)$$

$V_{\text{diff}}$ : Diffusionsspannung

Das Anlegen einer äußeren Spannung ermöglicht die Ausdehnung oder Verkürzung der Raumladungszone. Für die RLZ-Weite gilt dann:

$$w_{\text{RLZ}} = \sqrt{\frac{2\epsilon_0\epsilon_{\text{Si}}}{e} \left( \frac{1}{N_A} + \frac{1}{N_D} \right) (V_{\text{diff}} + V)} \quad (2.13)$$

$w_{\text{RLZ}}$ : Weite der Raumladungszone,  $\epsilon_0$ : Permittivität des Vakuums,  $\epsilon_{\text{Si}}$ : Permittivität des Siliziums,  $V$ : angelegte Spannung

Kompensiert die angelegte Spannung die Diffusionsspannung, so wird die RLZ vollständig abgebaut und der pn-Übergang in Durchlassrichtung betrieben. Die umgekehrte Polung führt hingegen zur Ausdehnung der RLZ. Es fließt ein niedriger Sperrstrom. Die temperaturbedingte Zunahme des Sperrstroms entscheidet im hohen Maße über die maximale Einsatztemperatur der Halbleiterbauelemente.

### Sperrstrom

Der Sperrstrom eines pn-Übergangs setzt sich aus dem Generations-Rekombinations-Sperrstrom sowie dem Diffusions-Sperrstrom zusammen [51, 103]:

$$I_R = I_{\text{gen}} + I_{\text{diff}} \quad (2.14)$$

$I_R$ : Gesamt-Sperrstrom,  $I_{\text{gen}}$ : Generations-Rekombinations-Sperrstrom,  $I_{\text{diff}}$ : Diffusions-Sperrstrom

Der Generations-Rekombinations-Sperrstrom resultiert aus der thermischen Bildung von Elektron-Loch-Paaren in der Raumladungszone. Er berechnet sich nach folgender Gleichung:

$$I_{\text{gen}} = eA \frac{w_{\text{RLZ}}}{\tau} n_i \quad (2.15)$$

$A$ : effektive Fläche des pn-Übergangs,  $\tau$ : effektive Ladungsträgerlebensdauer

Der Diffusions-Sperrstrom hat seinen Ursprung im neutralen Bereich am Rand der Raumladungszone. Die an dieser Stelle generierten Minoritätsladungsträger diffundieren zur Verarmungszone, werden dort vom starken Feld erfasst und passieren den pn-Übergang. In die Berechnung des Diffusions-Sperrstroms fließen die Diffusionslängen und -konstanten ein. Denn nur Ladungsträger, deren Diffusionszeit geringer ist als die Lebensdauer tragen zum Diffusionsleckstrom bei:

$$I_{\text{diff}} = eA \left( \frac{D_e}{N_A L_e} + \frac{D_h}{N_D L_h} \right) n_i^2 \quad (2.16)$$

$D_e, D_h$ : Diffusionskonstante der Elektronen bzw. Löcher,  $L_e, L_h$ : Diffusionslänge der Elektronen bzw. Löcher

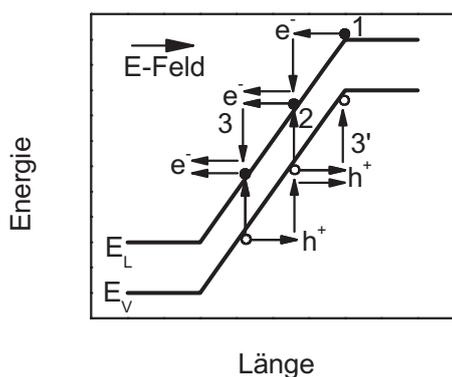
Beide Sperrstromanteile verfügen über unterschiedliche Abhängigkeiten von der intrinsischen Ladungsträgerkonzentration und damit von der Temperatur. Durch die Auftragung des Sperrstroms über die reziproke Temperatur lassen sich beide Anteile separieren. Dabei korrespondiert der Sperrstromanstieg bis zu einem Temperaturbereich von 125 – 150 °C mit  $n_i$  und darüber mit  $n_i^2$  [44]. Folglich dominiert bei niedrigen Temperaturen der Generations-Rekombinations-Sperrstrom und bei hohen der Diffusions-Sperrstrom.



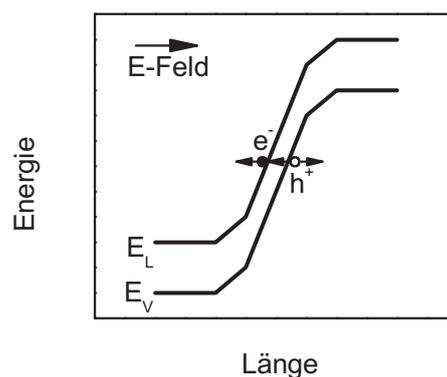
### Durchbruchmechanismen

Das Überschreiten einer gewissen Sperrspannung führt zu einem starken Anstieg des Sperrstroms und damit zum Durchbruch des pn-Übergangs. Dem Durchbruch können zwei unterschiedliche Mechanismen zu Grunde liegen. Abhängig vom elektrischen Feld wird entweder ein *Zener*- oder ein *Avalanche*-Durchbruch beobachtet [111].

Der *Avalanche*-Durchbruch oder auch Lawinen-Durchbruch tritt insbesondere bei niedrig dotierten pn-Übergängen auf. Eine schematische Darstellung des Prozesses ist in der Abbildung 2.5 zu finden. Der Durchbruch beginnt mit einem infolge des starken elektrischen Feldes beschleunigten Minoritätsladungsträger (1). Dieser kollidiert mit einer Silizium-Bindung und generiert hierbei ein Elektron-Loch-Paar (2). Die neu entstandenen Ladungsträger werden ihrerseits wiederum beschleunigt und führen nach Kollisionen zur weiteren Freisetzung von Elektronen und Löchern (3, 3'). Es baut sich zunehmend eine Lawine auf, die zum sprunghaften Anstieg des Sperrstroms führt.



**Abb. 2.5:** Schematische Darstellung des *Avalanche*-Durchbruchs.



**Abb. 2.6:** Schematische Darstellung des *Zener*-Durchbruchs.

Der *Avalanche*-Durchbruch zeichnet sich durch einen negativen Temperaturkoeffizienten der Durchbruchsspannung aus. Denn mit zunehmender Temperatur nimmt die Phononenstreuung zu und damit die mittlere freie Weglänge der generierten Ladungsträger ab.

Im Vergleich zum *Avalanche*-Durchbruch erfordert der *Zener*-Durchbruch eine hohe elektrische Feldstärke am pn-Übergang ( $10^6$  V/m [44]). Er wird daher nur bei hohen Dotierungen und den damit verbundenen kurzen RLZ beobachtet. Der Durchbruch beruht auf dem quantenmechanischen Tunnel-Effekt. Getreu dem in der Abbildung 2.6 dargestellten Banddiagramm können Elektronen aus dem Valenzband das verbotene Band durchqueren.

Für einen abrupten pn-Übergang lässt sich die maximale Feldstärke nach folgender Gleichung berechnen [44]:

$$E_{\max} = \frac{2(V_{\text{diff}} + V_{\text{R}})}{w_{\text{RLZ}}} = \sqrt{\frac{2e}{\varepsilon_0 \varepsilon_{\text{Si}}} \frac{N_{\text{A}} N_{\text{D}}}{N_{\text{A}} + N_{\text{D}}} (V_{\text{diff}} + V_{\text{R}})} \quad (2.17)$$

$E_{\max}$ : maximale elektrische Feldstärke am abrupten pn-Übergang,  $V_{\text{R}}$ : angelegte Sperrspannung

Bei der Berechnung ist jedoch zu berücksichtigen, dass die hier vorliegenden hohen Dotierungen mit einer Erniedrigung des Bandabstandes (bandgap narrowing) verbunden sind. In Abhängigkeit von der Dotierstoffkonzentration verringert sich die Bandlücke eines p-Halbleiters nach folgendem Ausdruck [103]:

$$\Delta E_{\text{g}} = 22.5 \sqrt{\frac{N_{\text{A}}}{1 \cdot 10^{18}}} \quad (2.18)$$

$\Delta E_{\text{g}}$ : Abnahme des Bandabstandes in mV

Unter Verwendung der maximalen Feldstärke gilt für die Band-zu-Band-Tunnelstromdichte der Zusammenhang:

$$j_{\text{tunn}} = \frac{\sqrt{2m^*} e^3 E_{\max} V_{\text{R}}}{4\pi^2 \hbar^2 \sqrt{E_{\text{g}}}} \exp\left(\frac{-4\sqrt{2m^*} E_{\text{g}}^{3/2}}{3e\hbar E_{\max}}\right) \quad (2.19)$$

$j_{\text{tunn}}$ : Band-zu-Band-Tunnelstromdichte,  $m^*$ : effektive Elektronenmasse,  $\hbar$ : reduziertes Plancksches Wirkungsquantum

Die Durchbruchspannung des *Zener*-Durchbruchs verfügt über einen positiven Temperaturkoeffizienten. Der Grund hierfür ist der mit steigender Temperatur abnehmende Bandabstand und die hierdurch steigende Tunnelwahrscheinlichkeit.



## 2.2 Laterales MOSFET Konzept

Der laterale MOSFET ist das dominierende Bauelement in allen integrierten Schaltungen. Der Aufbau eines n-Kanal-MOSFETs wird in der Abbildung 2.7 dargestellt.

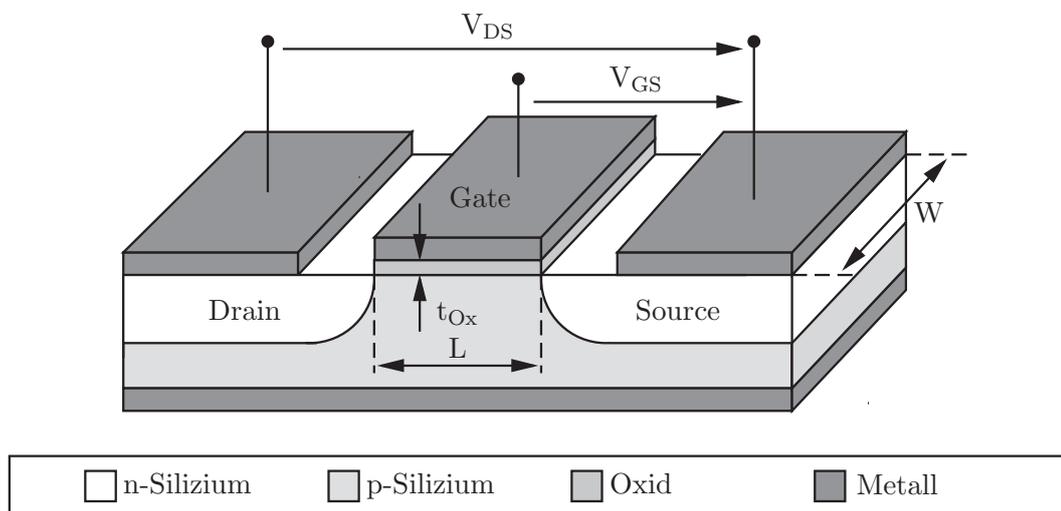


Abb. 2.7: Schematische Darstellung eines lateralen MOSFETs.

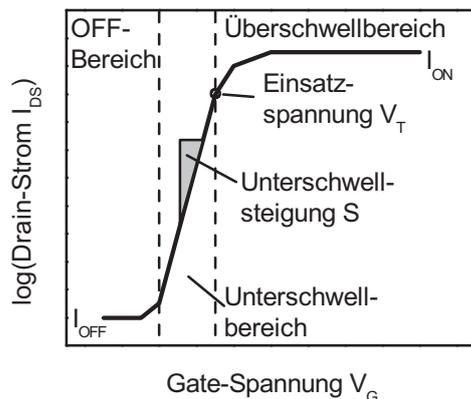
In ein schwach dotiertes p-Substrat werden die beiden hoch dotierten n-Gebiete, Source und Drain, eingelassen. Zwischen beiden Gebieten befindet sich, isoliert durch ein Gateoxid (GOX), die metallische Gate-Elektrode. Metall-Elektrode, Oxid und Substrat bilden eine MOS-Struktur [75]. Das Anlegen einer ausreichend hohen Gate-Spannung führt an der Grenzfläche zwischen Oxid und Substrat zur Ausbildung eines Inversionskanals. Dieser ermöglicht den Stromfluss zwischen Source und Drain.

### 2.2.1 Strom-Spannungs-Charakteristik

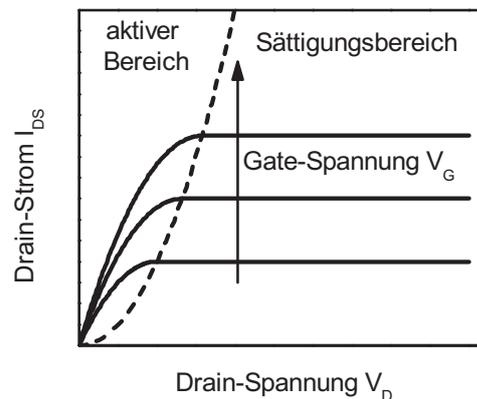
Die elektrische Charakterisierung von MOSFETs erfolgt durch zwei Kennlinienfelder. Einerseits durch das Transferkennlinienfeld bei dem der Drain-Strom logarithmisch gegen die Gate-Spannung für verschiedene Drain-Spannungen aufgetragen wird und andererseits durch das Ausgangskennlinienfeld, das den Drain-Strom linear gegen die Drain-Spannung für unterschiedliche Gate-Spannungen darstellt. Beiden Kennlinienfelder lassen sich zahlreiche charakteristische Bauteilparameter entnehmen, die im Folgenden vorgestellt werden.

#### Transferverhalten

Die Transferkennlinie beschreibt das Steuerverhalten des Transistors. Entsprechend dem in der Abbildung 2.8 dargestellten schematischen Verlauf lässt sich die Kennlinie in den OFF-, Unterschwell- und Überschwellbereich unterteilen.



**Abb. 2.8:** Schematische Darstellung der Transferkennlinie eines MOSFETs.



**Abb. 2.9:** Schematische Darstellung der Ausgangskennlinie eines MOSFETs.

Im OFF-Bereich ist der Transistor ausgeschaltet. Es fließt lediglich ein niedriger OFF-Strom, der durch die Sperrströme der pn-Übergänge bestimmt wird.

Ab dem Unterschwellbereich steigt der Drain-Strom exponentiell an. Eine wichtige Kenngröße ist hierbei die Unterschwellsteigung, die das Schaltverhalten des MOSFETs charakterisiert. Sie entspricht der reziproken Steigung der Geraden in der logarithmischen Auftragung und ist definiert durch:

$$S = \left( \frac{\partial(\log_{10} I_{DS})}{\partial V_{GS}} \right)^{-1} = \ln(10) \frac{k_B T}{e} \left( 1 + \frac{C_{Par}}{C_{Ox}} \right) \quad (2.20)$$

$S$ : Unterschwellsteigung,  $I_{DS}$ : Drain-Source-Strom,  $V_{GS}$ : Gate-Source-Spannung,  $C_{Par}$ : parasitäre Kapazität,  $C_{Ox}$ : Oxidkapazität

Die parasitäre Kapazität wird in erster Linie durch die Verarmungszone unter dem Gate gebildet. Kann diese gegenüber der Oxidkapazität vernachlässigt werden, so ergibt sich für die Unterschwellsteigung bei Raumtemperatur der Minimalwert von 60 mV/dec.

Der Übergangspunkt zwischen Unter- und Überschwellbereich markiert die Einsatzspannung des Transistors (threshold voltage). Diese berechnet sich nach folgender Gleichung [103]:

$$V_T = \phi_{MS} + 2\phi_F - \frac{Q'_{Ox}}{C'_{Ox}} - \frac{\sqrt{4eN_A\epsilon_{Si}\phi_F}}{C'_{Ox}} \quad (2.21)$$

$V_T$ : Einsatzspannung,  $\phi_{MS}$ : Differenz der Austrittsarbeiten von Silizium und Gate-Elektrode,  $Q'_{Ox}$ : Flächenladungsdichte,  $C'_{Ox}$ : Gate-Flächenkapazität

Eine ausführliche Ableitung der Einsatzspannung wird in [103] behandelt.

Im anschließenden Überschwellbereich liegt eine vollständige Ausbildung des Inversionskanals vor. Der Transistor ist eingeschaltet und es fließt der ON-Strom.



Ein weiteres charakteristisches Kennlinienfeld, welches sich direkt aus dem Transferkennlinienfeld ableiten lässt, ist die Steilheit des Transistors. Diese beschreibt die Änderung des Drain-Stroms nach der Gate-Spannung:

$$g_m = \frac{dI_{DS}}{dV_{GS}} \quad (2.22)$$

$g_m$ : Steilheit

Eine wichtige Bedeutung hat die Steilheit für den später diskutierten Gassensor. Sie repräsentiert die Empfindlichkeit des Sensors.

### Ausgangsverhalten

Das Ausgangskennlinienfeld gliedert sich in den aktiven und den Sättigungsbereich. Die Abbildung 2.9 zeigt hierzu den schematischen Verlauf des Kennlinienfeldes.

Der aktive Bereich zeichnet sich durch einen parabolischen Anstieg des Drain-Stroms mit der Drain-Spannung aus. Der Kanal ist dabei vollständig ausgebildet und fungiert als ein durch die Gate-Spannung kontrollierter Widerstand. Für den Drain-Strom gilt in diesem Bereich folgender Zusammenhang:

$$I_{DS} = \mu_{\text{eff}} C'_{\text{Ox}} \frac{W}{L} \left( (V_{GS} - V_T)V_{DS} - \frac{1}{2}(V_{DS})^2 \right) \quad (2.23)$$

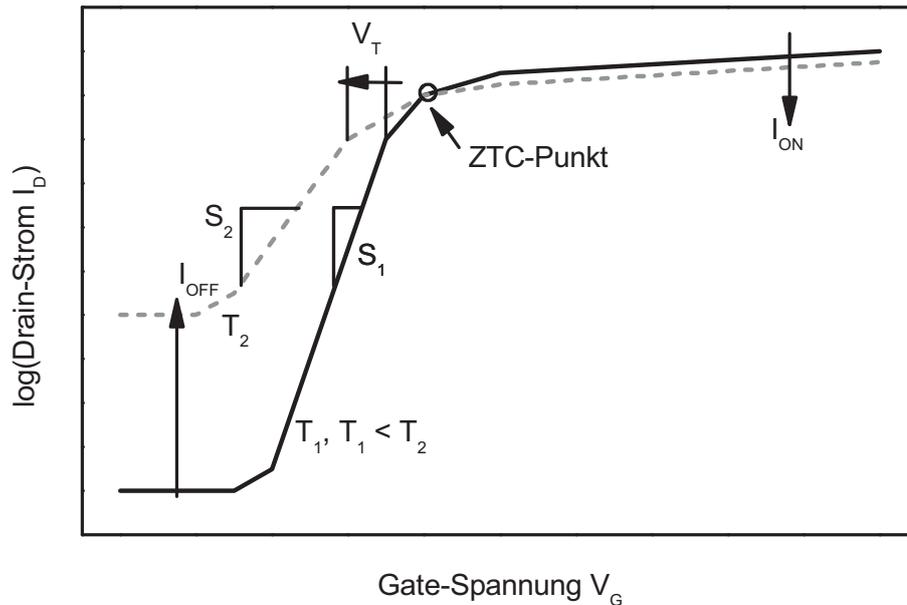
$\mu_{\text{eff}}$ : effektive Ladungsträgerbeweglichkeit im Kanal,  $W$ : Kanalweite,  $L$ : Kanallänge,  $V_{DS}$ : Drain-Source-Spannung

Ab dem Sättigungsbereich beginnt an dem Drain-seitigem Ende ein Abbau der Inversionsladungsträgerdichte im Kanal. Aus dieser sogenannten Kanalabschnürung resultiert ein konstanter Drain-Strom. Für diesen ergibt sich:

$$I_{DS} = \frac{1}{2} \mu_{\text{eff}} C'_{\text{Ox}} \frac{W}{L} (V_{GS} - V_T)^2 \quad (2.24)$$

### 2.2.2 Temperaturverhalten

Der Betrieb von MOSFETs bei erhöhten Temperaturen führt zu einem veränderten Bauteilverhalten, welches sich vor allem in der Transferkennlinie widerspiegelt. Die Abbildung 2.10 zeigt hierzu eine schematische Darstellung.



**Abb. 2.10:** Schematische Darstellung von Transferkennlinien bei zwei unterschiedlichen Temperaturen.

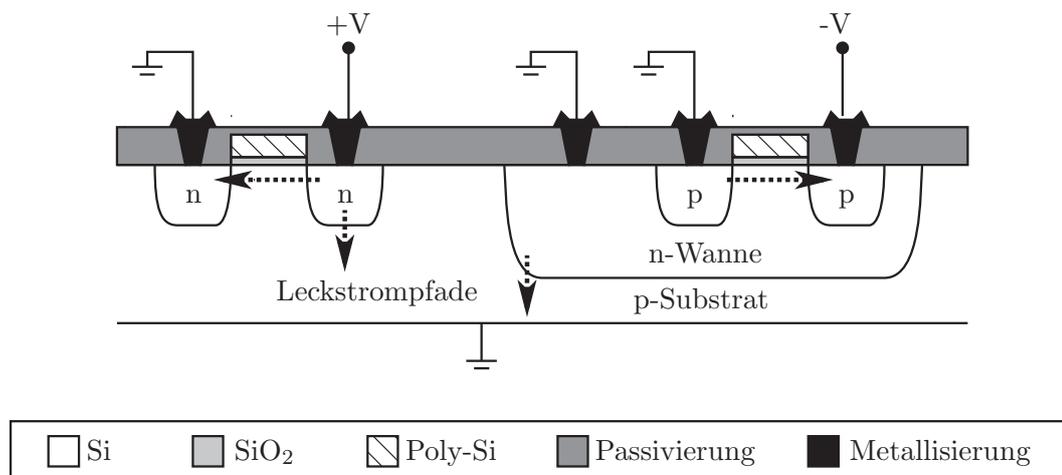
Im Folgenden werden die auftretenden Temperatureffekte näher vorgestellt.

- **Zunahme des OFF-Stroms**

Wie bereits im vorhergehenden Unterkapitel beschrieben, wird der OFF-Strom von MOSFETs durch die Sperrströme der pn-Übergänge bestimmt. Abhängig von der Temperatur wird ein dominierender Generations-Rekombinations-Sperrstrom oder Diffusions-Sperrstrom beobachtet.

In klassischen CMOS-Schaltungen lassen sich verschiedene Sperrstrompfade identifizieren [34, 71]. Eine Übersicht hierzu gibt die Abbildung 2.11.

Für den einfachen Fall, bei dem das Substrat geerdet wird, ergeben sich folgende in Sperrichtung betriebene Übergänge: Drain-Source, Drain-Substrat und n-Wanne-Substrat. Vor allem Letzterer führt aufgrund der notwendigen niedrigen Dotierung der Wanne zu einem mit der Temperatur stark ansteigenden Sperrstrom. Die zusätzlich große Fläche des Übergangs bewirkt bereits bei Temperaturen von etwa 200 °C den Ausfall der gesamten Schaltung.



**Abb. 2.11:** Schematische Darstellung eines n- und p-MOSFETs in einem p-Substrat.

- **Abnahme des ON-Stroms**

Der mit der Temperatur sinkende ON-Strom ist auf die abnehmende Ladungsträgerbeweglichkeit zurückzuführen. Getreu den im Kapitel 2.1.4 vorgestellten Abbildungen sind insbesondere niedrig dotierte Halbleiter von einem Einbruch der Beweglichkeit betroffen.

Die Kombination aus abnehmendem ON-Strom und zunehmendem OFF-Strom ergibt einen festen Schnittpunkt von Eingangskennlinien unterschiedlicher Temperaturen. Dieser als ZTC<sup>1</sup> bezeichnete Arbeitspunkt liefert bei der entsprechenden Gate-Spannung einen temperaturunabhängigen Drain-Strom [32].

- **Zunahme der Unterschwellsteigung**

Aus der Gleichung 2.20 wird ersichtlich, dass die Unterschwellsteigung eine lineare Abhängigkeit von der Temperatur aufweist. Dieser Zusammenhang kann jedoch nur bis zu einer Temperatur von etwa 150 °C [27] nachgewiesen werden. Bei höheren Temperaturen wird ein zusätzlicher exponentieller Anteil wirksam, dessen Ursprung in der wachsenden intrinsischen Ladungsträgerkonzentration liegt. Empirisch lässt sich die temperaturabhängige Unterschwellsteigung dann durch eine Kombination aus einem linearen und exponentiellen Anteil beschreiben [83]:

$$S(T) = \ln(10) \frac{k_B T}{e} \left( 1 + \frac{C_{\text{Par}}}{C_{\text{Ox}}} \right) + S_{\text{exp},0} \exp \left( -\frac{E_A}{k_b T} \right) \quad (2.25)$$

$S_{\text{exp},0}$ : Proportionalitätskonstante,  $E_a$ : Aktivierungsenergie

<sup>1</sup>ZTC: Zero Temperature Coefficient

- **Verschiebung der Einsatzspannung**

Unter der Annahme, dass sowohl die Differenz der Austrittsarbeiten  $\phi_{\text{MS}}$  als auch die Flächenladungsdichte  $Q_{\text{Ox}}$  eine vernachlässigbare Temperaturabhängigkeit aufweisen, ergibt sich für die Verschiebung der Einsatzspannung folgende Gleichung [103]:

$$\frac{dV_{\text{T}}}{dT} = \frac{d\phi_{\text{F}}}{dT} \left( 2 + \frac{1}{C'_{\text{Ox}}} \sqrt{\frac{eN_{\text{A}}\epsilon_{\text{Si}}}{\phi_{\text{F}}}} \right) \quad (2.26)$$

Für die Änderung des *Fermi*-Potenzials nach der Temperatur gilt die Näherung [103]:

$$\frac{d\phi_{\text{F}}}{dT} \approx \pm \frac{1}{T} \left( \frac{E_{\text{g}}(0)}{2e} - |\phi_{\text{F}}(T)| \right) \quad (2.27)$$

Aufgrund der unterschiedlichen Vorzeichen des *Fermi*-Potenzials von p- und n-Halbleitern resultiert eine vom Transistortyp abhängige Verschiebungsrichtung der Einsatzspannung. Während dabei n-Kanal-MOSFETs einen negativen Temperaturkoeffizienten aufweisen, ist dieser bei p-Kanal-Transistoren positiv. Ferner zeigt der zweite Term der Gleichung 2.26 eine Abhängigkeit von der Dotierstoffkonzentration. Aufgrund dieser ergibt sich eine stärkere Verschiebung für Transistoren mit höherer Kanaldotierung. Zuletzt hat auch die Oxiddicke Einfluss auf die Änderung der Einsatzspannung.

In der Praxis lässt sich die Ableitung der Einsatzspannung nach der Temperatur durch eine Konstante annähern [96]. Daher gilt folgender einfache Zusammenhang:

$$V_{\text{T}}(T) = p_0 T + q_0 \quad (2.28)$$

$p_0, q_0$ : Konstanten

Typische Werte für  $p_0$  liegen abhängig von den Bauteilparametern im Bereich von 0.5 – 3 mV/°C.

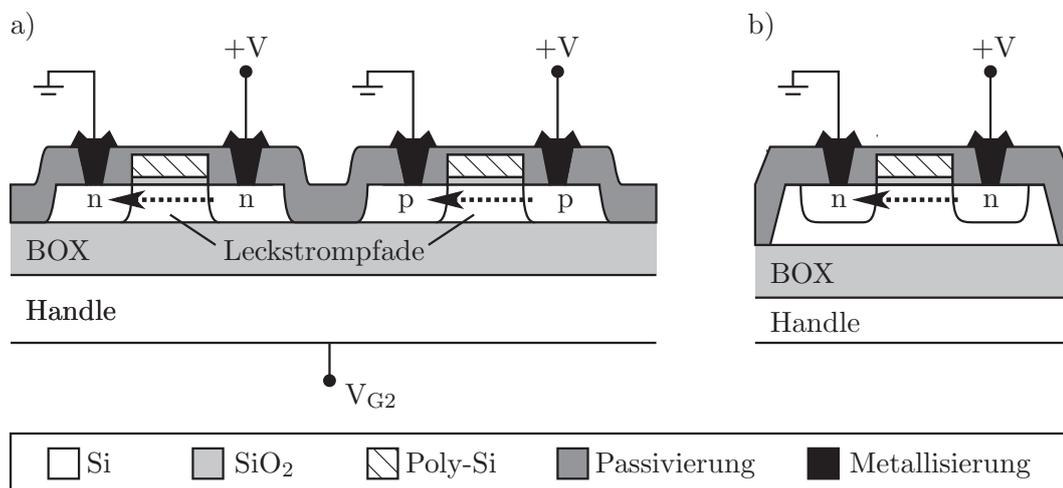
Einen für diskrete MOSFETs besonders kritischen Temperatureffekt stellt die Zunahme des OFF-Stroms dar. Sinkt das  $I_{\text{ON}}/I_{\text{OFF}}$  auf unter eine Dekade, verliert das Bauelement den aktiven Charakter. Integrierte Schaltungen degradieren bereits bei niedrigeren Temperaturen. Die Ursachen hierfür liegen in der Aktivierung von parasitären Bipolar-Transistoren, der Verschiebung der Einsatzspannung und der abnehmenden Ladungsträgerbeweglichkeit [115].



### 2.2.3 Silicon on Insulator Technologie

Die SOI-Technologie bietet die Möglichkeit einige der im vorhergehenden Unterkapitel beschriebenen Temperatureffekte zu unterdrücken [34, 115]. Die hierfür verwendeten SOI-Substrate bestehen aus einem Trägerwafer (Handle) auf dem isoliert durch ein Oxid (buried oxide, BOX) eine dünne Siliziumschicht (Device Layer) aufgebracht wird. Zur Herstellung dieser Substrate können unterschiedliche Verfahren angewendet werden [29]. In den letzten Jahren haben sich jedoch die Bond and Etchback (BESOI) und die UNIBOND-Technik [18] durchgesetzt.

Der Aufbau von Transistoren auf SOI-Substraten ermöglicht die dielektrische Trennung. Dabei bildet jeder Transistor eine Insel auf dem Oxid, die lateral von benachbarten Transistoren und vertikal vom Substrat getrennt wird. Die Abbildung 2.12 zeigt hierzu schematisch den Querschnitt.



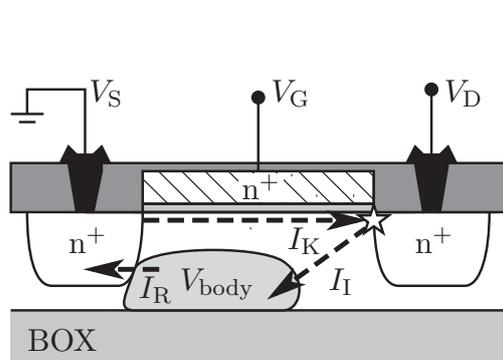
**Abb. 2.12:** Schematische Darstellung eines a) vollständig verarmten n- und p-MOSFETs sowie eines b) teilweise verarmten n-MOSFETs auf SOI-Substraten.

Durch die Entkopplung vom Substrat werden einerseits Transistorwannen überflüssig und andererseits lässt sich die Fläche des pn-Übergangs von Source bzw. Drain reduzieren. Es resultiert ein deutlich niedrigerer Sperrstrom, der eine höhere Temperaturstabilität der Bauelemente sicherstellt.

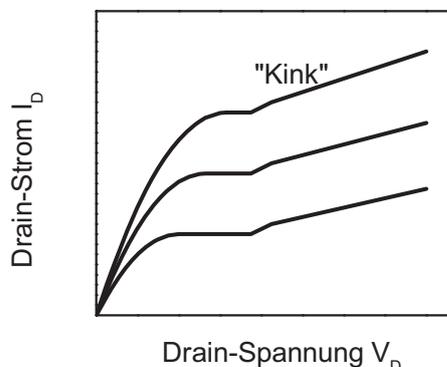
Die Transistoren auf SOI-Substraten werden abhängig von der Ausräumung des Kanalgebietes in vollständig (a) oder nur teilweise (b) verarmte Bauelemente eingeteilt. Die vollständige Verarmung lässt sich nur bei sehr dünnen Device-Layern realisieren, ermöglicht jedoch die Verwendung des BOX als ein weiteres ansteuerbares Gate ( $V_{G2}$ ). Hierdurch eröffnen sich weitere Möglichkeiten, um auf das Bauteilverhalten einzuwirken [30]. Bei nur teilweise verarmten SOI-MOSFETs reicht die Ausräumung nicht bis zur BOX-Grenzfläche. Somit verfügen diese Transistoren über eine neutrale Zone im Device-Layer. Diese wird in der Regel nicht kontaktiert, sodass sogenannte *floating body* Effekte auftreten.



Einer der wichtigsten ist der Kink-Effekt [107]. Dieser wird an einem n-Kanal-MOSFET in der Abbildung 2.13 veranschaulicht.



**Abb. 2.13:** Schematische Darstellung des Kink-Effekts.



**Abb. 2.14:** Auswirkung des Kink-Effekts auf die Ausgangscharakteristik.

Bei einer ausreichend hohen Source-Drain-Spannung führen die Majoritätsladungsträger des Kanalstroms  $I_K$  zur Stoßionisation. Die infolgedessen freigesetzten Ladungsträger (Löcher) wandern als Ionenstrom  $I_I$  in Richtung Source und akkumulieren dort. Dabei lädt sich das Substrat auf, bis ein Gleichgewicht zum Rekombinationsstrom  $I_R$  am Source-pn-Übergang geschaffen wird. Die Substrataufladung hat eine Erniedrigung der Einsatzspannung zur Folge. Im Ausgangskennlinienfeld macht sich diese durch einen Knick (Kink) und einen nicht mehr sättigenden Drain-Strom bemerkbar. Die Abbildung 2.14 zeigt hierzu schematisch die Auswirkung des Kink-Effekts.

Ein weiteres Phänomen, welches bei teilweise verarmten SOI-MOSFETs und dünnen Gateoxiden auftritt, ist der Gate-induzierte floating body Effekt (GIFBE), der auch als linearer Kink-Effekt [5, 31, 72, 79] bezeichnet wird. Dieser äußert sich durch einen abrupten Anstieg des Drain-Stroms im Eingangskennlinienfeld und einem signifikanten Maximum der Steilheit. Die Abbildungen 2.15 und 2.16 veranschaulichen die entsprechenden Kennlinien.

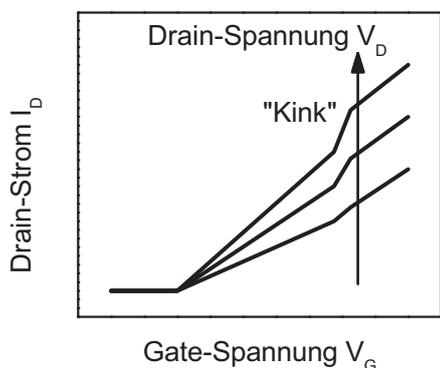


Abb. 2.15: Auswirkung des GIFBEs auf das Transfercharakteristik.

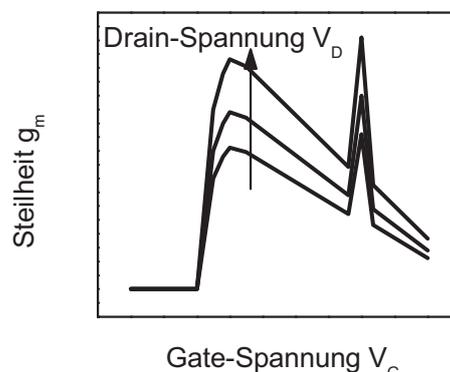


Abb. 2.16: Auswirkung des GIFBEs auf die Steilheit.

Als Erklärung für den GIFBE hat sich zunächst ein Elektron-Valenzband-Tunnelstrom (EVB-Tunneln) etabliert [5, 79]. Getreu dem in der Abbildung 2.17 dargestellten Banddiagramm durchtunneln Elektronen aus dem Valenzband das Oxid und hinterlassen dabei Löcher im Substrat. Die Anreicherung dieser hebt das Substratpotenzial und senkt die Einsatzspannung.

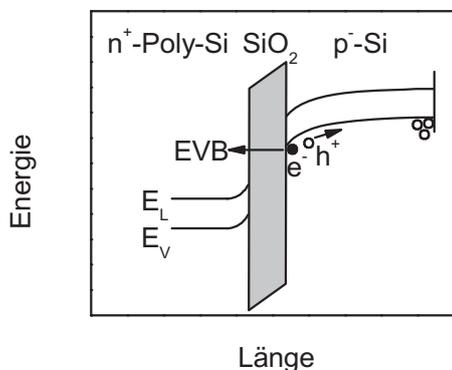


Abb. 2.17: GIFBE durch Elektron-Valenzband-Tunnelstrom.

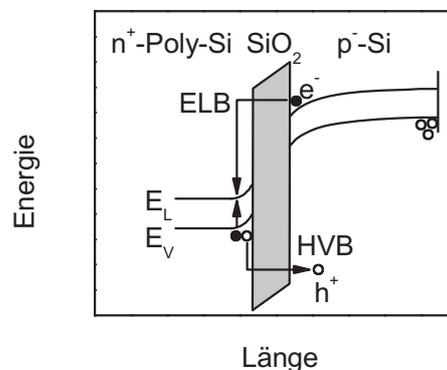


Abb. 2.18: GIFBE durch Löcher-Injektion.

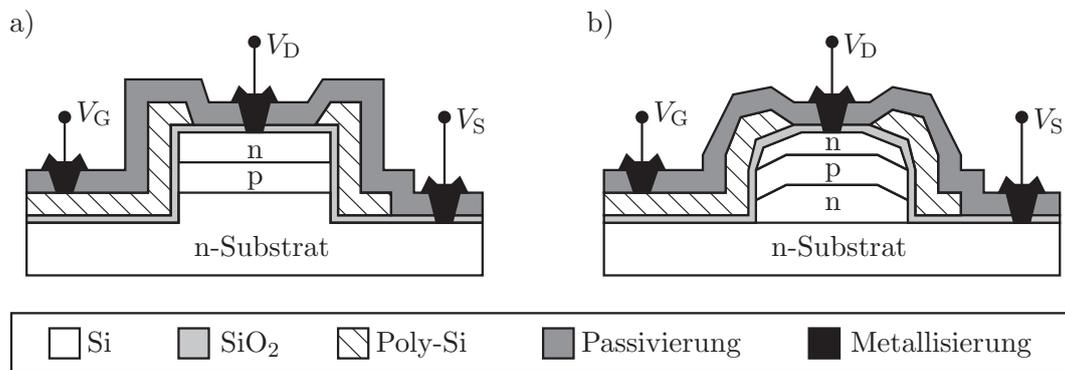
Ein neueres Modell von *Dai et. al* [31] führt den GIFBE auf eine Injektion von Löchern aus der Poly-Gate-Elektrode (anode hole injection, AHI) zurück. Wie die Abbildung 2.18 zeigt, tunneln zunächst Elektronen aus dem Leitungsband (ELB-Tunneln) in die Verarmungsschicht der Poly-Elektrode und generieren dort aufgrund von Stoßionisation Elektron-Loch-Paare. Die hierbei entstandenen heißen Löcher werden ins Substrat injiziert (HVB-Tunneln) und reichern sich dort an.

Neben den hier vorgestellten Effekten können bei SOI-MOSFETs noch einige weitere auftreten [56, 115]. Diese sind jedoch für die vorliegende Arbeit nicht relevant und werden nicht näher behandelt.

## 2.3 Vertikales MOSFET Konzept

Das vertikale MOSFET Konzept zeichnet sich durch eine um  $90^\circ$  gedrehte Anordnung von Source, Kanal und Drain aus. Daraus resultiert ein zur Normalen der Substratoberfläche orientierter Stromfluss [73, 76].

Die Herstellung der Bauelemente basiert auf einem epitaktischen Wachstum des Transistorschichtstapels. Erfolgt die Abscheidung ganzflächig, wird anschließend die Transistormesa durch einen anisotropen Ätzprozess strukturiert [40, 63]. Alternativ lassen sich die Mesen durch einen selektiven Wachstumsprozess realisieren [11, 74]. Beide Konzepte werden in der Abbildung 2.19 schematisch veranschaulicht. Über den Flanken der Mesen liegt isoliert durch das Gateoxid die Poly-Silizium-Gateelektrode. Nach der Passivierung wird analog zum lateralen MOSFET das Source-, Drain- und Gate-Gebiet elektrisch kontaktiert.



**Abb. 2.19:** Schematische Darstellung vertikaler MOSFETs; a) Transistormesa strukturiert, b) Transistormesa selektiv gewachsen.

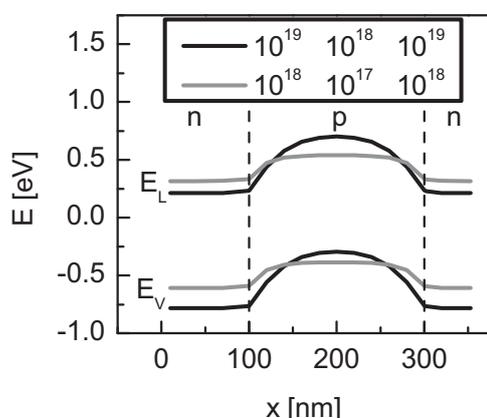
Der große Vorteil des vertikalen Konzepts liegt in der Möglichkeit der sehr einfachen Skalierung der Kanallänge. Während beim lateralen Konzept hierfür ein aufwendiger und teurer Lithographieprozess notwendig ist, lässt sich die Kanallänge vertikaler Transistoren durch die Schichtdicke einstellen. Das dadurch mögliche große  $W/L$ -Verhältnis liefert hohe Drain-Ströme. Bei der Skalierung ist jedoch zu beachten, dass bei Kanallängen unter  $2\ \mu\text{m}$  sogenannte *Kurzkanaleffekte* auftreten, die zu einem stark veränderten Bauteilverhalten führen. Eine ausführliche Behandlung der *Kurzkanaleffekte* ist in [100] zu finden.

Einen weiteren Nachteil der vertikalen MOSFETs stellt die große Überlappung der Gateelektrode mit dem Source- und Drain-Gebiet dar. Die sich hierbei ergebenden hohen Kapazitäten schließen das Bauelement für Hochfrequenzanwendungen aus. Ferner ist das Kanalgebiet des MOSFETs nicht angeschlossen. Damit treten die bereits im Kapitel 2.2.3 diskutierten floating body Effekte auf.

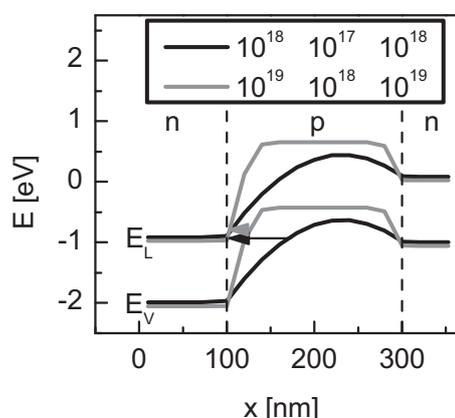


### 2.3.1 Temperaturstabile vertikale npn-MOSFETs

Das epitaktische Wachstum des Transistorstapels ermöglicht neben der exakten Definition der Kanallänge auch eine genaue Einstellung der Dotierungen. Um eine möglichst hohe Temperaturstabilität des vertikalen MOSFETs zu erzielen, müssen wie im Kapitel 2.1.2 beschrieben, hohe Dotierstoffkonzentrationen eingesetzt werden. Zur Veranschaulichung zeigt hierzu die Abbildung 2.20 simulierte Banddiagramme von zwei unterschiedlich stark dotierten MOSFETs bei 500 °C. Aus der Abbildung geht hervor, dass die Erhöhung der Gesamtdotierung um eine Dekade zu einer Verdoppelung der Barrierenhöhe des Kanalgebietes führt.



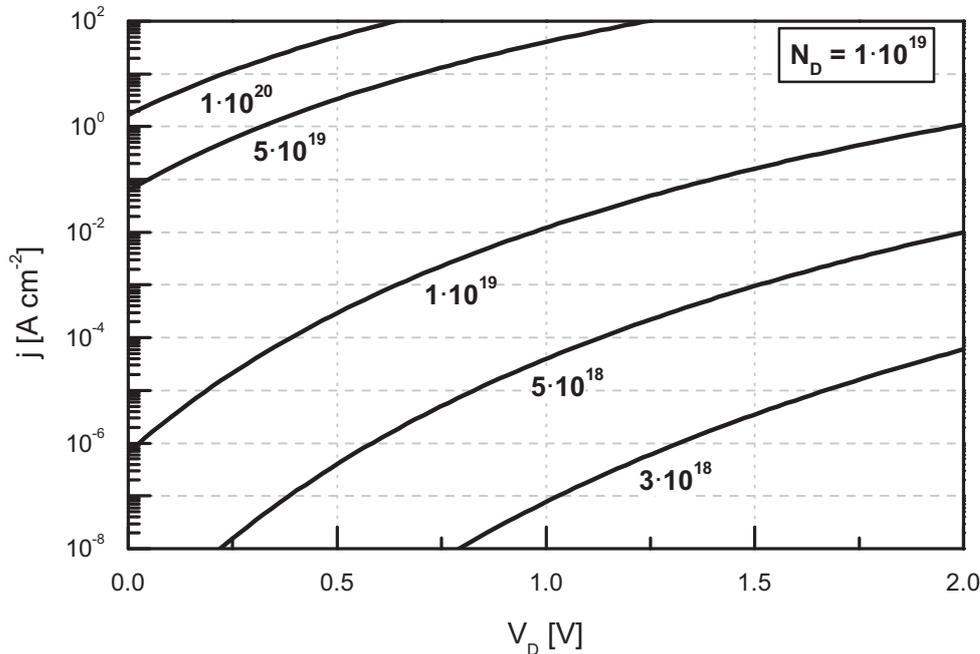
**Abb. 2.20:** Banddiagramme von zwei unterschiedlich stark dotierten npn-MOSFETs bei 500 °C.



**Abb. 2.21:** Banddiagramme von zwei unterschiedlich stark dotierten npn-MOSFETs bei angelegter Drain-Spannung.

Zugleich darf die Dotierung nicht beliebig hoch gewählt werden, da der im Kapitel 2.1.5 beschriebene *Zener*-Durchbruch auftreten kann. Getreu den in der Abbildung 2.21 dargestellten simulierten Banddiagrammen wird bei angelegter Drain-Spannung für den höher dotierten MOSFET ein deutlich kürzerer Tunnelübergang beobachtet. Die Folge ist ein höherer OFF-Strom des MOSFETs.

Bei der Einstellung der Dotierstoffkonzentration muss daher ein Kompromiss zwischen beiden Effekten gefunden werden. Ein sinnvoller Ansatz zur Abschätzung der maximal zulässigen Dotierung kann anhand der *Zener*-Tunnelstromdichte (vgl. Gleichung 2.19) erfolgen. Entsprechend der Abbildung 2.22 lässt sich die Tunnelstromdichte in Abhängigkeit von der angelegten Sperrspannung für verschiedene Kanal-Dotierungen berechnen. Für die Drain-Dotierung wird dabei eine konstante Konzentration von  $1 \cdot 10^{19} \text{ cm}^{-3}$  angenommen. Durch Gleichsetzung der Tunnelstromdichte mit der noch maximal tolerablen OFF-Stromdichte kann individuell für jeden Transistor die zulässige Dotierstoffkonzentration ermittelt werden.



**Abb. 2.22:** Tunnelstromdichte an einem pn-Übergang in Abhängigkeit von der Sperrspannung für unterschiedliche Dotierungen.

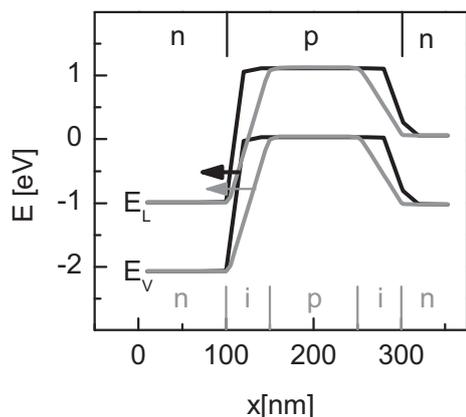
Wird beispielsweise eine Transistormesa mit einer Fläche von  $5000 \mu\text{m}^2$  betrachtet und ein maximal zulässiger OFF-Strom von  $1 \text{ nA}$  angenommen, so resultiert eine OFF-Stromdichte von  $2 \cdot 10^{-5} \text{ A/cm}^2$ . Wie sich dem in der Abbildung 2.22 dargestellten Diagramm entnehmen lässt, muss die Kanaldotierung unter  $3 \cdot 10^{18} \text{ cm}^{-3}$  liegen, um bis zu einer Drain-Spannung von  $2 \text{ V}$  unter der geforderten OFF-Strom-Grenze zu bleiben.

### 2.3.2 Temperaturstabile vertikale nipin-MOSFETs

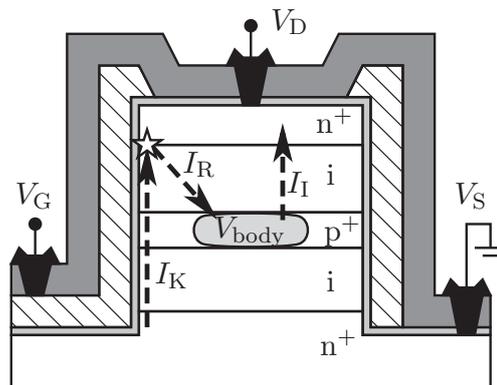
Die Ursache für den *Zener*-Durchbruch liegt in den kurzen Raumladungszonen am pn-Übergang. Um das Durchtunneln dieser zu unterdrücken, besteht die Möglichkeit, das Kanalgebiet in zwei intrinsische Zonen einzubetten. Dadurch weitet sich die Raumladungszone aus und die Tunnelwahrscheinlichkeit nimmt ab. Die Abbildung 2.23 zeigt hierzu einen Vergleich der Banddiagramme eines npn- und einen nipin-MOSFETs.

Im Hinblick auf die Temperaturfestigkeit lassen sich bei nipin-MOSFETs deutlich höhere Dotierungen wählen, ohne einen *Zener*-Durchbruch zu befürchten [1].

Der vertikale nipin-MOSFET verfügt über ein nicht angeschlossenes Kanalgebiet. Damit treten auch bei diesem Bauelement die bereits im Kapitel 2.2.3 diskutierten floating body Effekte auf. Besonders hervorzuheben ist hierbei der Kink-Effekt. Wie die Abbildung 2.24 zeigt, werden in gleicher Weise wie beim lateralen SOI-MOSFET durch Stoßionisation zunächst Ladungsträger generiert. Anschließend akkumulieren im Fall des n-Kanal-MOSFETs Löcher im Kanalgebiet und erniedrigen

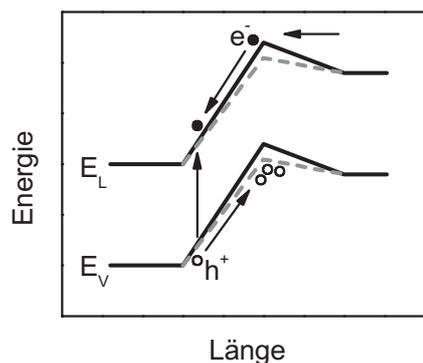


**Abb. 2.23:** Banddiagramme eines npn- und nipin-MOSFETs bei angelegter Drain-Spannung.

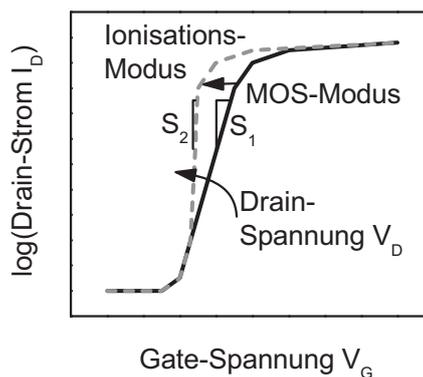


**Abb. 2.24:** Schematische Darstellung des Kink-Effekts beim vertikalen nipin-MOSFET.

die Einsatzspannung des Bauelements. Die Folge ist der namensgebende Knick in der Ausgangskennlinie. Gleichzeitig bewirkt die Erniedrigung der Einsatzspannung einen Anstieg der Steilheit im Eingangskennlinienfeld. Durch Verkürzung der p-Zone und dem damit kleineren Akkumulationsgebiet lässt sich dieser Effekt verstärken. Im Extremfall beträgt die p-Zone nur wenige Nanometer, so dass ein annähernd dreiecksförmiger Bandverlauf resultiert [3]. Wie die Abbildung 2.25 zeigt, führen die akkumulierenden Löcher zu einer starken Absenkung der Potenzial-Barriere und zu einem extrem schnellen Einschalten des Bauelements.



**Abb. 2.25:** Schematische Darstellung des Banddiagramms eines nipin-MOSFETs beim Einsetzen des Ionisationsmodus.



**Abb. 2.26:** Schematische Darstellung der Transferkennlinien eines nipin-MOSFETs im MOS- und Ionisationsmodus.

Bedingung für diesen sogenannten Ionisations-Modus ist das Überschreiten einer kritischen Drain-Spannung, die zur Stoßionisation führt. Darunter wird der Transistor im klassischen MOS-Modus betrieben. Die Abbildung 2.26 veranschaulicht hierzu die Eingangskennlinien beider Modi. Die Steilheit liegt im MOS-Modus über dem



theoretischen Wert von 60 mV/dec. Im Ionisations-Modus konnte bereits ein Wert unter 13 mV/dec nachgewiesen werden [2].

## 2.4 Vergleich der MOSFET-Konzepte

Abschließend soll ein Vergleich der in dieser Arbeit untersuchten Konzepte gegeben werden. Dazu fasst folgende Tabelle die Daten zusammen:

	lateraler MOSFET		vertikaler MOSFET	
	Si-Substrat	SOI-Substrat	nnp-Stapel	nipin-Stapel
W/L-Verhältnis	niedrig	niedrig	hoch	hoch
pn-Übergangsfläche	groß	klein	groß	groß
Kanaldotierung	niedrig	niedrig	hoch	hoch
Unterschwelsteigung	niedrig	niedrig	hoch	hoch
OFF-Strom	niedrig	niedrig	hoch	niedrig
mögliche Effekte	-	Kink GIFBE	Kurzkanal Kink GIFBE	Kurzkanal Kink GIFBE
Literaturwerte zur Temperaturstabilität				
T [°C] für $I_{ON}/I_{OFF} < 3$ dec	200 [115] 150 [98]	300 [27] 300 [35]		

**Tab. 2.1:** Vergleich der vorgestellten MOSFET-Konzepte.





## Kapitel 3

# Der Floating Gate FET Sensor

Der FGFET Sensor stellt das letzte Glied in der Entwicklungskette von MOSFET-basierten Gassensoren dar. Beginnend beim *Lundström*-Sensor [69] wurden zahlreiche Entwicklungsstufen durchlaufen, die schließlich zum FGFET Sensor führten [19, 36]. Heute hat dieser Sensortyp die Produktreife erreicht und wird in klassischer CMOS-Technologie von der Firma *Micronas* gefertigt. Der Einsatz der CMOS-Technologie bedeutet jedoch eine Beschränkung der maximalen Einsatztemperatur auf circa 200 °C. Da zahlreiche Anwendungen eine höhere Temperaturstabilität erfordern, hat *Freitag* [36] ein Konzept für eine Hochtemperatur-Variante des FGFET Sensors vorgeschlagen. Dieses Konzept wird in der vorliegenden Arbeit weiterentwickelt und durch funktionsfähige Bauelemente bestätigt.

Zu Beginn dieses Kapitels wird das Arbeitsprinzip des FGFET Sensors vorgestellt. Anschließend wird in zwei Unterkapiteln die Standard- sowie die Hochtemperatur-Variante des Sensors behandelt. Dabei werden insbesondere die notwendigen Modifikationen, die zur Steigerung der Temperaturstabilität führen, diskutiert.

### 3.1 Funktionsprinzip

Der Sensor besteht aus einem kapazitiven Spannungsteiler, an dessen Mittenabgriff das Gate eines MOSFETs angeschlossen wird. Die Abbildung 3.1 zeigt hierzu das Ersatzschaltbild.

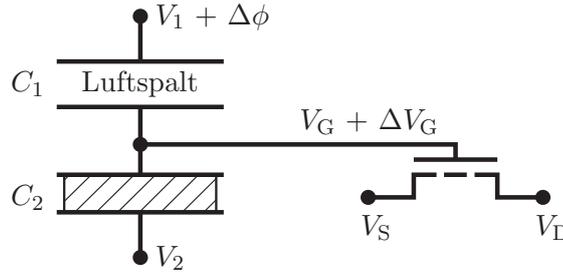


Abb. 3.1: Ersatzschaltbild eines FGFET Gassensors.

Das Dielektrikum des oberen Kondensators  $C_1$  wird durch einen Luftspalt gebildet. Ferner wird die obere Elektrode dieses Kondensators mit einer gassensitiven Schicht versehen. Wird die Schicht bestimmten Gasspezies ausgesetzt, so adsorbieren die Atome bzw. Moleküle an deren Oberfläche und verschieben das Potenzial.

Die Spannung am Mittenabgriff wird durch die Potentiale  $V_1$  und  $V_2$  bestimmt. Sie berechnet sich nach folgender Gleichung:

$$V_G = \frac{C_1 V_1 + C_2 V_2}{C_1 + C_2} \quad (3.1)$$

$V_G$ : Potenzial am Mittenabgriff / Gate-Spannung,  $C_1, C_2$ : Kapazität des oberen und unteren Kondensators,  $V_1, V_2$ : Spannung am oberen und unteren Anschluss des kapazitiven Spannungsteilers

Die zusätzliche Gasbeaufschlagung bewirkt die Verschiebung des Oberflächenpotenzials und damit eine Änderung der Spannung am Mittenabgriff:

$$\Delta V_G = \frac{C_1}{C_1 + C_2} \Delta \phi \quad (3.2)$$

$\Delta V_G$ : Änderung der Spannung am Mittenabgriff,  $\Delta \phi$ : Änderung des Oberflächenpotenzials

Das Potenzial am Mittenabgriff wird an das Gate des Auslesetransistors weitergegeben. Dessen Arbeitspunkt liegt im günstigsten Fall bei maximaler Steilheit. Dadurch führen bereits geringe Schwankungen des Oberflächenpotenzials zu einer starken Änderung des Drain-Stroms. Im aktiven Betriebsbereich des MOSFETs gilt für den Drain-Strom folgender Zusammenhang:

$$I_D = \mu_{\text{eff}} C'_{\text{Ox}} \frac{W}{L} \left[ \left( \frac{C_1 V_1 + C_2 V_2}{C_1 + C_2} + \frac{C_1}{C_1 + C_2} \Delta \phi - V_T \right) V_{\text{DS}} - \frac{1}{2} (V_{\text{DS}})^2 \right] \quad (3.3)$$

Die Ableitung des Drain-Stroms nach dem Oberflächenpotenzial entspricht der Empfindlichkeit des Sensors. Diese berechnet sich nach folgender Gleichung:

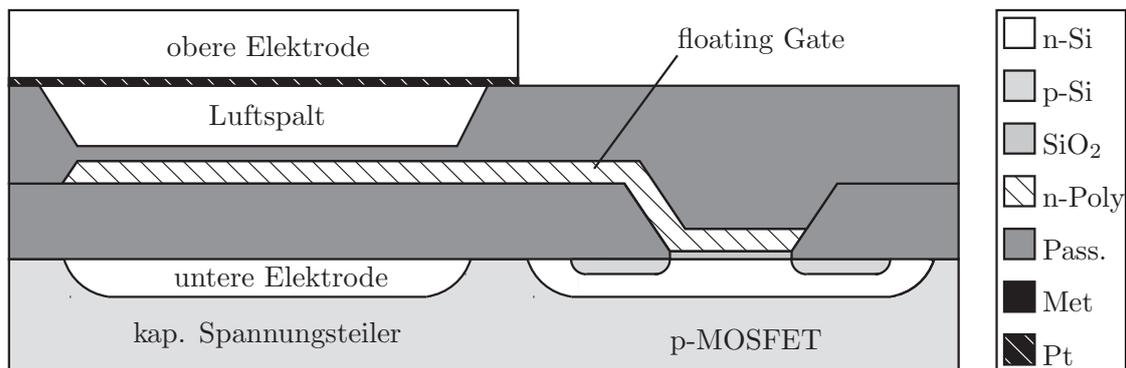
$$E = \frac{\partial I_D}{\partial \Delta \phi} = \mu_{\text{eff}} C'_{\text{Ox}} \frac{W}{L} \frac{C_1}{C_1 + C_2} V_{\text{DS}} \quad (3.4)$$

$E$ : Empfindlichkeit des Sensors

Eine einfache Möglichkeit zur Einflussnahme auf die Empfindlichkeit besteht einerseits über Geometrieparameter des Auslesetransistors und andererseits über das Verhältnis der Kapazitäten im Spannungsteiler.

## 3.2 Standard FGFET Sensor

Die Standardvariante des FGFET Sensors wird in klassischer CMOS-Technologie gefertigt. Die Abbildung 3.2 zeigt schematisch den Querschnitt des bei der Firma *Micronas* hergestellten Sensors.



**Abb. 3.2:** Schematische Darstellung des Standard FGFET Gassensors.

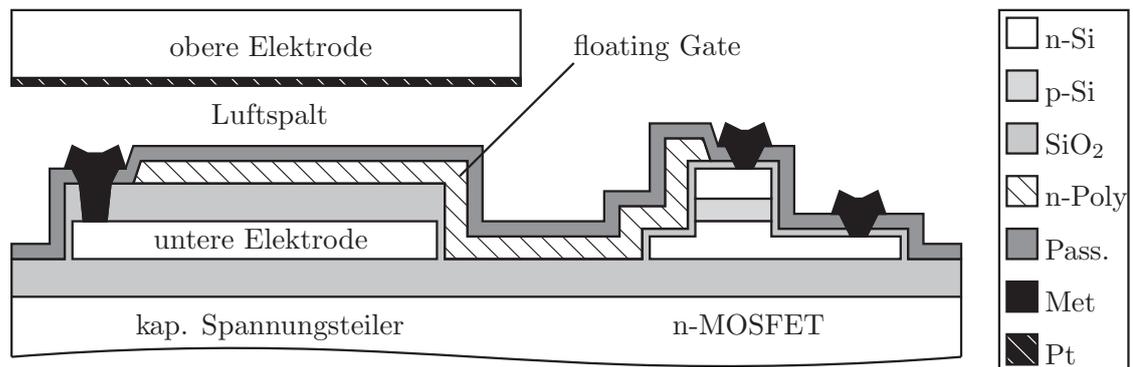
Entsprechend dem in vorhergehenden Unterkapitel gezeigten Ersatzschaltbild besteht der Sensor aus einem kapazitiven Spannungsteiler und einem Auslesetransistor. Der untere Kondensator nutzt ein Dickoxid als Dielektrikum und eine implantierte Wanne als untere Elektrode. Der Mittenabgriff wird durch eine dotierte Poly-Siliziumschicht gebildet, die über dem Kanal des Auslesetransistors endet. Der Luftspalt des oberen Kondensators entsteht durch eine Vertiefung in der Passivierung. Über der Absenkung wird am Prozessende die Gegenelektrode durch einen Flip-Chip-Bondprozess positioniert. Diese trägt auf der Unterseite die gassensitive Schicht. Bei dem Auslesetransistor handelt es sich um einen lateralen p-MOSFET, der in eine n-Wanne eingebettet wird. Das  $W/L$ -Verhältnis des Transistors beträgt  $8 \mu\text{m}$  zu  $2.4 \mu\text{m}$  [77]. Dem Auslesetransistor ist ein hier nicht eingezeichneter Differenzverstärker nachgeschaltet. Zudem beinhaltet der Chip ein Heizelement samt zugehöriger Temperaturregelung. Dadurch ergeben sich weitere Betriebsmodi für den Sensor [93].

### 3.3 Hochtemperatur-FGFET Sensor

Die Hochtemperatur-Variante des FGFET Sensors soll Temperaturen bis über 300 °C standhalten, was zwei wesentliche Vorteile gegenüber der Standard-Variante mit sich bringt:

- Bei zahlreichen Spezialanwendungen, wie z. B. Verbrennungsmotoren oder in der Erdölförderung, müssen Gassensoren bei Umgebungstemperaturen über 200 °C betrieben werden. Für diese Anwendungen stellt der Hochtemperatur FGFET Sensor eine kostengünstige und energieeffiziente Lösung dar.
- Die Adsorption der Gasteilchen auf der Schichtoberfläche zeigt eine starke Abhängigkeit von der Temperatur. Eine höhere Betriebstemperatur begünstigt die Oberflächenreaktionen, was den Einsatz neuer sensitiver Materialien ermöglicht. Folglich kann das Spektrum an detektierbaren Gasen erweitert werden.

Eine schematische Darstellung des Hochtemperatur-FGFET zeigt die Abbildung 3.3



**Abb. 3.3:** Schematische Darstellung des FGFET Gassensors für Hochtemperaturanwendungen.

Die wesentlichen Unterschiede zwischen der Standard- und der Hochtemperatur-Variante des FGFETs liegen zum einen in der Verwendung eines SOI-Substrates und zum anderen im vertikalen Aufbau des Auslesetransistors. Das SOI-Substrat ermöglicht die im Kapitel 2.2.3 beschriebene dielektrische Isolation. Damit gelingt die vollständige Unterdrückung der Bulk-Leckströme bei gleichzeitigem Verzicht auf die Elektroden- und Transistorwanne. Beide Wannen führen beim Standard-FGFET zu einem mit der Temperatur stark ansteigenden Leckstrom und damit zum Ausfall des Sensors. Ein weiterer Unterschied zur Standardvariante besteht im Einsatz eines vertikalen Auslesetransistors. Wie bereits im Kapitel 2.3.1 beschrieben, lassen sich mit dem vertikalen Konzept sehr einfach temperaturstabile Bauelemente herstellen. Ferner kann beim vertikalen MOSFET ein hohes W/L-Verhältnis erzielt werden. Entsprechend der Gleichung 3.4, steigert dies die Empfindlichkeit des Sensors erheblich.



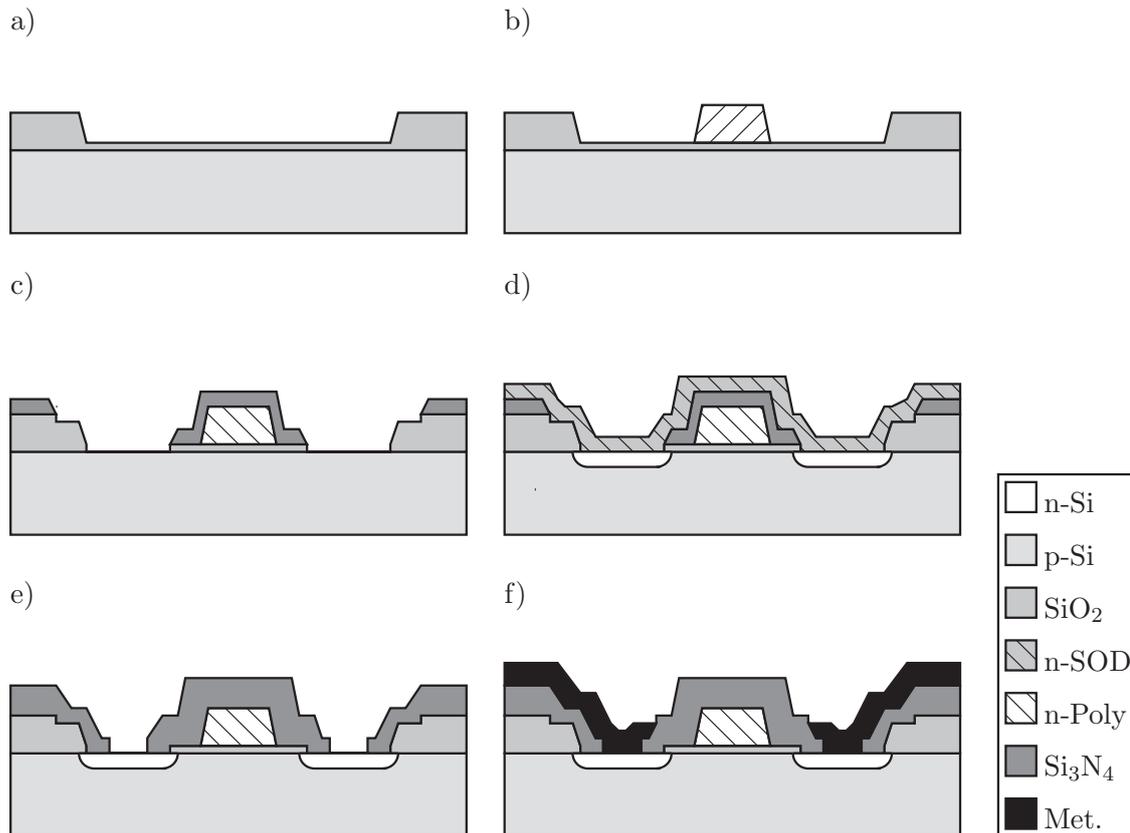
## Kapitel 4

# Aufbau des lateralen MOSFETs, des vertikalen MOSFETs und des Hochtemperatur-FGFET Sensors

In diesem Kapitel werden die prinzipiellen Prozessabläufe der in dieser Arbeit hergestellten Bauelemente beschreiben. In schematischen Darstellungen wird schrittweise der Aufbau des lateralen MOSFETs, des vertikalen MOSFETs sowie eines Hochtemperatur-FGFET Sensors vorgestellt. Die Herstellung des vertikalen Transistors wird anhand eines n<sub>in</sub>-MOSFETs erläutert. Der Aufbau des vertikalen npn-MOSFETs unterscheidet sich lediglich im Schichtstapel, sodass eine explizite Beschreibung nicht notwendig ist.

## 4.1 Lateraler Transistor

Zur Herstellung der lateralen MOSFETs wird die Poly-Silizium-Gate-Technologie eingesetzt. Die Abbildung 4.1 zeigt schematisch den Prozessablauf eines lateralen n-Kanal MOSFETs.



**Abb. 4.1:** Schematischer Prozessablauf des lateralen MOSFETs.

Ausgehend von einem niedrig dotierten p-Substrat wird zunächst ein Feldoxid (FOX) gewachsen und nasschemisch strukturiert. Die geöffneten Fenster definieren die aktiven Bereiche der Transistoren. Es folgt das Wachstum des Gateoxides (GOX) (a) und die Abscheidung einer hoch dotierten Poly-Siliziumschicht. Mit der Strukturierung des Poly-Siliziums wird die Kanallänge der Transistoren festgelegt (b). Im nächsten Schritt erfolgt die Dotierung der Drain- und Source-Gebiete. Üblicherweise wird hierfür die Ionenimplantation verwendet. Im Rahmen dieser Arbeit kommt jedoch die Diffusion durch Spin On Dopants (SOD) zum Einsatz. Dazu wird zunächst eine Diffusionsmaske abgeschieden und strukturiert (c). Nach Abscheidung der SOD-Schicht dient ein Diffusionsprozess zum Eintrieb des Dotierstoffes (d). Im Anschluss wird die SOD-Schicht entfernt und eine Passivierung aufgebracht. Abschließend folgt nach der Kontaktlochoffnung (e) die Metallisierung und deren Strukturierung (f).



Der Aufbau des MOSFETs auf SOI-Substraten unterscheidet sich lediglich im ersten Prozessschritt. Die Transistorinseln werden in dieser Arbeit durch eine nasschemische Strukturierung des Device-Layers definiert. Die Abbildung 4.2 zeigt hierzu einen vollständig prozessierten n-Kanal SOI-MOSFET.

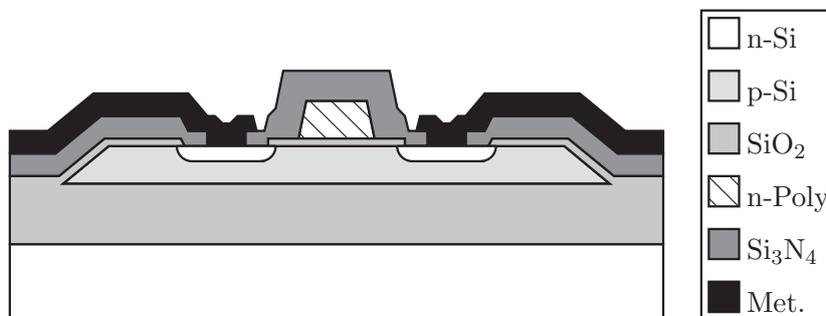


Abb. 4.2: Lateraler MOSFET auf einem SOI-Substrat.

## 4.2 Vertikaler Transistor

Die Abbildung 4.3 stellt den Prozessablauf zur Herstellung eines vertikalen n<sub>in</sub>-MOSFETs dar.

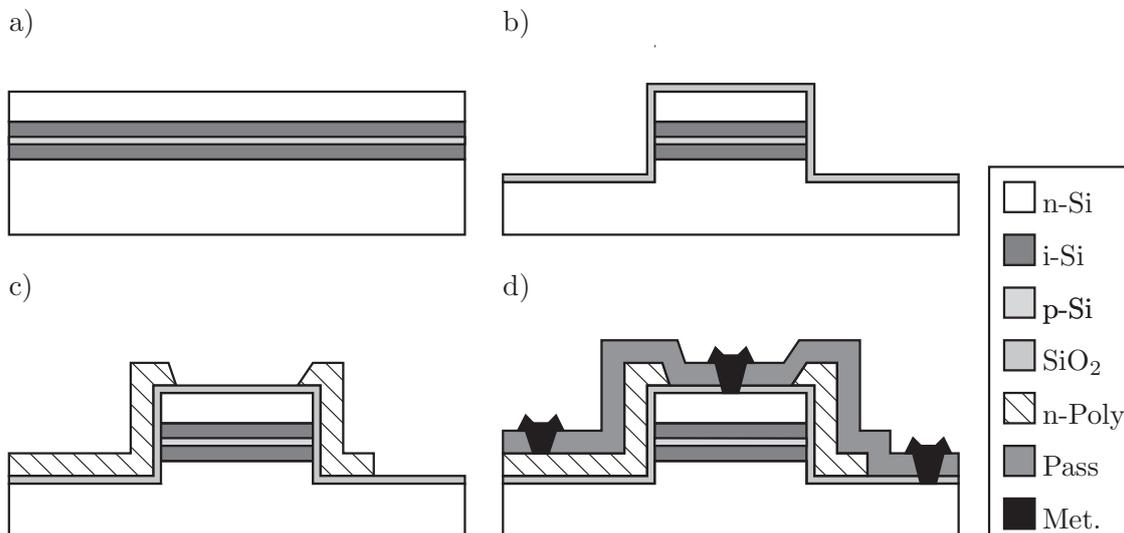


Abb. 4.3: Schematischer Prozessablauf des vertikalen n<sub>in</sub>-MOSFETs.

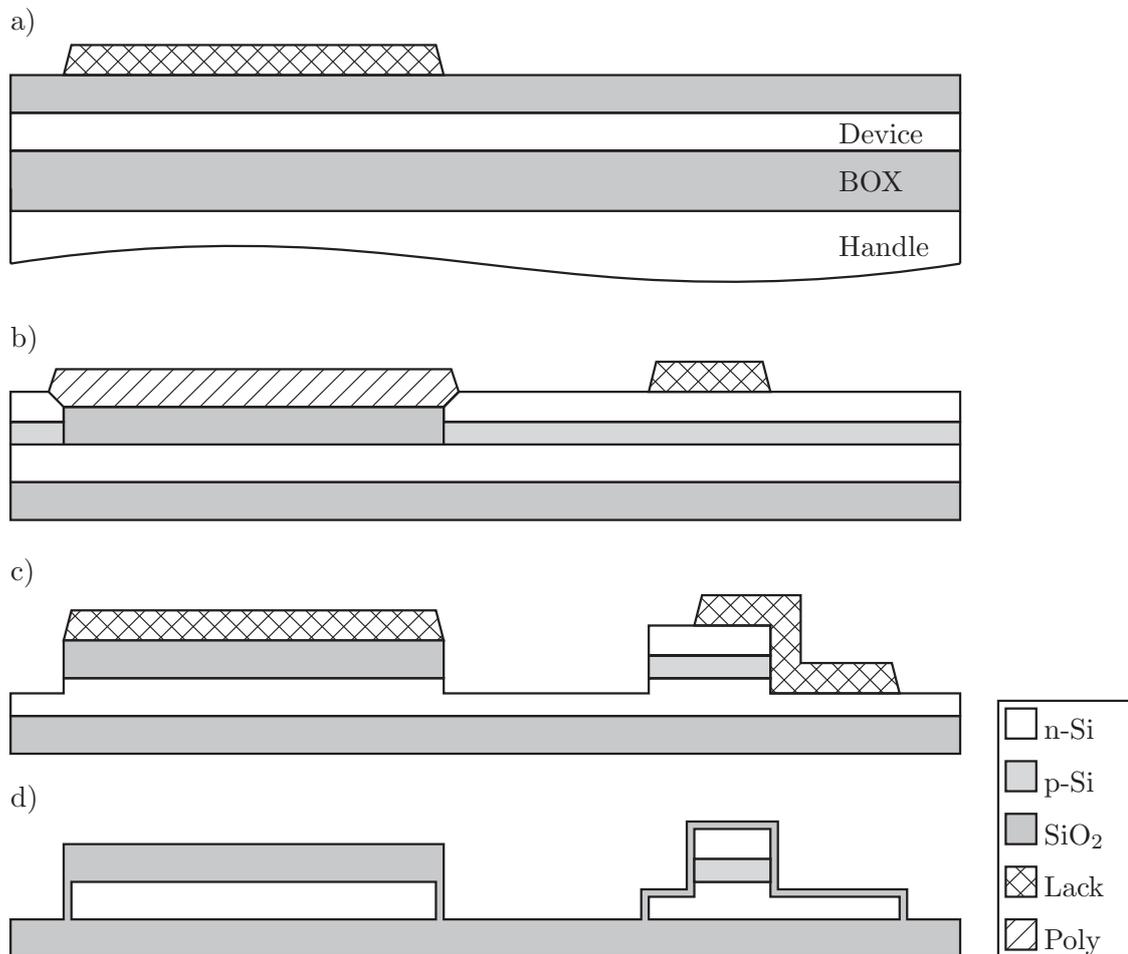
Auf einem hoch dotierten n-Substrat wird zunächst der n<sub>in</sub>-Schichtstapel abgeschieden (a). Anschließend dient ein trockenchemischer Ätzprozess zur Strukturierung der Mesa. Nachfolgend wird das Gatedielektrikum aufgewachsen bzw. abgeschieden (b). Es folgt die Abscheidung und Strukturierung des Poly-Silizium-Gates (c) sowie das Überwachsen der Struktur mit einer Passivierungsschicht. Nach der Öffnung der Kontaktlöcher sorgt die strukturierte Metallisierung für die elektrischen Anschlüsse (d).

## 4.3 Hochtemperatur-FGFET Gassensor

Der FGFET besteht aus dem Transducer und der oberen Elektrode. Beide Komponenten werden separat prozessiert und anschließend durch einen Flip-Chip-Bondprozess zum Sensor zusammengefügt. Im Folgenden werden die Prozessabläufe zur Herstellung beider Sensorkomponenten vorgestellt.

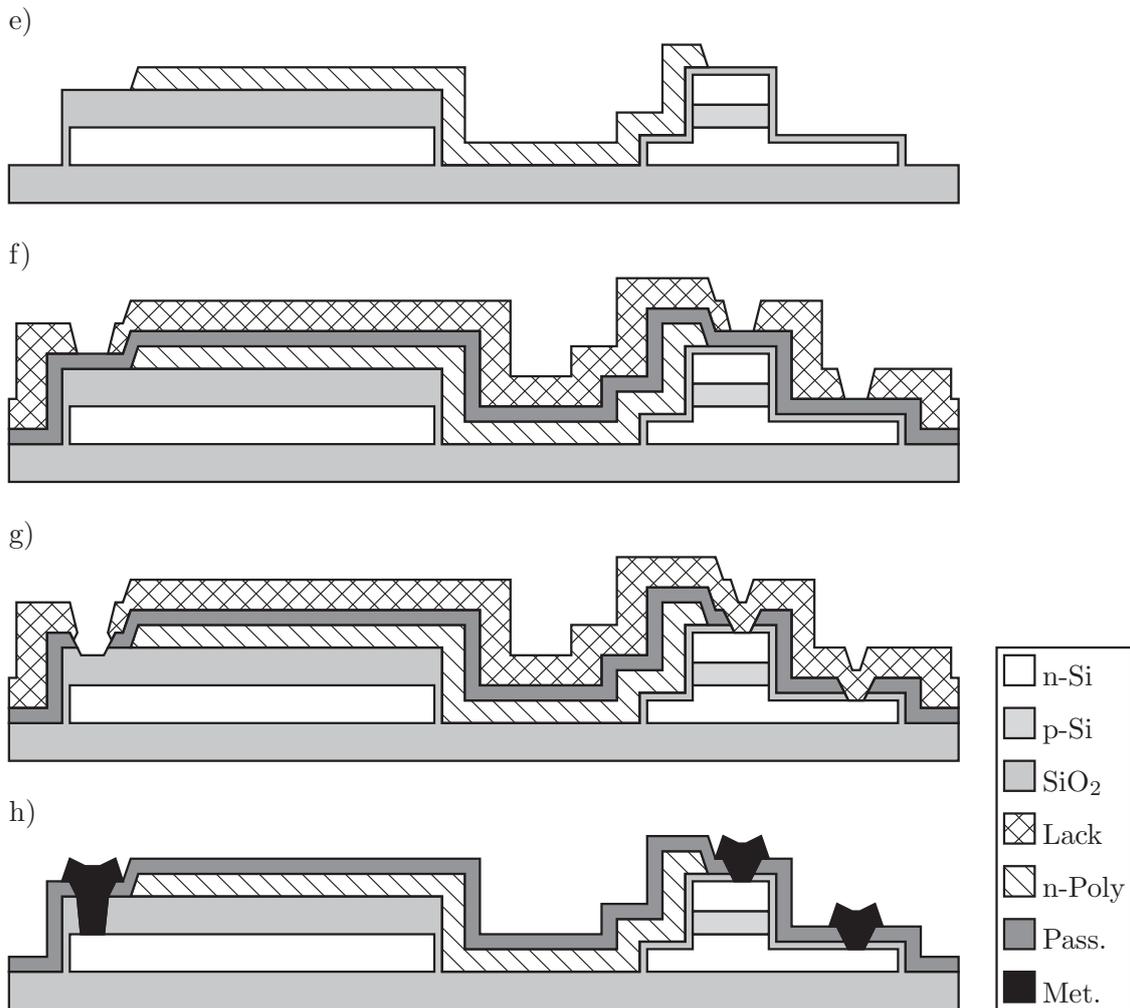
### 4.3.1 Transducer

Der Transducer stellt das Kernstück des Sensors dar. Er beinhaltet den Auslese-transistor und die untere Hälfte des kapazitiven Spannungsteilers. Der Ablauf zur Herstellung wird in der Abbildung 4.4 und 4.5 vorgestellt.



**Abb. 4.4:** Schematischer Prozessablauf des FGFET Transducers (Teil 1).

Der Aufbau des Transducers erfolgt auf einem SOI-Substrat, was die dielektrische Isolation der Bauelemente ermöglicht. Der Prozess beginnt mit dem Wachstum bzw. mit der Abscheidung eines Siliziumoxids auf dem n-dotierten Device-Layer. Mit der Strukturierung des Oxids wird das Dielektrikum des untereren Kondensators de-



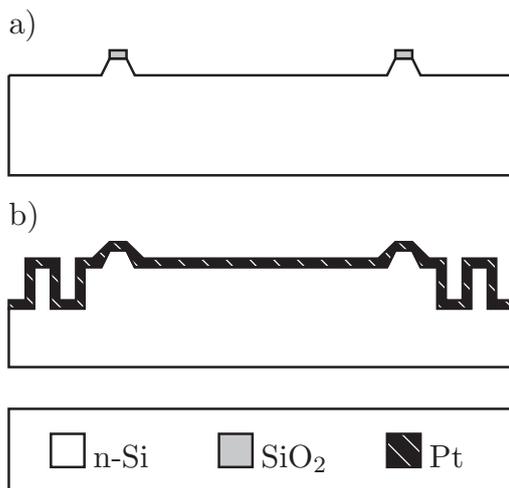
**Abb. 4.5:** Schematischer Prozessablauf des FGFET Transducers (Teil 2).

finiert (a). Anschließend erfolgt mithilfe der Gasphasenabscheidung der Aufbau des Transistorschichtstapels. Dieser besteht aus dem p-dotierten Kanal und der n-dotierten Deckschicht. Während des nichtselektiven Abscheidungsprozesses bildet sich auf dem Oxid eine Poly-Siliziumschicht aus (b). Es folgen zwei trockenchemische Ätzprozesse. Dabei dient der Erste zur Strukturierung der Mesa (c) und der Zweite zur Freistellung der Bauelemente. Eine Maskierung des Dielektrikums liegt lediglich im zweiten Ätzschritt vor, sodass die Polysilizium-Schicht während der ersten Ätzung vollständig abgetragen wird. Nach der Mesaätzung und Freistellung wird der Prozess mit dem Wachstum des Gateoxides (d) und der Abscheidung einer n-dotierten Poly-Siliziumschicht fortgesetzt. Mit der nasschemischen Strukturierung des Poly-Siliziums wird die Gate-Elektrode bzw. der Mittenabgriff des kapazitiven Spannungsteilers (e) definiert. Die anschließend abgeschiedene Passivierung wird entweder durch eine Oxid- oder Nitrid-Schicht realisiert. Die Kontaktlochoffnung erfolgt in zwei Schritten. Dabei werden zunächst die Anschlüsse des MOSFETs freigelegt (f). Anschließend folgt nach einem weiteren Lithographieprozess die Kontaktlochoffnung des Elektrodenanschlusses. Diese Aufteilung der Ätzprozesse ist auf-

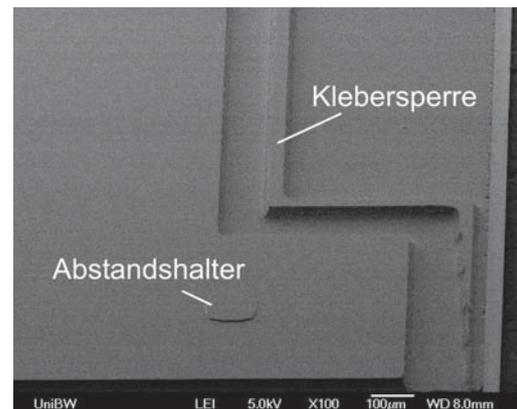
grund der unterschiedlichen Schichtdicken der Oxide notwendig. Abschließend wird die Metallisierung abgeschieden und strukturiert (h).

### 4.3.2 Obere Elektrode

Der schematische Prozessablauf zur Herstellung der oberen Elektrode wird in der Abbildung 4.6 dargestellt. Als Substrat dient ein hoch dotierter Siliziumwafer auf dem zunächst ein Oxid gewachsen wird. Nach der Strukturierung dient das Oxid als Maske zur Übertragung von Abstandhaltern ins Substrat (a). Deren Höhe definiert die Luftspaltbreite des oberen Kondensators. Mithilfe eines anschließenden Ätzprozesses werden am Chiprand Vertiefungen gesetzt. Diese dienen zur Aufnahme des Klebers beim Flip-Chip-Bondprozess. Eine zusätzliche Klebersperre verhindert das Eindringen des Klebers in den Luftspalt. Abschließend werden die Chips vereinzelt und die sensitive Schicht aufgebracht (b). Die Abbildung 4.7 zeigt einen Ausschnitt einer vollständig prozessierten Elektrode.



**Abb. 4.6:** Schematischer Prozessablauf der oberen Elektrode.



**Abb. 4.7:** Elektronenmikroskopische Aufnahme der oberen Elektrode.

### 4.3.3 Layout des Transducer-Chips

Auf jedem Transducer-Chip werden insgesamt vier Sensoren integriert. Das entsprechende Layout zeigt die Abbildung 4.8. Neben den Sensoren beinhaltet jeder Transducer-Chip zwei Referenztransistoren. Diese verfügen über ein ansteuerbares Gate, was die Charakterisierung der vertikalen MOSFETs ermöglicht. Die obere Elektrode wird so positioniert, dass alle vier Sensoren bedeckt werden. Die Abstandhalter kommen dabei auf hierfür vorgesehene Flächen zum liegen. Die elektrischen Anschlüsse aller Bauelemente werden zu Kontaktflächen am unteren Chiprand geführt. Um die kapazitiven Spannungsteiler wird ein zusätzlicher Guardring angeordnet. Dieser dient zur Unterdrückung von Oberflächenleckströmen [19].

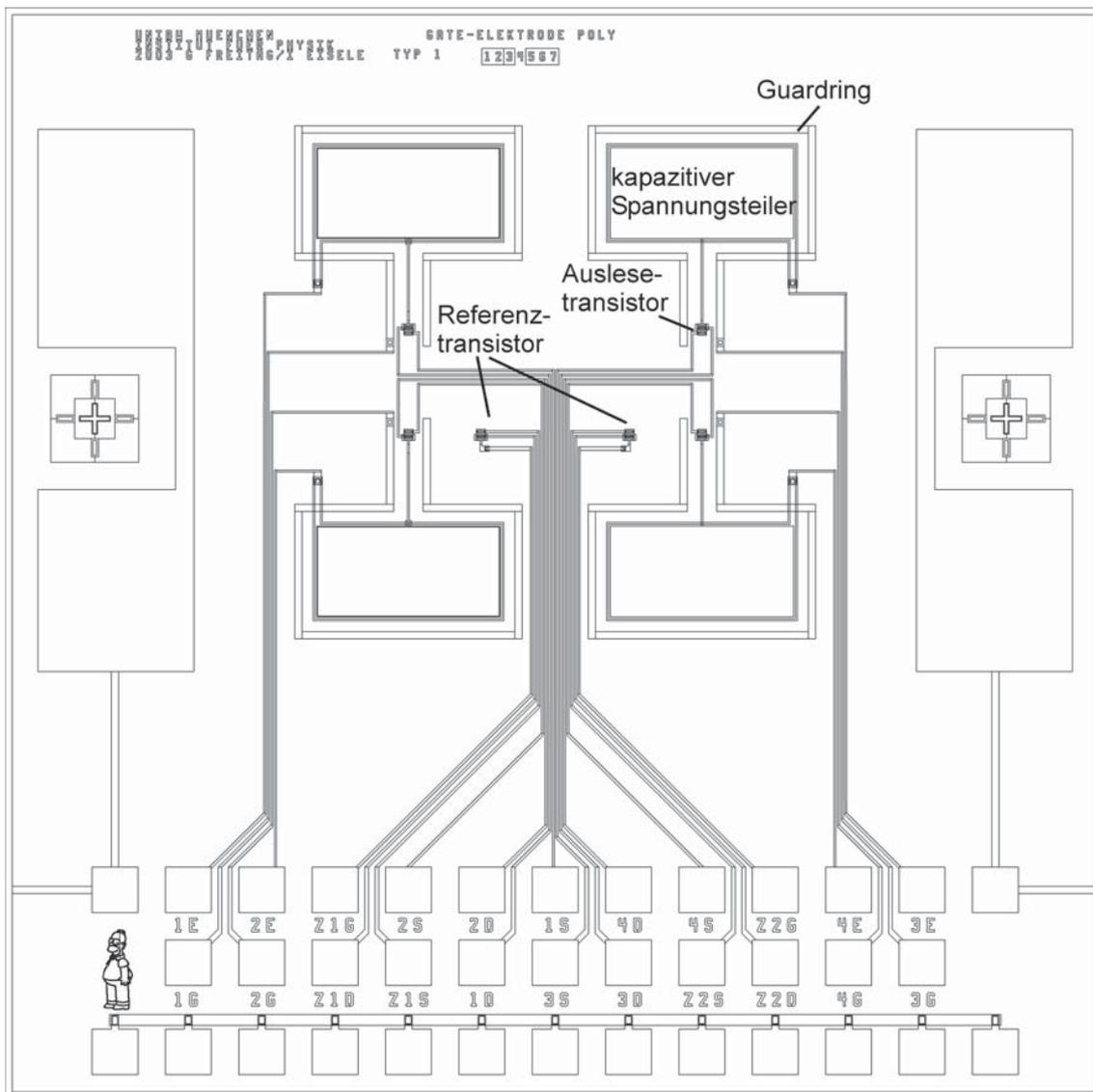


Abb. 4.8: Chip-Layout des FGFET-Transducers.





# Kapitel 5

## Grundlagen der Halbleitertechnologie

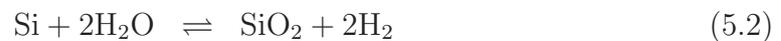
Dieses Kapitel befasst sich mit den grundlegenden Prozesstechnologien zur Herstellung der Bauelemente. Dabei wird neben den Verfahren auch die Anlagentechnik behandelt. Einzelne Aspekte, die eine besondere Relevanz für die im nächsten Kapitel vorgestellte Prozessentwicklung haben, werden detaillierter diskutiert. Zu vielen Technologien bestehen am Institut bereits evaluierte Prozesse, auf die ebenfalls verwiesen wird.

Die Prozesstechnologien sind thematisch gegliedert, beginnend mit der thermischen Oxidation. Es folgt ein Abschnitt zur Gasphasenabscheidung von Silizium, in dem sowohl das einkristalline als auch das polykristalline Wachstum vorgestellt werden. Die beiden anschließenden Unterkapitel behandeln die Abscheidung von dielektrischen Schichten sowie von Metallisierungen. Nachfolgend wird die Diffusion beschrieben, die ausschließlich in der vorliegenden Arbeit für den Aufbau lateraler Transistoren dient. Ein für die Herstellung aller Bauelemente essentieller Prozessschritt ist die im Anschluss beschriebene Lithographie. Zuletzt wird die Ätztechnik sowie die nasschemische Reinigung erläutert.

## 5.1 Thermische Oxidation

Die leichte Oxidierbarkeit von Silizium trug entscheidend zur Durchsetzung der Planartechnologie bei. Das dabei gewonnene Siliziumdioxid ( $\text{SiO}_2$ ) findet vielerlei Anwendung. So wird es für Funktionsschichten wie Gateoxide oder für Hilfsschichten wie „hard masks“ eingesetzt.

Für die thermische Oxidation werden zwei Prozesse unterschieden. Je nachdem ob Sauerstoff oder Wasserdampf als Oxidationsmittel fungiert, wird von der trockenen oder feuchten Oxidation gesprochen. Die Reaktionsgleichungen lauten:



Zu Beginn des Oxidationsprozesses werden zunächst die frei liegenden Siliziumatome oxidiert. Sobald sich jedoch eine geschlossene  $\text{SiO}_2$ -Schicht ausgebildet hat, müssen der Sauerstoff oder das Wasser durch das Oxid zur Grenzfläche diffundieren. An der Grenzfläche werden laufend Siliziumatome vom Oxidanten konsumiert. Dadurch verschiebt sich die Grenzfläche zunehmend ins Substrat. Das Verhältnis von umgewandelter Siliziumschicht zur Oxiddicke liegt bei 0.4 [85].

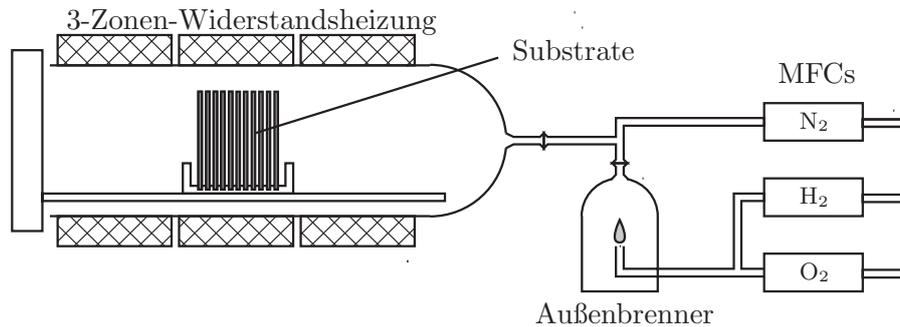
Der Oxidationsprozess ist diffusionsbegrenzt. Die kleineren Wassermoleküle diffundieren bei gleicher Temperatur wesentlich schneller durch das Oxid und führen zu einer etwa 10-fach höheren Oxidationsgeschwindigkeit. Trockenoxide wachsen zwar langsamer, verfügen jedoch über bessere elektrische Durchbruch- und Leckstromeigenschaften.

Die mathematische Beschreibung der Wachstumsdynamik gelang *Deal* und *Grove* bereits in den 60er Jahren. Eine ausführliche Behandlung ist in [44] zu finden.

### 5.1.1 Ofenprozesse und Rapid Thermal Oxidation (RTO)

Die gängigen widerstandsgeheizten Oxidationsöfen bestehen aus einem horizontal angeordneten Quarzglasrohr, in dem die Substrate vertikal positioniert werden. Um das Quarzglasrohr ist eine Mehrzonenheizung angeordnet, die eine Temperatureinstellung bis zu 1100 °C ermöglicht. Im Leerlauf-Betrieb wird der Ofen bei 600 °C gehalten und laufend mit Stickstoff gespült. Während des Oxidationsprozesses werden Sauerstoff oder Wasserdampf bei Atmosphärendruck eingeleitet. Um einen höheren Reinheitsgrad zu erzielen, wird der Wasserdampf aus der Verbrennung von Wasserstoff in einem Vorbrenner gewonnen. Die Abbildung 5.1 zeigt den schematischen Aufbau eines Rohrofens.

Der entscheidende Nachteil widerstandsgeheizter Oxidationsöfen liegt in den langen Zeitkonstanten der Aufheiz- und Abkühlphasen, die insbesondere bei kurzen Oxidationsprozessen große thermische Budgets darstellen. Scharfe Dotierprofile, wie sie von vielen modernen Bauteilen gefordert werden, lassen sich aufgrund der starken Diffusion von Dotierstoffen nicht realisieren.



**Abb. 5.1:** Schematische Darstellung eines widerstandsgeheizten Rohrofens (MFC: mass flow controller, Massendurchflussregler).

Alternativ hat sich daher die Rapid Thermal Oxidation (RTO) etabliert. Im Gegensatz zu den widerstandsgeheizten Öfen, bei denen die Substrate primär durch infrarote Wärmestrahlung geheizt werden, kommt in diesem Fall sichtbares Licht von Halogenlampen zum Einsatz. Das Spektrum des sichtbaren Lichts wird deutlich stärker vom Silizium absorbiert und ermöglicht eine effiziente Aufheizung der Substrate. Moderne RTO-Anlagen ermöglichen Aufheizraten von bis zu  $250\text{ }^{\circ}\text{C/s}$ . Die dadurch resultierende Verkürzung der Prozesszeit auf wenige Sekunden steht jedoch dem Nachteil des Einzelscheibenprozesses gegenüber.

Alternativ eignen sich diese Anlagen auch für Temper- und Ausheilprozesse in Stickstoff-Atmosphäre. Bei diesem sogenannten Rapid Thermal Annealing (RTA) wird ebenfalls der Vorteil der kurzen Aufheiz- und Abkühlzeiten zur Minimierung der Diffusion genutzt.

Im Rahmen dieser Arbeit wird ein Rohrofen der Firma *Inotherm*, eine RTP-Anlage der Firma *Mattson* und eine RTA-Anlage der Firma *ATV* verwendet.

### 5.1.2 Oxidation von dotierten Siliziumschichten

Die stete Umsetzung von Silizium während der thermischen Oxidation entspricht dem Abtrag einer definierten Schicht. Die in dieser Schicht enthaltenen Dotierstoffe werden gemäß deren Löslichkeit ins Substrat und Oxid eingebaut. Das Verhältnis aus der Löslichkeit des Dotierstoffes im Silizium zur Löslichkeit des Dotierstoffes im Oxid wird als Segregationskoeffizient  $k$  bezeichnet. Aus diesem ergibt sich für sich für  $k < 1$  eine Abreicherung und für  $k > 1$  eine Anreicherung des Dotierstoffes im Substrat. Nach *Grove* [45] haben die n-Dotanden Phosphor, Antimon und Arsen einen Koeffizienten von  $k = 10$ . Dagegen ergibt sich für den Donator Bor  $k = 0.3$ .

Insbesondere mehrfach durchgeführte Oxidationen führen bei n-Substraten zu einem moderaten Anstieg der Dotierstoffkonzentration im oberflächennahen Bereich (vgl. Kapitel 6.1). Übersteigt im Grenzfall die Konzentration sogar die Löslichkeit im Silizium, kann es zur Ausscheidung des Dotierstoffes an der Grenzfläche kommen. Nach dem Abtrag des Oxides weist die Oberfläche eine erhöhte Rauigkeit auf [87].

## 5.2 Gasphasenabscheidung von Silizium

Das wichtigste Verfahren zur Abscheidung dünner Siliziumschichten in der Halbleitertechnologie ist die Gasphasenabscheidung. Gebräuchlich ist hierbei die englische Bezeichnung Chemical Vapour Deposition (CVD). Je nach Struktur der abgeschiedenen Schicht wird zwischen der epitaktischen und nichtepitaktischen Abscheidung unterschieden. Das epitaktische bzw. einkristalline Wachstum erfolgt ausschließlich auf einkristallinen Substraten. Im Gegensatz dazu stellt das nichtepitaktische Wachstum, zu dem amorphe und polykristalline Schichten zählen, keine Bedingung an die Struktur des Substrates.

### 5.2.1 Der Abscheidungsprozess aus der Gasphase

Der CVD-Prozess beruht auf einer chemischen Reaktion, bei der gasförmige Reaktionsmoleküle unter Abspaltung flüchtiger Komponenten eine Schicht ausbilden. Hierzu werden die Reaktionsmoleküle über die Oberfläche des beheizten Substrates geleitet. Aufgrund von Reibung reduziert sich der Gasfluss über dem Substrat. Dieser Bereich wird als Abscheidezone bezeichnet. Der Abscheidungsprozess läuft in fünf Teilschritten ab, die in Abbildung 5.2 dargestellt werden [52].

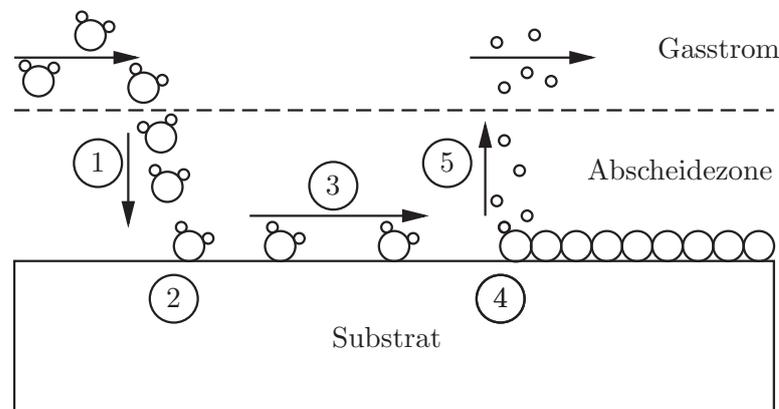


Abb. 5.2: CVD-Prozess.

1. Diffusion der Reaktionsmoleküle aus dem Gasstrom durch die Abscheidezone zur Substratoberfläche.
2. Physisorption der Reaktionsmoleküle an der Oberfläche
3. Diffusion der Reaktionsmoleküle entlang der Oberfläche
4. Chemisorption der Reaktionsmoleküle unter Abspaltung von Nebenprodukten
5. Diffusion der Nebenprodukte durch die Abscheidezone zum Gasstrom

Die Teilprozesse 1. und 5. beschreiben den Gastransport und die Teilprozesse 2. bis 4. die Diffusion und Reaktion an der Oberfläche. Abhängig von den Prozessparametern dominiert die eine oder die andere Prozessgruppe.

Für ein einfaches Modell wird näherungsweise eine direkte Reaktion bei Oberflächenkontakt, sowie ein absolut ungestörter Abtransport der Nebenprodukte angenommen. Diese Vereinfachung beschreibt einkomponentige Quellsubstanzen, die an der Oberfläche katalytisch dissoziieren (z.B. Silan,  $\text{SiH}_4$ ). Der Gesamtprozess reduziert sich damit auf die Teilschritte 1. und 4. Für die Teilchenströme aus dem Gasstrom  $j_G$  sowie der Oberflächenreaktion  $j_S$  ergeben sich folgende Gleichungen:

$$j_G = h_G(c_G - c_S) \quad (5.3)$$

$$j_S = k_S c_S \quad (5.4)$$

$h_G$ : Transportkoeffizient der Reaktanden,  $k_S$ : Reaktionskoeffizient der Zersetzung,  $c_G$ : Konzentration der Quellsubstanz im Gasstrom,  $c_S$ : Konzentration der Quellsubstanz über der Substratoberfläche

Im Gleichgewichtszustand  $j = j_G = j_S$  ergibt sich für den Teilchenstrom  $j$  folgender Zusammenhang:

$$j = \frac{k_S h_G}{h_G + k_S} c_G \quad (5.5)$$

Die Wachstumsrate  $r$  der Schicht entspricht dem Quotienten aus Teilchenstrom und Teilchendichte  $N$  ( $N = 5 \cdot 10^{22} \text{ cm}^{-3}$  für einkristallines Silizium). Für die Wachstumsrate gilt dann:

$$r = \frac{j}{N} = \frac{k_S h_G}{h_G + k_S} \frac{c_G}{N} \quad (5.6)$$

Aus der Struktur der Gleichung wird ersichtlich, dass die Wachstumsrate entweder durch den Transport- oder durch den Reaktionsprozess begrenzt wird. Dabei bestimmt der langsamer ablaufende Prozess die Abscheidegeschwindigkeit. Es ergeben sich zwei unterschiedliche Fälle:

- Reaktionsbegrenztes Wachstum  $h_G \gg k_S$

In diesem Fall diffundieren die Reaktanden durch die Abscheidezone sehr rasch. Der Partialdruck der Quellsubstanz kann im gesamten Reaktor als konstant angenommen werden. Für die Wachstumsrate des reaktionsbegrenzten Abscheidung  $r_r$  gilt folgende Gleichung:

$$r_r = \frac{c_G}{N} k_S = \frac{c_G}{N} k_0 \exp\left(-\frac{E_a}{k_b T}\right) \sim \exp\left(-\frac{E_a}{k_b T}\right) \quad (5.7)$$

$E_a$ : reaktionstypische Aktivierungsenergie

Die Temperaturabhängigkeit der Reaktionskoeffizienten wird durch das Arrheniusgesetz beschrieben. Die exponentielle Abhängigkeit weist auf eine stark temperatursensitive Wachstumsrate hin.

- Transportbegrenztes Wachstum  $h_G \ll k_S$   
Bei Prozessen dieser Art verläuft die Oberflächenreaktion wesentlich schneller als der Transport der Reaktanden. Die Wachstumsrate  $r_t$  dieser Prozesse wird durch folgende Gleichung beschrieben:

$$\begin{aligned} r_t = \frac{c_G}{N} h_G &= \frac{c_G}{N} \cdot \frac{1}{3} \cdot \bar{v}_{th} \cdot \lambda \\ &= \frac{1}{N} \frac{p_G}{k_b T} \cdot \frac{1}{3} \cdot \sqrt{\frac{8RT}{\pi M}} \cdot \frac{RT}{\sqrt{2\pi} D^2 N_A p_{ges}} \sim \frac{\sqrt{T}}{p_{ges}} \end{aligned} \quad (5.8)$$

$\bar{v}_{th}$ : mittlere Geschwindigkeit,  $\lambda$ : mittlere freie Weglänge,  $R$ : universelle Gaskonstante,  $T$ : Prozesstemperatur,  $M$ : molare Masse des Reaktanden,  $D$ : Durchmesser der Moleküle,  $N_A$ : Avogadro-Konstante,  $p_G$ : Partialdruck des Reaktanden,  $p_{ges}$ : Gesamtdruck im Reaktor

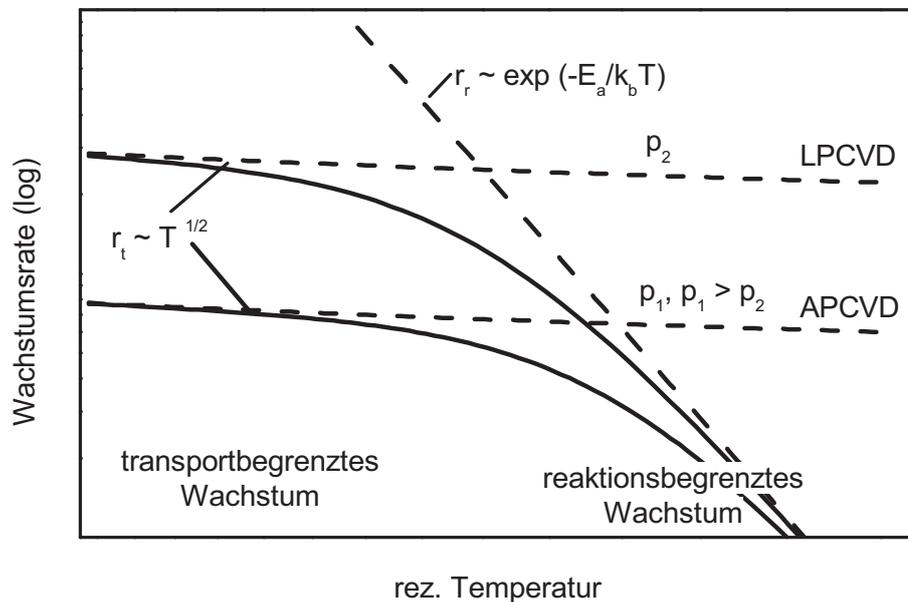
Der Transportkoeffizient leitet sich aus der Gaskinetik ab und kann durch die mittlere Geschwindigkeit und die mittlere freie Weglänge ausgedrückt werden. Die resultierende Temperaturabhängigkeit der transportbegrenzten Wachstumsrate  $r_t$  ist im Vergleich zum reaktionsbegrenzten Wachstum deutlich geringer.

Aufgrund des unterschiedlichen Temperaturverhaltens lassen sich in einer logarithmischen Auftragung der Wachstumsrate in Abhängigkeit von der reziproken Temperatur (*Arrhenius*-Auftragung) beide Fälle separieren. Ein Diagramm hierzu ist in der Abbildung 5.3 zu finden.

Im Bereich niedriger Temperaturen ist die Abscheidung reaktionsbegrenzt. In der *Arrhenius*-Auftragung folgt die Wachstumsrate einer Geraden, deren Steigung der Aktivierungsenergie  $E_a$  entspricht. Bei hohen Temperaturen, im transportbegrenzten Bereich, nähert sich die Wachstumsrate einer Geraden mit der Steigung 1/2 an.

Neben der Temperatur hat auch der Prozessdruck einen Einfluss auf das transportbegrenzte Wachstum. Aus der Gleichung 5.8 wird ersichtlich, dass sich der Prozessdruck reziprok zur Wachstumsrate verhält. D.h. der Wechsel von einer Atmosphärendruck-Gasphasenabscheidung (APCVD) zu einer Niederdruck-Gasphasenabscheidung (Low Pressure CVD, LPCVD) hat die Erhöhung der Wachstumsrate im transportbegrenzten Bereich zur Folge. Zudem verschiebt sich der Bereich des reaktionsbegrenzten Wachstums zu höheren Temperaturen. In der Abbildung 5.3 sind die Wachstumsraten für einen APCVD und einen LPCVD Prozess schematisch dargestellt.

In der Anfangszeit der Gasphasenabscheidung waren Prozesse im transportbegrenzten Bereich stark verbreitet. Die hohe Wachstumsrate und die gute Kristallqualität der Schichten sprechen für den Einsatz dieser Methode. Ein wesentlicher Nachteil ist jedoch die nicht-konforme Abscheidung. In der Zwischenzeit hat sich die reaktionsbegrenzte Abscheidung, vorwiegend im Niederdruckbereich, etabliert. Der Einsatz



**Abb. 5.3:** Wachstumsrate in Abhängigkeit von der reziproken Temperatur eines APCVD und LPCVD-Prozesses (*Arrhenius*-Auftragung).

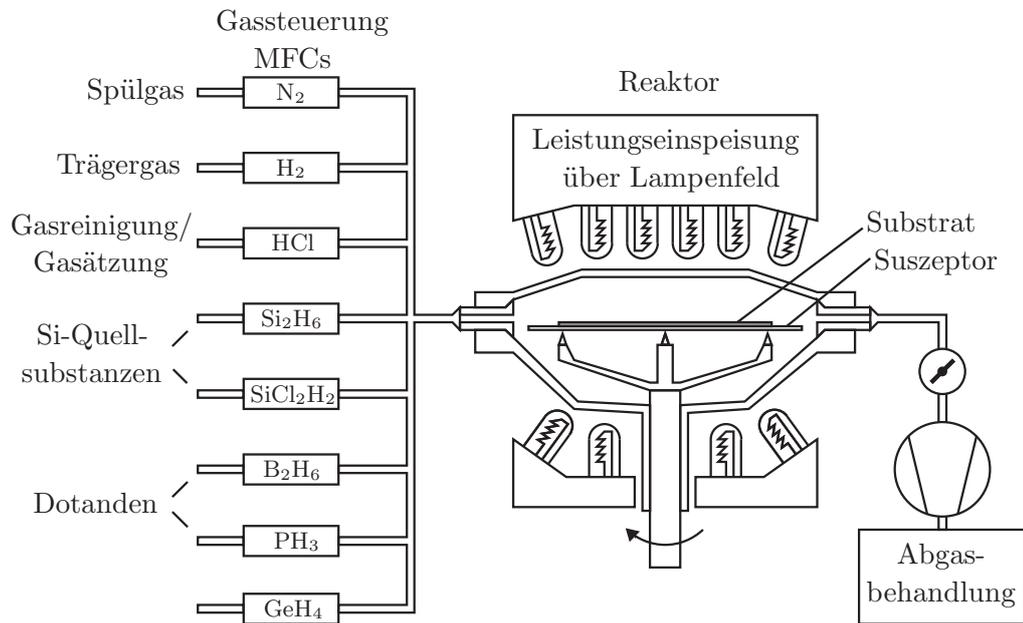
dieser Methode bietet eine niedrigere Prozesstemperatur sowie eine hohe Konformität. Beide Vorteile sind für die Prozessierung moderner Halbleiterbauelemente unabdingbar.

### 5.2.2 Anlage zur Gasphasenabscheidung von Silizium

Im Rahmen dieser Arbeit wird zur Siliziumabscheidung die CVD-Prozesskammer *Epi Centura* eines *Applied Materials* Clustersystems verwendet. Neben der CVD-Kammer besteht das System aus einer RTP- sowie einer MOCVD-Prozesskammer. Beide werden jedoch in dieser Arbeit nicht eingesetzt. Alle Prozesskammern sind mit einer zentralen Transferkammer verbunden. Für das Ein- und Ausschleusen von Wafern dienen zwei Ladekassetten, die ebenfalls an der Transferkammer angeschlossen sind. Jede Kassette kann dabei mit 25 Wafern bestückt werden. In der Transferkammer befindet sich ein Roboter, der den Transport der Substrate zwischen den einzelnen Kammern und den Ladestationen übernimmt.

Die Anlage ist für die Verarbeitung von Wafern der Größe 200 mm konzipiert. Kleinere Substrate können auf sogenannten Adapterscheiben prozessiert werden. Hierbei handelt es sich um 200 mm-Wafer mit einer geätzten Vertiefung in der Mitte, in die kleinere Wafergrößen gelegt werden können.

Zu der CVD-Prozesskammer gehört eine umfangreiche Peripherie. In der Abbildung 5.4 werden die wesentlichen Komponenten dargestellt.



**Abb. 5.4:** Schematische Darstellung der CVD-Prozesskammer und der Peripherie.

Die zentrale Komponente ist der aus Quarzglas gefertigte Reaktor. In diesem befindet sich ein Quarzglas-Träger auf dem ein mit Siliziumkarbid überzogener Graphit-Suszeptor aufliegt. Nach Einschleusung werden einzelne Wafer auf diesem abgelegt. Oberhalb und unterhalb des Reaktors befindet sich ein Lampenfeld, welches zur Leistungseinspeisung dient. Die Halogenlampen erhitzen dabei primär das Substrat. Die Reaktorwände bleiben kühler, was die Abscheidung an diesen minimiert (Kaltwandreaktor). Die Prozesstemperatur wird durch eine pyrometrische Messung der Substratunterseite erfasst. Sie kann im Bereich zwischen 350 und 1100 °C gewählt werden. Die Heizrate wird in erster Linie durch die thermische Masse des Suszeptors bestimmt. Ihr Einstellungsbereich liegt zwischen 5 und 30 °C/s.

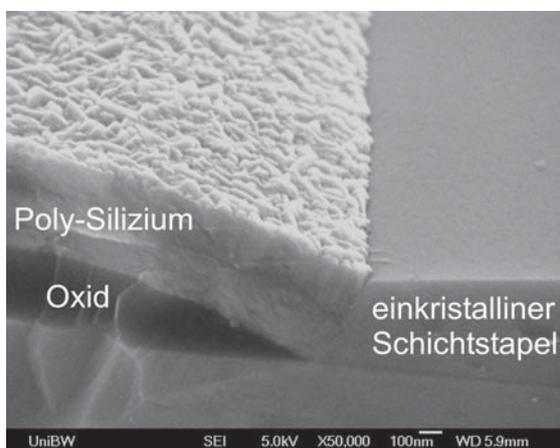
Die Gasversorgung des Reaktors besteht aus Spül-, Reinigungs- und Prozessgasen. Zu den letzteren zählen die Silizium-Quellgase, Dotanden, German und das Trägergas Wasserstoff (H<sub>2</sub>). Als Siliziumquellgase dienen Disilan (Si<sub>2</sub>H<sub>6</sub>, DS) und Dichlorsilan (SiCl<sub>2</sub>H<sub>2</sub>, DCS). P- und n-Dotierungen werden durch die Zugabe von Diboran (B<sub>2</sub>H<sub>6</sub>) und Phosphin (PH<sub>3</sub>) realisiert. Daneben besteht die Möglichkeit der Abscheidung von Silizium-Germanium (Si<sub>x</sub>Ge<sub>1-x</sub>) Schichten. Hierzu wird während der Siliziumdeposition das Prozessgas German (GeH<sub>4</sub>) beigemischt. Zur Reinigung des Reaktors sowie für Gasätzungen wird Chlorwasserstoff (HCl) eingesetzt. Um im Leerlauf eine Verunreinigung des Reaktors zu vermeiden, wird das Spülgas Stickstoff (N<sub>2</sub>) kontinuierlich durchgeleitet. Bis auf wenige Ausnahmen sind alle Prozessgase zur genaueren Dosierung in Wasserstoff verdünnt. Eine Auflistung der Konzentrationen, Reinheiten und der Dimension der Massendurchflussregler aller Gase sind im Anhang A.5 zu finden.



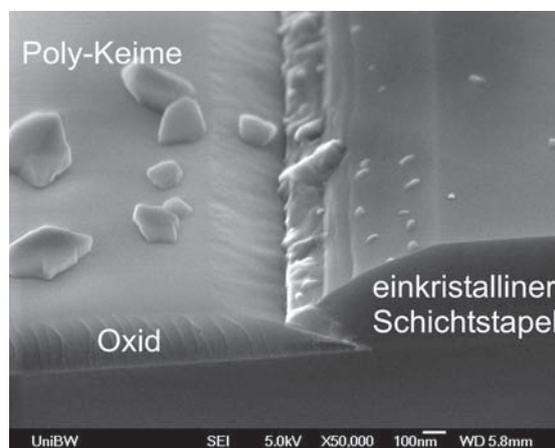
Zur Evakuierung der Prozesskammer wird eine ölfreie Vakuumpumpe verwendet. Der Prozessdruck kann mit Hilfe eines Drosselventils zwischen 5 und 760 Torr (0.7 - 101 kPa) eingestellt werden. Damit sind sowohl APCVD als auch LPCVD-Prozesse möglich. Im Rahmen dieser Arbeit werden jedoch ausschließlich Prozesse bei einem maximalen Druck von 10 Torr (1.3 kPa) verwendet.

### 5.2.3 Silizium-Quellsubstanzen

Zur Abscheidung von Silizium dienen hauptsächlich gasförmige Verbindungen aus Silizium, Chlor und Wasserstoff. Die Prozesstemperaturen dieser Gase liegen im Bereich zwischen 600 und 1200 °C, wobei Verbindungen mit höherem Anteil an Chlor eine höhere Prozesstemperatur erfordern. Der Vorteil von chlorhaltigen Silizium-Quellgasen liegt in einer ätzenden Teilreaktion während der Deposition. Diese ermöglicht zum einen eine bessere Kristallqualität und zum anderen die selektive Epitaxie (SE). Diese Prozesstechnologie dient zur lokal begrenzten Abscheidung von epitaktischem Silizium auf einem maskierten Substrat. Als Maske dienen üblicherweise Siliziumoxid oder Siliziumnitrid. Während Quellsubstanzen, die lediglich aus Wasserstoff und Silizium bestehen, hier zu einer raschen Bildung von Poly-Siliziumkeimen auf den maskierten Flächen führen, wird bei Chlorsilanen die Nukleation nach einer deutlich längeren Inkubationszeit beobachtet. Die Abbildungen 5.5 und 5.6 veranschaulichen die Abscheidung mit einem DS- und DCS-Prozess.



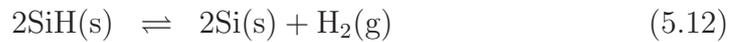
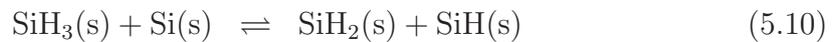
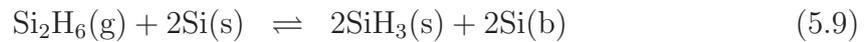
**Abb. 5.5:** Nichtselektiver DS-Prozess mit Poly-Siliziumabscheidung auf der Oxidmaske (Probe X5).



**Abb. 5.6:** DCS-Prozess, bei dem die Nukleation bereits eingesetzt hat (Probe X4).

## Disilan

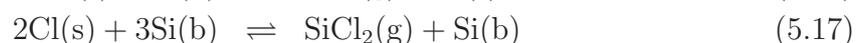
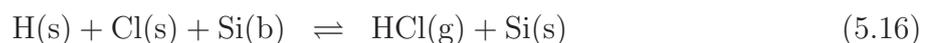
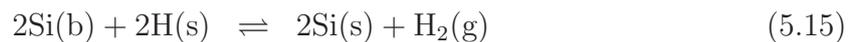
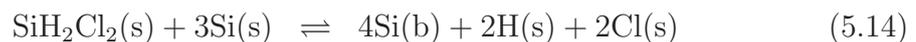
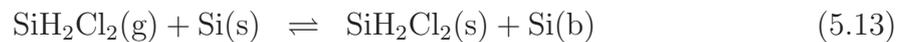
Im Vergleich zu dem in der Halbleiterindustrie gängigeren Silan ( $\text{SiH}_4$ ) verfügt das verwendete Disilan über eine höhere Reaktivität. Verantwortlich hierfür ist die schwache Si-Si-Bindung zwischen den beiden  $\text{SiH}_3$ -Radikalen [17]. Bei Oberflächenkontakt dissoziiert das Molekül sofort in die beiden Trihydride. Im weiteren Reaktionsverlauf werden die Trihydride über Zwischenstufen durch Abgabe von Wasserstoff zu Monohydrinen reduziert. Im letzten Schritt, der auch die Wachstumsrate limitiert, desorbiert der Wasserstoff molekular von der Oberfläche. Folgende Gleichungen veranschaulichen eine mögliche Reaktion [55].



Die hohe Reaktivität des Disilans ermöglicht hohe Wachstumsraten bei niedrigen Temperaturen. Damit kommen Disilan-Prozesse insbesondere dann zum Einsatz, wenn eine Festkörperdiffusion der Dotierstoffe unterdrückt werden muss.

## Dichlorsilan

Das Dichlorsilan bietet aufgrund seines Chloranteils die Möglichkeit der selektiven epitaktischen Abscheidung. Zudem weisen Chlorsilane eine geringere Neigung zu Gasraumreaktionen auf. Dadurch lässt sich die Partikelbildung reduzieren und damit die Kristallqualität steigern. Die Wechselwirkung des Dichlorsilans mit der Siliziumoberfläche ist im Vergleich zu chlorfreien Siliziumquellgasen komplexer. Nach einem Modell von *Coon et al.* [28] dissoziiert das DCS-Molekül auf der Oberfläche in seine Bestandteile. Analog zum DS-Prozess wird das Silizium in den Kristall eingebaut und der Wasserstoff kann molekular von der Oberfläche desorbieren. Die Desorption von Chlor erfolgt in Form von Salzsäure ( $\text{HCl}$ ) oder Siliziumdichlorid ( $\text{SiCl}_2$ ). Die Bildung von Siliziumdichlorid stellt damit die ätzende Teilreaktion des Gesamtprozesses dar. Ein möglicher Reaktionsablauf ist durch folgende Gleichungen gegeben.



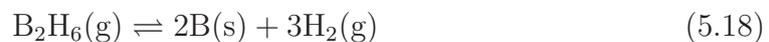
In einem erweiterten Wachstumsmodell von *Hierlemann et al.* [48] werden zusätzlich Reaktionen im Gasraum berücksichtigt. Die Wachstumsrate wird durch die Desorption von Wasserstoff und Chlor bestimmt. Dabei zeigen DCS-Prozesse bei einer Niederdruckabscheidung bis  $900\text{ }^\circ\text{C}$  reaktionsbegrenzt und darüber transportbegrenzt Wachstum [48, 82].

### 5.2.4 Dotanden

Analog zu den Silizium-Quellsubstanzen existieren auch gasförmige Dotanden, die während der Siliziumabscheidung hinzu gemischt werden (*in situ doping*). Unter Temperatureinfluss zersetzen sich diese und werden anschließend in das Kristallgitter eingebaut. Die Dotierstoffkonzentration lässt sich über das Massenfluss-Verhältnis aus Siliziumquellgas und Dotand einstellen.

#### Diboran

Die Zersetzung des p-Dotanden Diboran verläuft nach einer ähnlichen Reaktion wie die des Disilans. Es ergibt sich folgende Gesamtreaktionsgleichung [88]:



Zwischen Dotierstoffkonzentration und Partialdruck des Dotanden besteht in einer doppelt-logarithmischen Auftragung ein linearer Zusammenhang [90].

#### Phosphin

Aufgrund von Segregationseffekten ist die *in situ* n-Dotierung im Vergleich zur p-Dotierung deutlich schwieriger. Insbesondere bei LPCVD-Prozessen (< 100 Torr) im Temperaturbereich zwischen 600 und 850 °C werden folgende Effekte beobachtet [102]:

- **Segregation des Dotanden während der Abscheidung**

Bei der dissoziativen Adsorption von Phosphin bildet sich auf der Substratoberfläche Phosphor in atomarer Form aber auch in Form von Phosphordimeren  $\text{P}_2$ . Folgende Reaktionsgleichungen veranschaulichen beide Reaktionen [58]:



Während der atomare Phosphor als Dotierstoff ins Kristall eingebaut werden kann, blockieren die Dimere potentielle Adsorptionsplätze der Siliziumhydride [119]. Eine Folge davon ist die aus zahlreichen Veröffentlichungen bekannte Abnahme der Wachstumsrate [23, 90].

Bei einem hohen Phosphin-Partialdruck wird zusätzlich zu der verringerten Wachstumsrate auch eine Sättigung der Dotierstoffkonzentration beobachtet. Denn die hohe Dimer-Bedeckung reduziert nicht nur die freien Adsorptionsplätze der Siliziumhydride, sondern auch die des atomaren Phosphors [58, 118].

Hingegen bedeutet ein geringer Phosphin-Partialdruck zunächst auch eine geringe Dimer-Bedeckung. Doch während der Abscheidung akkumulieren die  $\text{P}_2$ -Moleküle auf der Substratoberfläche. Da nach Gleichung 5.20 auch ein Zerfall

der Dimere erfolgt, erhöht sich mit fortschreitendem Wachstum kontinuierlich die Dotierstoffkonzentration in der Schicht.

Zur Unterdrückung der inhomogenen Verteilung der Dotierstoffe gibt es zahlreiche Ansätze. Eine einfache Möglichkeit besteht durch die Wahl einer geringeren Abscheidetemperatur. Dadurch wird eine schnellere und höhere Dimer-Bedeckung erreicht und die Desorption des atomaren Phosphors verringert. Es resultiert ein schärferes Dotierprofil und eine höhere Dotierstoffkonzentration [102]. Gleichzeitig führt jedoch die Niedertemperatur-Abscheidung auch zu einer geringen Wachstumsrate und schlechteren Kristallqualität.

Eine andere Möglichkeit zur Verbesserung des Dotierprofils besteht in der Verwendung von chlorhaltigen Siliziumquellsubstanzen. Die zusätzlich präsenten Chlor-Atome besetzen einerseits potentielle Adsorptionsplätze der Dimere und bilden andererseits flüchtige Phosphor-Chlor-Verbindungen ( $\text{PCl}_x$ ) und entfernen damit aktiv den Phosphor von der Substratoberfläche [14]. Ähnliche Wirkung wird auch beim German beobachtet. Siehe dazu Kapitel 5.2.5.

- **Einbau des Dotanden in die Folgeschicht**

Nach Abscheidung der n-dotierten Schicht liegt eine hohe Phosphorkonzentration auf der Oberfläche vor. Wird anschließend eine undotierte, p-dotierte oder niedrig n-dotierte Schicht abgeschieden, so fungiert der segregierte Phosphor als erschöpfliche Quelle [8, 118]. Das Resultat ist eine unerwünschte Dotierung der Folgeschicht.

Die Phosphor-Segregation betrifft jedoch nicht nur die Substratoberfläche sondern auch die Reaktorwände und die Adapterscheibe, auf der die Wafer aufliegen. Bei hohen Temperaturen desorbiert der Phosphor von diesen und sorgt ebenfalls für eine Dotierung der Folgeschicht (Autodoping) [118]. Dieser Memory-Effekt lässt sich unterdrücken indem die Substrate nach der Abscheidung auf entsprechend der Dotierung konditionierte Adapterscheiben umgesetzt werden und die Kammer einem umfangreichen Reinigungsprozess unterzogen wird. Diese Prozedur wird in dieser Arbeit sowohl nach der Abscheidung von n-dotierten als auch nach p-dotierten Schichten durchgeführt.

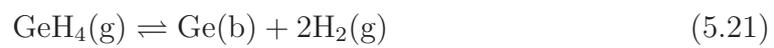
Zur Entfernung des segregierten Phosphors auf der Substratoberfläche können *ex situ* Reinigungsprozesse eingesetzt werden. *Suvar et al.* [102] konnten mit Hilfe einer thermischen Oxidation oder auch chemischen Oxidation die Dotierung der Folgeschicht deutlich reduzieren.

Außerhalb des oben angegebenen Prozessfensters lassen sich die Segregationseffekte besser unterdrücken. So demonstrierten *Sedgwick et al.* [91] oder auch *Tillack et al.* [108] die Abscheidung scharfer Phosphor-Delta-Schichten mit Hilfe eines AP-CVD Prozesses. Auch höhere Prozesstemperaturen ( $< 1000\text{ °C}$ ) können aufgrund einer stärkeren Phosphor-Desorption zu einer verringerten Dotierung der Folgeschicht führen [118]. Bei beiden Ansätzen müssen jedoch entscheidende Nachteile in Kauf genommen werden. So ist ein höherer Abscheidendruck mit einer Verschlechterung der Kristallqualität verbunden. Und die Erhöhung der Prozesstemperatur führt zu einer ungewollten Festkörperdiffusion der Dotierstoffe in bereits abgeschiedene Schichten.

### 5.2.5 Silizium-Germanium (SiGe)

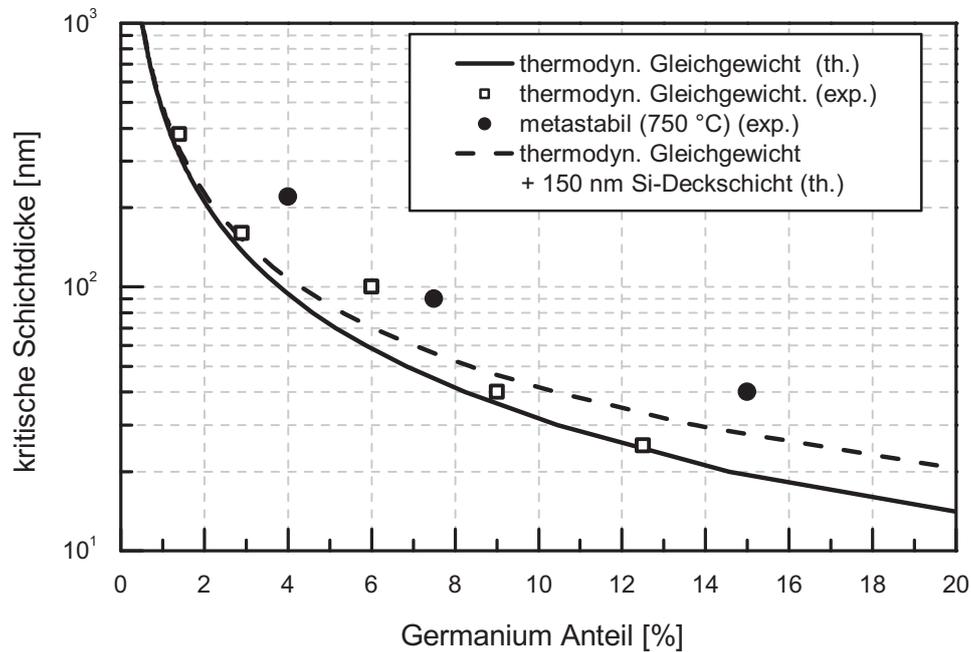
Das Materialsystem Silizium-Germanium hat in den letzten Jahrzehnten eine zunehmende Bedeutung für Halbleiterbauelemente gewonnen. Ein bekanntes Anwendungsbeispiel ist der Heterojunction Bipolartransistor (HBT) [116]. Aber auch in der CMOS-Technologie finden Si/SiGe-Heterostrukturen immer mehr Anwendungen. Aufgrund der unterschiedlichen Gitterkonstante der beiden Materialien lässt sich das sogenannte *verspannte Silizium* (strained silicon) abscheiden. Die damit einhergehende Verzerrung des Gitters wird zur Erhöhung der Ladungsträgerbeweglichkeit im Kanalgebiet von MOSFETs [39, 106] eingesetzt. SiGe-Schichten können jedoch auch als Opferschichten zur Realisierung von Brückenstrukturen eingesetzt werden. Ein Beispiel hierfür ist der vertikale Silicon-On-Nothing-FET (SONFET) [50]. Des weiteren ermöglicht die verringerte Bandlücke des Silizium-Germanium-Kristalls eine Modifikation des Bandabstandes in modernen Bauelementen. So kann der Einsatz einer SiGe-Delta-Schicht in vertikalen Tunnel-FETs zu einer Verbesserung der Bauteileigenschaften führen [12].

Zur Gasphasenabscheidung von SiGe-Schichten dient ein Gemisch aus einem Siliziumquellgas und German. Auf der Substratoberfläche dissoziiert das German nach folgender Gleichung



Die zusätzliche Präsenz der Germaniumhydride verändert die Wachstumskinetik. Aus der Literatur ist bekannt, dass die Zugabe von German zu einer höheren Wachstumsrate führt [37]. Aber auch Dotierprozesse werden infolge der Germanbeimischung beeinflusst. Bei der *in situ* n-Dotierung mit Phosphin bewirkt das German eine höhere Dotierstoffkonzentration und gleichzeitig ein schärferes Dotierprofil. *Jang et al* [58] erklärten diesen Effekt mit einer Verringerung der Phosphordimerisation und mit der Zersetzung bereits vorliegender Dimere. Die Oberflächenbedeckung wird damit zu Gunsten des atomaren Phosphors verschoben und gleichzeitig steigt die Anzahl der freien Adsorptionsplätze.

Die epitaktische Abscheidung von verspanntem Silizium ist nur bis zu einer kritischen Schichtdicke möglich. Wird diese überschritten, so relaxiert die Schicht unter Ausbildung von Versetzungen. Die kritische Schichtdicke ist stark vom Germaniumanteil abhängig. *Matthews* und *Blakeslee* [70] entwickelten ein Modell zur Berechnung der kritischen Schichtdicke einer im thermodynamischen Gleichgewicht gewachsenen Si/SiGe-Heterostruktur. Das Ergebnis wird in Abbildung 5.7 dargestellt. Erfolgt die Abscheidung außerhalb des thermodynamischen Gleichgewichts, d. h. bei geringeren Temperaturen, so lassen sich deutlich höhere SiGe-Schichtdicken bei gleichem Germaniumanteil erzielen. Diese metastabilen Schichten dürfen jedoch im weiteren Prozessverlauf maximal der Abscheidetemperatur ausgesetzt werden, da sonst die Relaxation erfolgt. Experimentelle Ergebnisse zu metastabilen SiGe-Schichten [59] können ebenfalls der Abbildung entnommen werden. Eine weitere Möglichkeit zur Erhöhung der kritischen Schichtdicke ist durch die Abscheidung einer Siliziumdeckschicht gegeben [53]. Diese Art der Stabilisierung ist besonders bei dünnen und germaniumreichen Schichten wirksam.



**Abb. 5.7:** Kritische Schichtdicke von SiGe/Si-Heterostrukturen: im thermodyn. Gleichgewicht bei 900 °C (th. [70], exp. [42]), metastabil bei 750 °C (exp. [59]), im thermodyn. Gleichgewicht mit Deckschicht (th. [53]).

### 5.2.6 Substratvorbehandlung und -reinigung

Die Kristallqualität der abgeschiedenen Siliziumschichten wird einerseits durch die Prozessparameter und andererseits durch die Beschaffenheit der Substratoberfläche bestimmt. Eine hohe Rauigkeit oder Verunreinigungen äußern sich in defektreichen Schichten. Die Kristalldefekte beeinträchtigen die Funktion der Bauelemente und senken die Ausbeute [10]. Eine geeignete Vorbehandlung der Substrate ist damit unerlässlich.

Die Reinigungsverfahren gliedern sich in die beiden Gruppen der *ex situ* und der *in situ* Prozesse. Erstere sind in der Regel nasschemische Verfahren und werden den *in situ* Prozessen vorangestellt. Eine effektive Reinigung wird durch eine geeignete Kombination von Prozessen aus beiden Gruppen erzielt.

#### *ex situ* Reinigungsprozesse

Ein in der Halbleitertechnologie gebräuchlicher Reinigungsprozess ist der sog. RCA-Clean [60]. Da dieses nasschemische Reinigungsverfahren auch an anderen Stellen im Gesamtprozess zum Einsatz kommt, wird es gesondert im Kapitel 5.7.2 beschrieben.

Die RCA-Reinigung hinterlässt auf der Oberfläche ein 0.6 bis 0.8 nm dickes chemisches Siliziumoxid [47, 94]. Die Entfernung des Oxides kann entweder durch einen *in situ*-Prozess oder durch eine weitere nasschemische Behandlung erfolgen. Für Letztere wird eine verdünnte Flußsäure-Lösung (HF-Dip) verwendet. Eine nähere Beschreibung dieses Ätzprozesses ist im Kapitel 5.7.1 zu finden. Abhängig von der Konzentration der Ätzlösung wird eine Aufrauung der Oberfläche beobachtet. Um diese möglichst zu unterdrücken, werden HF-Konzentrationen kleiner 1 % verwendet [54].

Die Flußsäure-Ätzung bewirkt eine Wasserstoff-Terminierung der Oberfläche. Diese Passivierung wird jedoch durch den anschließend notwendigen Rinser-Prozess in deionisiertem Wasser (DI-Rinse) partiell wieder aufgebrochen, so dass die frei liegende Siliziumoberfläche aufoxidiert [88]. Zudem ist die Wasserstoff-Passivierung unter Umgebungsbedingungen nicht stabil. Für (100)-Silizium setzt bereits nach etwa 2 Stunden die Reoxidation ein [43].

Nach der Flußsäure-Ätzung wird auf der Oberfläche eine verstärkte Anhaftung von Kohlenstoff-Verbindungen beobachtet. Die Kontamination zeigt dabei eine Abhängigkeit vom pH-Wert der Lösung. *Carrol et al.* [20] untersuchte hierzu Siliziumsubstrate, die vor der epitaktischen Abscheidung mit einer 1:10 (pH = 1.4) bzw. 1:100 (pH = 1.9) Flußsäure-Wasser-Lösung behandelt wurden. Dabei konnte mit Hilfe von SIMS-Messungen für die stärker verdünnte Lösung eine fünffach geringere Kohlenstoff- und Sauerstoff-Konzentration an der Grenzfläche nachgewiesen werden. Diese Ergebnisse wurden qualitativ durch *Senftleben et al.* [94] bestätigt.

### *in situ* Reinigungsprozesse

Vor der Einschleusung in die CVD-Anlage sind die Substrate der natürlichen Umgebung ausgesetzt. Dies führt stets zu einer zusätzlichen Kontamination der Oberfläche durch organische Verbindungen. Diese physisorbierten Verunreinigungen müssen in den weiteren *in situ* Reinigungsprozessen berücksichtigt werden.

Abhängig von der nasschemischen Vorbehandlung wird die Reinigung mit unterschiedlichen *in situ* Prozessen fortgesetzt. Während bei den lediglich RCA-gereinigten Substraten die thermische Desorption angewendet wird, kommt bei den zusätzlich mit Flußsäure behandelten Substraten entweder der sog. Wasserstoff-Bake oder eine Chlorwasserstoff-Reinigung zum Einsatz. Im Folgenden sollen alle drei *in situ* Prozesse kurz vorgestellt werden.

Die **thermische Desorption** ist ein besonders in der UHV-Technik verbreitetes Verfahren zur Entfernung von dünnen Siliziumoxidschichten. Bei moderaten Temperaturen und einem geringen Sauerstoffpartialdruck verläuft die Ätzung nach folgender Reaktionsgleichung:



Der Sauerstoffpartialdruck spielt für die Desorption eine entscheidende Rolle. Liegt bei einer bestimmten Temperatur ein zu hoher Sauerstoffanteil vor, so wird anstatt der Ätzung ein Wachstum des Oxides beobachtet. Es existiert damit zwischen Oxidation und Desorption ein Übergangspunkt. Das Temperaturverhalten dieses Punktes wird durch das *Arrhenius*-Gesetz beschrieben [66, 99].

Bei Verwendung von hochreinen Gasen lässt sich die thermische Desorption auch in einer Inertgas-Atmosphäre realisieren [4]. Dies ermöglicht die Übertragung des Prozesses in CVD-Systeme. In der verwendeten CVD-Anlage wird sich die thermische Desorption in einer Wasserstoff-Atmosphäre bei einem Druck von 10 Torr (1.3 kPa) durchgeführt. Anhand der Leckrate der Kammer und der Reinheit der Gase konnte *Schindler* [90] den Restsauerstoffpartialdruck mit  $1.6 \cdot 10^{-6}$  Torr ( $2.1 \cdot 10^{-7}$  kPa) abschätzen. Für die minimale Desorptionstemperatur ergibt sich damit ein Wert von 800 °C. *Schindler* wählte zur Sicherheit 900 °C und wies für eine Prozessdauer von 5 min die vollständige Entfernung eines RCA-Oxides nach.

Der Desorptionsprozess beginnt an Schwachstellen im Oxid. An diesen bilden sich Löcher, die unter Umsetzung von Silizium aus dem Substrat wachsen. Die Oberfläche weist daher nach der Desorption stets eine erhöhte Rauigkeit auf [41, 110].

Negativ äußern sich auch die zunächst nur physisorbierten Kohlenstoff-Verbindungen. Während des Heizvorgangs desorbieren diese nur teilweise und bilden ab einer Temperatur von etwa 800 °C das stabile Siliziumkarbid [78]. Die Karbidentfernung ist nur mit einem Hochtemperaturschritt bei 1100 °C möglich [57].

Der **Wasserstoff-Bake** unterscheidet sich in seiner Wirkungsweise nicht wesentlich von der thermischen Desorption. Dennoch ist aufgrund der unterschiedlichen *ex situ* Prozesse eine Abgrenzung sinnvoll. Die Oberfläche der mit Flusssäure behandelten Substrate ist überwiegend mit einer Wasserstoff-Passivierung bedeckt. Stellenweise ist die Passivierung während des *ex situ* Prozesses aufgebrochen, sodass die Reoxidation einsetzen konnte. Die freigelegte Siliziumoberfläche hat neben den Sauerstoff jedoch auch Kohlenstoff bzw. Kohlenwasserstoffe gebunden. Diese sind im Gegensatz zu den ebenfalls auf der gesamten Oberfläche physisorbierten organischen Verbindungen chemisorbiert.

Bei der Übertragung der Prozessparameter der thermischen Desorption auf den Wasserstoff-Bake lässt sich aufgrund der geringeren Oxiddicke und -bedeckung die Prozesszeit von 5 min auf 30 s reduzieren. Der Prozess garantiert eine rückstandsfreie Desorption des Oxides [90]. Zugleich verbleibt jedoch eine hohe Konzentration an Kohlenstoff auf der Oberfläche. Eine Erklärung hierfür liefern die Oberflächenreaktionen, die in unterschiedlichen Temperaturbereichen während der Heizphase stattfinden. Bis zu einer Temperatur von 500 °C wird die vollständige Desorpti-

on der Wasserstoff-Passivierung beobachtet. Infolgedessen gehen die bis dahin nur physisorbierten Kohlenwasserstoffe mit dem reaktionsfreudigen Silizium eine chemische Bindung ein. Bei weiterer Temperaturerhöhung wird ein Cracken der Kohlenwasserstoffe beobachtet. Ab etwa 800 °C setzt gleichzeitig die Bildung des stabilen Siliziumkarbides als auch die Desorption des Sauerstoffs ein.

Um die Karbidbildung zu verhindern muss der Kohlenstoff bereits bei einer geringeren Temperatur von der Oberfläche entfernt werden. Ein möglicher Ansatz hierzu besteht in der Eindiffusion ins Silizium-Substrat [25]. Hierfür muss jedoch der Kohlenstoff in atomarer Form vorliegen. Folglich kann die Diffusion erst nach der kompletten Zersetzung der Kohlenwasserstoffe erfolgen. Darauf aufbauend entwickelte *Zilbauer* [120] den sog. zweistufigen Wasserstoff-Bake. Dabei dient die erste Stufe bei einer Temperatur 750 °C zur Kohlenstoffentfernung und die zweite bei 850 °C zur Desorption des restlichen Sauerstoffs. SIMS-Messungen an gereinigten und überwachsenen Proben zeigten eine Kohlenstoff- und Sauerstoff-Konzentration unter der Nachweisgrenze von ca.  $1 \cdot 10^{18} \text{ cm}^{-3}$ .

Ein vorwiegend in der Hochtemperatur-Gasphasenabscheidung eingesetztes *in situ* Reinigungsverfahren stellt die **Chlorwasserstoff-Ätzung** dar. Bei Prozesstemperaturen von über 1000 °C wird das Substrat in einer Chlorwasserstoff-Wasserstoff-Atmosphäre (vgl. Gleichung 5.17) um mehrere Hundert Nanometer zurückgeätzt. Alle auf der Oberfläche befindlichen Oxidreste sowie Fremdatome werden in flüchtige Substanzen umgesetzt und aus dem Reaktor entfernt [84]. Die Gasätzung ist zwar ein besonders effektives Reinigungsverfahren, bringt jedoch einige Nachteile mit sich. So können nicht optimal gewählte Prozessparameter zu einer verstärkten Oberflächenrauigkeit führen [80]. Aber auch die hohe Prozesstemperatur kann einen Nachteil darstellen. Denn folgt der Chlorwasserstoff-Ätzung eine Abscheidung bei niedrigerer Temperatur, so kann eine Rekontamination in der Abkühlphase auftreten [9].

### 5.2.7 Kristallqualität epitaktisch gewachsener Schichten

Neben den im thermodynamischen Gleichgewicht existierenden Eigendefekten können epitaktisch gewachsene Schichten eine ganze Reihe an weiteren Kristallfehlern aufweisen. Die auftretenden Defekte lassen sich in verschiedene Kategorien einteilen. Zu den wichtigsten zählen:

- Epitaxiestapelfehler
- Versetzungen
- Ausscheidungen

Epitaxiestapelfehler sind flächenhafte Kristalldefekte, die sich aus einer Abweichung in der Stapelfolge von (111)-Ebenen ergeben. Diese Störung äußert sich durch eine fehlende oder überzählige (111)-Ebene. Stapelfehler können im Inneren des Einkristalles enden, wobei an den eindimensionalen Berandungen Versetzungen auftreten.

Eine andere Ursache für Versetzungen bilden die Gitterfehlanspassungen. Hierbei führen Fremdatome wie z.B. Kohlenstoff, Sauerstoff aber auch Dotierstoffe zu Spannungen im Gitter. Ein Abbau dieser Spannungen kann durch Versetzungsbildung erfolgen. Eine weitere Ursache für die linienhaften Kristalldefekte sind thermisch-mechanische Spannungen, die aufgrund von zu hohen Temperaturgradienten während der Epitaxie entstehen. Versetzungen sind zunächst neutral. Erst durch die Anlagerung von Fremdatomen in Abkühlphasen (Dekorierung), werden sie elektrisch aktiv und verursachen Leckstrompfade.

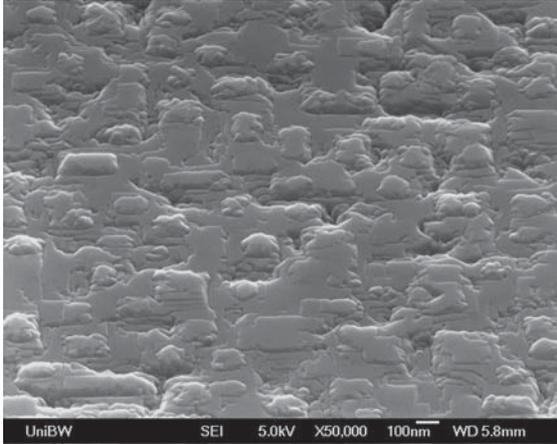
Ausscheidungen sind Volumendefekte, die sich über viele Atomabstände erstrecken. Sie bilden eine in die Kristallmatrix eingebettete Phase. Zu den Ausscheidungen zählen Hohlräume, Agglomerate von Fremdatomen und polykristalline Bereiche. Die Ursache für Hohlräume und Agglomerate ist meist die Kondensation von Punktdefekten. Dagegen entstehen polykristalline Phasen durch Anlagerung an bereits vorhandene Kristalldefekte. Ausscheidungen sind stets elektrisch aktiv und führen daher zum Bauteilausfall.

Der Nachweis der Kristalldefekte kann durch eine Vielzahl an Methoden erfolgen. Im Folgenden werden drei Verfahren vorgestellt.

#### Streulichtkontrolle

Ein einfache Kontrolle der Kristallqualität einer abgeschiedenen Schicht kann durch die Betrachtung der Oberfläche im Schräglicht durchgeführt werden. Schichten minderer Kristallqualität weisen dabei über weite Bereiche eine weißliche Trübung auf. Hervorgerufen wird diese durch Streuung von Licht an Unebenheiten. Insbesondere polykristalline Phasen werden aufgrund der starken Rauigkeit sichtbar. Zwei Beispiele hierzu sind in den Abbildungen 5.8 und 5.9 dargestellt. Beide Proben weisen im Schräglicht eine deutliche Trübung auf. Die polykristalline Schicht in der Abbildung 5.8 ist auf eine zu niedrige Abscheidetemperatur zurückzuführen. Hingegen sind die

polykristallinen Ausscheidungen in Abbildung 5.9 die Folge einer unzureichenden Substratreinigung.



**Abb. 5.8:** Polykristallines Wachstum durch zu niedrige Prozesstemperatur (Probe Y4).



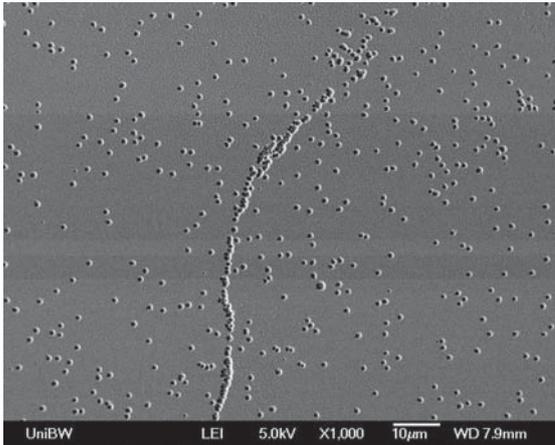
**Abb. 5.9:** Polykristalline Ausscheidungen durch unzureichende Substratreinigung (Probe 19097/1).

### Chemische Ätzung

Die Kristallätzung ist eine recht einfache und empfindliche Methode für den Nachweis von Kristalldefekten. Sie lässt sich auf große Proben anwenden und benötigt lediglich die Lichtmikroskopie für die Auswertung. Das Verfahren beruht auf dem veränderten chemischen Ätzverhalten im Bereich von Defekten. Je nach Kristallorientierung und Zusammensetzung der Ätzlösung erscheinen die Kristallfehler als kleine Gruben oder Erhebungen. Die chemische Ätzung eignet sich in erster Linie zur Darstellung von Versetzungen und Stapelfehlern. Punktdefekte können aufgrund der geringen Ausdehnung nicht nachgewiesen werden [10, 81, 86].

Die Ätzlösungen bestehen stets aus drei Komponenten: Flusssäure, Oxidant und Lösungsmittel. Ein großer Teil der bewährten Defektätzen nutzt Chromate als Oxidant. Zu den wichtigsten Vertretern dieser Gruppe zählen: *Secco* [6], *Seiter* [92] und *Schimmel* [89]. Der Nachteil dieser Ätzen liegt in der karzinogenen Wirkung des Chromats. Daher entwickelte *Chandler* [22] die chromatfreie MEMC-Ätze. Deren genaue Zusammensetzung ist im Anhang A.7 zu finden.

Die Abbildungen 5.10 und 5.11 zeigen eine elektronen- und lichtmikroskopische Aufnahme einer epitaktisch abgeschiedenen Schicht nach der Behandlung mit der MEMC-Ätze. Die Schichtdicke beträgt etwa 1.2  $\mu\text{m}$  und wurde mithilfe eines DS-Prozesses bei 730  $^{\circ}\text{C}$  abgeschieden. Die hohe Ätzgrubendichte weist auf eine sehr niedrige Kristallqualität hin. Exemplarisch zeigen die Abbildungen eine Versetzungslinie und einen -ring. Letzterer kann durch Agglomeration von Zwischengitteratomen entstehen.



**Abb. 5.10:** Versetzungslinie umgeben von einzelnen Versetzungen in einer epitaktisch abgeschiedenen Schicht (Probe 13097/2).



**Abb. 5.11:** Lichtmikroskopische Aufnahme eines Versetzungsrings (50-fache Vergrößerung) (Probe 13097/2).

Bei der Präparation der Proben traten jedoch auch Schwächen des Verfahrens zu Tage. So wird infolge der Ätzung die Oberfläche stark aufgeraut, wodurch die Identifizierung einzelner Defekte nur schwer gelingt. Des weiteren führt die hohe Abtragsrate zu Ätzzeiten unter 10 s. Derart kurze Ätzprozesse sind nur schwer reproduzierbar. Aber auch die Interpretation der Ätzbilder gestaltet sich in vielen Fällen schwierig. Demzufolge wird die chemische Ätzung als Nachweismethode für Kristalldefekte in dieser Arbeit nicht eingesetzt.

### Elektrische Charakterisierung

Ein wesentlich zuverlässigeres Verfahren zur Bewertung der Kristallqualität bietet die elektrische Charakterisierung von einfachen vertikalen Bauelementen. Als besonders geeignet hat sich hierbei die pin-Diode erwiesen [46]. Der schematische Aufbau des Bauteils wird in der Abbildung 5.12 (a) dargestellt.

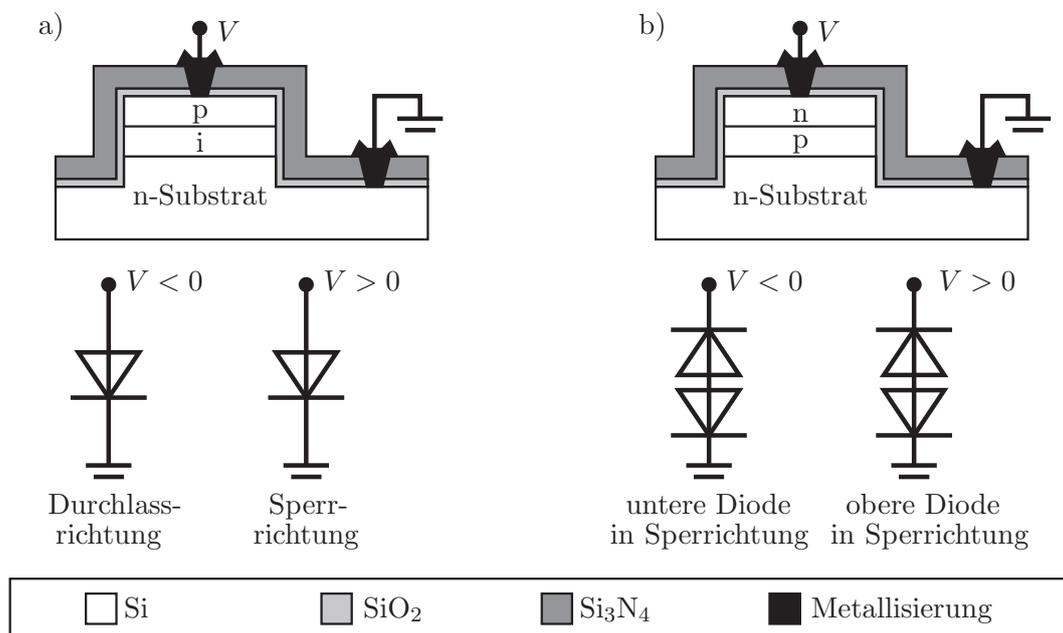
Die Strom-Spannungs-Kennlinie einer idealen pin-Diode wird durch die *Shockley* Gleichung beschrieben. Diese lautet:

$$I = I_{R,ges} \left( \exp \left( \frac{eV}{n k_b T} \right) - 1 \right) \quad (5.23)$$

$I$ : Diodenstrom,  $I_{R,ges}$ : Gesamtperrstrom,  $n$ : Idealitätsfaktor

Zur Bewertung der Kristallqualität kann sowohl der Sperrstrom als auch der Idealitätsfaktor herangezogen werden.

Der **Idealitätsfaktor** beschreibt den Ladungsträgertransport in Durchlassrichtung. Bei einer geringen Defektdichte in der intrinsischen Zone dominiert der Diffusionsstrom. Der Idealitätsfaktor nähert sich in diesem Fall dem Wert 1 an. Im Gegensatz dazu wird bei einer hohen Defektdichte der Ladungstransport durch Generation



**Abb. 5.12:** Schematischer Aufbau einer pin- und einer npn-Struktur für die elektrische Charakterisierung der Kristallqualität.

und Rekombination dominiert. Der Idealitätsfaktor strebt in diesem Fall dem Wert 2 entgegen.

Die andere Möglichkeit zur Bewertung der Kristallqualität bietet der **Dioden-Sperrstrom**. Dieser setzt sich aus folgenden Anteilen zusammen:

- **thermischer Sperrstrom:** Die angelegte Sperrspannung führt zur Trennung thermisch generierter Elektronen-Loch-Paare. Es resultiert ein thermischer Sperrstrom, der im Kapitel 2.1.5 ausführlich beschrieben wurde. Bei Raumtemperatur kann dieser Beitrag jedoch im Vergleich zu den beiden anderen vernachlässigt werden.
- **Volumen-Sperrstrom:** Ab einer kritischen Diodenfläche treten bei vertikalen pin-Dioden elektrisch aktive Defekte auf, die Leckstrompfade bilden. Der sich daraus ergebende Volumen-Sperrstrom verhält sich direkt proportional zur Diodenfläche.
- **Oberflächen-Sperrstrom:** An der Grenzfläche zwischen Passivierungsoxid und Mesaflanke existieren ungesättigte Bindungszustände, die einen Ladungstransport ermöglichen. Der resultierende Oberflächen-Sperrstrom skaliert bei den untersuchten quadratischen Mesen mit der Wurzel der Diodenfläche.

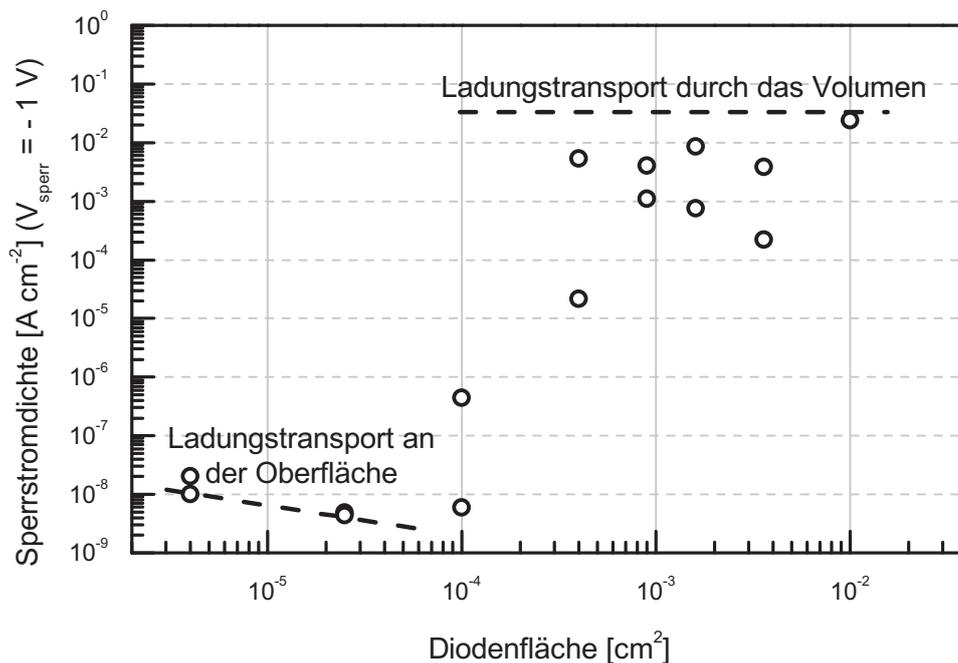
Der Gesamtsperrstrom kann näherungsweise durch folgende Gleichung dargestellt werden:

$$I_{R,ges} = C_{Vol} \cdot A + C_{Oberfl} \cdot \sqrt{A} \quad (5.24)$$

$C_{Vol}$ ,  $C_{Oberfl}$  : Proportionalitätskonstanten des Volumen- und Oberflächen-Sperrstroms

Die Separation der beiden Sperrstrom-Beiträge kann mit Hilfe einer doppelt-logarithmischen Auftragung des Sperrstroms bei einer definierten Spannung gegen die entsprechende Diodenfläche erzielt werden. Dioden, deren Sperrstrom überwiegend über die Mesafanken abfließt, zeigen im Diagramm eine Steigung von  $1/2$ . Hingegen wird bei Dioden mit zahlreichen elektrisch aktiven Kristalldefekten eine Steigung von  $1$  beobachtet.

Ebenso gebräuchlich ist die doppelt-logarithmische Auftragung der Sperrstromdichte  $j$  gegen die Diodenfläche. In diesem Fall ergibt sich für den Ladungstransport an der Oberfläche eine Steigung von  $-1/2$ , während der Volumensperrstrom durch eine Konstante repräsentiert wird. Ein Beispiel hierzu wird in der Abbildung 5.13 dargestellt.



**Abb. 5.13:** Sperrstromdichte in Abhängigkeit von der Diodenfläche einer auf einem SOI-Substrat gewachsenen pin-Diode (Probe ST5).

Aus dem sprunghaften Anstieg der Sperrstromdichte lässt sich auf die Versetzungsdichte schließen. Diese entspricht dem reziproken Wert der betreffenden Fläche. Für die in der Abbildung dargestellte Probe W5 ergibt sich eine Versetzungsdichte von  $10000 \text{ cm}^{-2}$ .



Mit Hilfe von pin-Dioden lässt sich die Kristallqualität der intrinsischen Schicht und damit der Abscheideprozess qualifizieren. Daneben kann die Teststruktur auch zur Bewertung von Reinigungsverfahren eingesetzt werden, denn Verunreinigungen auf der Oberfläche gelten als Ausgangspunkte von Versetzungen. Bei Verwendung eines geeigneten Abscheideprozesses kann anhand der Versetzungsdichte eine Aussage über die Wirksamkeit eines Reinigungsverfahrens getroffen werden.

Neben pin-Dioden eignen sich auch direkte pn-Übergänge zur Bewertung von Reinigungsmethoden. Der Sperrstrom setzt sich in diesem Fall aus dem mit dem Umfang der Mesa skalierenden linienhaften Oberflächen-Sperrstrom und dem mit der Fläche skalierenden Defekt-Sperrstrom. Analog zur pin-Diode resultiert aus dem Oberflächen-Sperrstrom bei einer doppelt-logarithmischen Auftragung der Sperrstromdichte über der Diodenfläche eine Steigung von  $1/2$ . Der Defekt-Leckstrom liefert eine Konstante, deren Wert Aufschluss über die Wirksamkeit der Reinigung gibt.

Erfolgt die Charakterisierung an Dioden mit hohen p- und n-Dotierungen muss zusätzlich die Zener-Tunnelstromdichte berücksichtigt werden. In der Darstellung der Sperrstromdichte zur Diodenfläche bildet diese die untere Nachweisgrenze der Defekte.

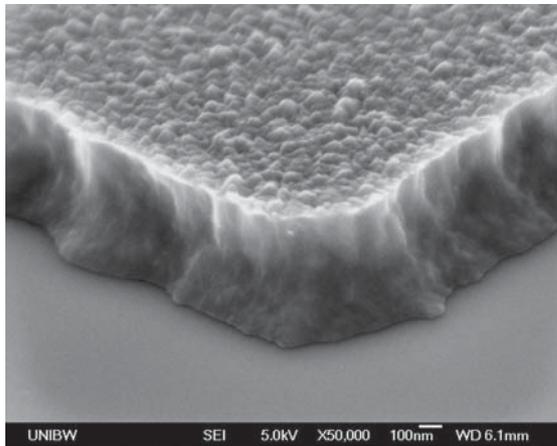
Im Rahmen dieser Arbeit werden vorwiegend vertikale n-MOSFETs hergestellt. Auch dieser aus zwei pn-Übergängen bestehende Schichtstapel eignet sich zur Charakterisierung von Reinigungsverfahren. Der Schichtaufbau sowie das Ersatzschaltbild der Teststruktur werden in der Abbildung 5.12 (b) dargestellt. Die beiden pn-Übergänge bilden zwei entgegengesetzt orientierte Dioden. Abhängig von der Polarität der angelegten Spannung  $V$  lässt sich die obere bzw. die untere Diode in Sperrrichtung betreiben und damit die entsprechende Grenzfläche auf Verunreinigungen untersuchen. Bei der Wahl der Spannung muss darauf geachtet, dass diese über der Schliessenspannung der in Durchlassrichtung betriebenen Diode liegt.

### 5.2.8 Abscheidung von polykristallinem Silizium

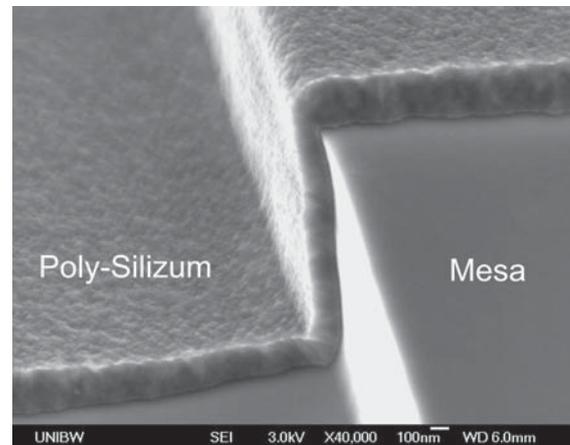
Polykristalline Siliziumschichten (Poly-Silizium) finden sowohl in der CMOS- als auch in der Bipolartechnologie zahlreiche Anwendungen. So dient das Material zur Herstellung von Gateelektroden, Leiterbahnen, Widerständen, Kontakten oder auch Gatterschichten. Poly-Silizium ist temperaturbeständig und lässt sich thermisch oxidieren. Ein weiterer Vorteil ist die über einen weiten Bereich einstellbare Leitfähigkeit. Hierzu wird in der Regel das Material bereits während der Abscheidung dotiert (*in situ doping*). Die Herstellung der Poly-Siliziumschichten erfolgt üblicherweise durch LPCVD-Prozesse in Heißwand-Reaktoren. Dies ermöglicht eine gute Kantenbedeckung und gleichzeitig einen hohen Durchsatz.

In dieser Arbeit werden Poly-Schichten ausschließlich für Gateelektroden eingesetzt. Die Abscheidung erfolgt in dem bereits beschriebenen CVD-Kaltwandreaktor. Als Siliziumquellgas dient Disilan, dem der Dotand Phosphin beigemischt wird. Am Institut existiert bereits ein evaluierter Poly-Abscheideprozess, der auch in dieser Arbeit zum Einsatz kommt. Die entsprechenden Parameter werden im Anhang A.2 aufgelistet.

Im Prozessablauf folgt nach dem Depositionsschritt eine Temperung. Diese dient zur Einstellung der Korngröße und der Leitfähigkeit. Letztere beträgt 3 – 8 m $\Omega$ cm. Die Abbildungen 5.14 und 5.15 zeigen elektronenmikroskopische Aufnahmen der Poly-Siliziumschicht.



**Abb. 5.14:** Nasschemisch strukturiertes Poly-Silizium; Korngröße < 100 nm (Probe 03038/1).



**Abb. 5.15:** Konforme Abscheidung von Poly-Silizium über eine geätzte Siliziumflanke (Probe 11107/3).



## 5.3 Gasphasenabscheidung von dielektrischen Schichten

Dielektrische Materialien finden Verwendung als Isolationsschichten, Passivierungen oder Diffusionsbarrieren. Dabei müssen sie gute elektrische aber auch strukturelle Eigenschaften wie Homogenität oder Stöchiometrie vorweisen. Darüber hinaus wird vom Abscheideverfahren eine hohe Konformität gefordert. Dielektrische Schichten werden deshalb vorwiegend durch LPCVD-Prozesse hergestellt.

In der Arbeit stehen ein Abscheideoxid und -nitrid zur Verfügung. Beide Materialien werden im Folgenden vorgestellt.

### 5.3.1 Gasphasenabscheidung von Siliziumoxid

Im Gegensatz zur thermischen Oxidation, bei der während des Prozesses laufend Silizium aus dem Substrat umgesetzt wird, bleibt bei Oxidabscheidung aus der Gasphase das Substrat vollständig erhalten. Der Abscheideprozess basiert analog zur Silizium-CVD (vgl. Kapitel 5.2.1) auf der Zersetzung eines oder mehrerer Prozessgase auf der geheizten Substratoberfläche. Gängige Prozessgas-Kombinationen sind Silan ( $\text{SiH}_4$ ) und Sauerstoff ( $\text{O}_2$ ) oder Dichlorsilan ( $\text{SiH}_2\text{Cl}_2$ ) und Stickoxydul ( $\text{NO}_2$ ). Ein weiterer oft verwendeter Präkursor, der auch in dieser Arbeit eingesetzt wird, ist Tetraethylorthosilikat ( $\text{C}_8\text{H}_{20}\text{O}_4\text{Si}$ , TEOS). Dieser lässt sich bei einer moderaten Temperatur von etwa  $750\text{ }^\circ\text{C}$  nach folgender Reaktionsgleichung zersetzen:

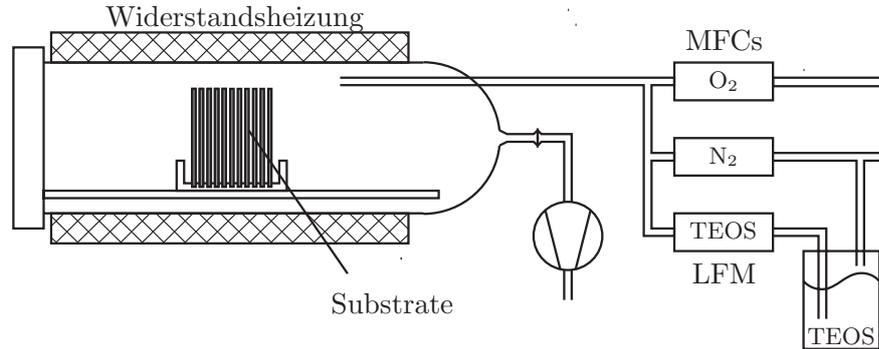


Zu den Nebenprodukten zählen hauptsächlich Wasser und Ethanol. Während der Abscheidephase kann zusätzlich auch Sauerstoff angeboten werden, um die Stöchiometrie des Oxides zu verbessern.

Die Abscheidung erfolgt in einem vertikalen LPCVD-Heißwand-Reaktor. Eine schematische Darstellung der Anlage ist in Abbildung 5.16 zu finden.

Da TEOS bei Raumtemperatur in flüssiger Phase vorliegt, erfolgt die Einspeisung mit Hilfe einer Bubbler-Flasche. Als Trägergas dient Stickstoff, der den Präkursor über einen Durchflussmesser (liquid flow meter, LFM) in den Reaktor transportiert. Der Zersetzungsprozess findet dann sowohl auf den senkrecht angeordneten Substraten, als auch auf den Kammerwänden statt. Die Freisetzung von Partikeln kann daher nur durch regelmäßige Reinigungen des Reaktors verringert werden. Der verwendete Abscheideprozess ist im Anhang A.3 aufgeführt. Aus dem reaktionsbegrenzten Wachstum resultiert eine hohe Konformität der Schicht.

Die TEOS-Oxidschichten verfügen über gute elektrische Eigenschaften. Die Durchbruchfeldstärke beträgt etwa  $10\text{ MV/cm}$  und liegt damit im Bereich thermischer Oxide. Ein weiterer Vorteil der TEOS-Oxide ist durch die im Inneren der Schicht herrschende Druckspannung gegeben. Im Gegensatz zur Niedertemperatur-



**Abb. 5.16:** Schema einer LPCVD-Anlage zur Abscheidung von TEOS-Oxidschichten.

Abscheideoxiden (Low Temperature Oxide, LTO), die weitestgehend unter Zugspannung stehen, besteht bei TEOS-Oxiden keine Neigung zur Rissbildung [52].

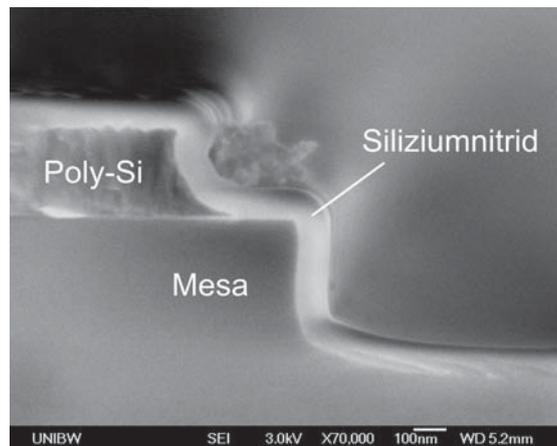
### 5.3.2 Gasphasenabscheidung von Siliziumnitrid

Siliziumnitrid findet aufgrund der hohen Permittivitätszahl ( $\epsilon_r = 7.5$ ) häufig Einsatz als Dielektrikum in Kondensatoren. Es wird aber auch in der LOCOS-Technik [114] oder als Passivierung verwendet. Die Herstellung der Schichten erfolgt entweder durch eine plasmaunterstützte (PECVD) oder durch eine Niederdruck-Gasphasenabscheidung. Für Letztere werden in der Regel DCS und Ammoniak ( $\text{NH}_3$ ) als Prozessgase eingesetzt. Die Reaktionsgleichung der Abscheidung lautet dann:



Die zur Abscheidung des Siliziumnitrids verwendete LPCVD-Anlage ist sehr ähnlich aufgebaut, wie die in der Abbildung 5.16 dargestellte TEOS-Abscheideanlage. Sie unterscheiden sich lediglich im Gaszufuhrsystem. Die Parameter des verwendeten Abscheideprozesses werden im Anhang A.3 aufgelistet. Eine elektronenmikroskopische Aufnahme der konform abgeschiedenen Schicht ist in Abbildung 5.17 zu finden.

Siliziumnitridschichten auf Siliziumsubstraten stehen unter einer hohen Zugspannung. Diese ist im Vergleich zu der in den TEOS-Oxiden herrschenden Druckspannung um einen Faktor 10 größer [52]. Dadurch treten bei Schichtdicken über 200 nm Risse auf. Aber auch dünnere Nitridschichten können bei direktem Kontakt zum Silizium zu Defekten führen. Abhilfe bieten dünne thermische Oxide (Padoxide), die die mechanischen Spannungen des Nitrids aufnehmen. Die Schichtdicke des Oxides sollte dabei minimal 25 % der Nitriddicke betragen [15].



**Abb. 5.17:** Konform abgeschiedene LPCVD-Siliziumnitridschicht (100 nm) über einer senkrecht geätzten Siliziumflanke (Probe 11107/4).

## 5.4 Abscheidung von metallischen Schichten

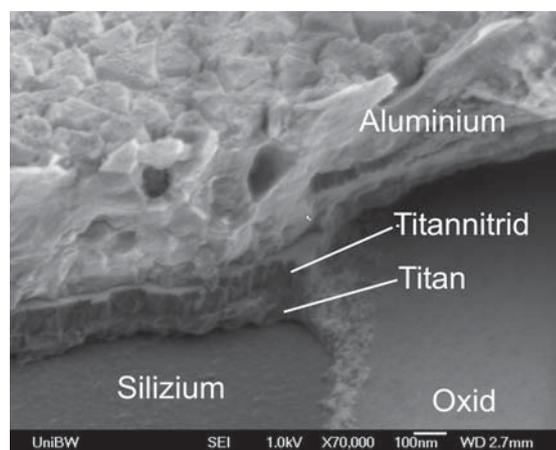
Metallische Schichten stellen in Form von Leiterbahnen den elektrischen Kontakt zwischen den einzelnen Bauelementen her. Neben dieser internen Verdrahtung dienen sie auch als Kontaktflächen (Pads) für die Verbindung über Bonddrähte zum Chipträger bzw. Gehäuse. Die Messspitzen können aber auch direkt aufgesetzt werden, ohne den Wafer zu zersägen.

Das Metallisierungsmaterial muss zahlreiche Anforderungen erfüllen. So wird von der Schicht ein niedriger Widerstand, gute Haftung auf Passivierungen und Silizium und ein guter elektrischer Kontakt zu dotierten Bereichen erwartet. Da Aluminium die meisten dieser Anforderungen erfüllt, zählt es bis heute zu den wichtigsten Metallisierungsmaterialien.

Reine Aluminiumschichten sind jedoch als Metallisierung ungeeignet. Bereits bei geringen Temperaturen ( $< 200\text{ }^{\circ}\text{C}$ ) diffundieren Siliziumatome aus dem Substrat ins Aluminium. Aufgrund des Materialverlustes entstehen Gruben, die anschließend wieder durch das Metall aufgefüllt werden. Im Querschnitt erscheinen die gefüllten Gruben als ins Substrat ragende Spitzen (Spikes). Diese können flache Dotierungen oder dünne epitaktische Schichten durchstoßen und damit pn-Übergänge kurzschließen. Eine Abhilfe bieten Silizium-Aluminium-Legierungen. Bereits ein geringer Silizium-Anteil von 1 % genügt, um die Diffusion der Siliziumatome in die Metallisierung zu unterdrücken.

Der direkte Kontakt von Aluminium und Silizium bewirkt jedoch auch die Diffusion des Metalls in die oberste Substratschicht. Da Aluminium im Silizium als Akzeptor eingebaut wird, entspricht der legierte Bereich einer starken p-Dotierung. Sofern das Substrat selbst p-dotiert ist, entsteht am Übergang ein ohmscher Kontakt. Dagegen bildet sich bei einem niedrig n-dotierten Substrat ein unerwünschter pn-Übergang. Die Überbrückung dieser Diode lässt sich durch eine starke Dotierung des

Substrates erzielen, denn hoch dotierte pn-Übergänge werden durch Zener-Tunneln kurzgeschlossen. Eine weitere Möglichkeit zur Schaffung eines ohmschen Kontakts besteht in der Abscheidung einer nicht dotierenden Zwischenschicht. Als besonders geeignet hat sich hierbei Titanitrid (TiN) erwiesen. TiN-Schichten führen jedoch auf Siliziumsubstraten zu einem hohen Kontaktwiderstand. Eine Verbesserung der Kontakteigenschaften kann durch eine zusätzliche Titansilizidschicht erzielt werden. Hierzu wird zunächst Titan als Reinmetall aufgebracht und anschließend durch eine Temperung partiell silizidiert. Das beschriebene Metallisierungssystem wurde am Institut von Freitag [36] etabliert und in dieser Arbeit eingesetzt. Eine REM-Aufnahme des Schichtstapels ist in der Abbildung 5.18 dargestellt.



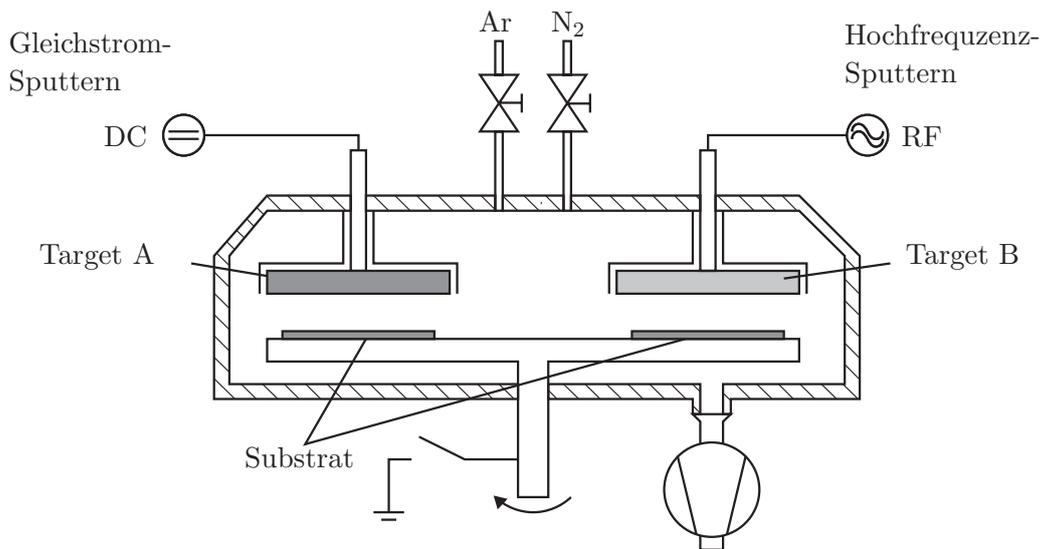
**Abb. 5.18:** Metallisierungssystem aus Titan, Titanitrid und Aluminium (Probe HF\_W3).

Die Abscheidung metallischer Schichten erfolgt in der Regel durch Kathodenzerstäubung (Sputtern). Bei diesem Verfahren werden ionisierte Gasteilchen auf ein Target beschleunigt, um an diesem Atome oder Moleküle herauszulösen. Die emittierten Teilchen schlagen sich auf dem Substrat nieder und bilden eine poröse Schicht aus [49].

Die Abscheidung der Titan und Aluminiumschicht erfolgt durch passives Gleichspannungs-Sputtern (DC-Sputtern). Hierzu werden die Substrate auf eine rotierende und geerdete Anode platziert. Über den Substraten ist im geringen Abstand das Target angeordnet. Der gesamte Elektrodenaufbau befindet sich in einer evakuierten Prozesskammer, die vom Arbeitgas Argon durchströmt wird. Das Anlegen einer hohen negativen Spannung an das Target bewirkt die Zündung eines Plasmas. In diesem entstehen Argon-Ionen, die auf das Target beschleunigt werden.

Zur Titanitridabscheidung wird das reaktive Wechselfeld-Sputtern (RF-Sputtern) eingesetzt. Die Energie-Einkopplung erfolgt in diesem Fall durch ein hochfrequentes Wechselfeld, wobei die Substrate nicht geerdet werden. Zudem wird zusätzlich zum Inertgas Argon auch Stickstoff zugemischt. Dieser dissoziiert im Plasma und reagiert mit den emittierten Ti-Atomen. Dabei bildet sich auf dem Substrat eine Titanitridschicht aus.

Die Abbildung 5.19 zeigt schematisch die verwendete Z550 Magnetron-Sputteranlage der Firma *Leybold-Heraeus*.



**Abb. 5.19:** Schema einer Sputteranlage; DC-Sputtern (links), RF-Sputtern (rechts).

Gesputterte Schichten sind sehr porös. Zur Verdichtung wurde daher stets ein Temperprozess eingesetzt. Die Parameter des Temper- und Abscheideprozesses sind im Anhang A.1 und A.4 zu finden.

## 5.5 Diffusion

Die Diffusion gehört neben der Implantation zu den wichtigsten Dotiertechniken. Aufgrund des hohen Temperaturbudgets wird sie heute jedoch nur noch selten eingesetzt. Das Verfahren beruht auf der selbstständigen Ausbreitung eines Dotierstoffes bedingt durch ein Konzentrationsgefälle. Im Siliziumkristall diffundiert der Dotierstoff entweder über Zwischengitterplätze oder Leerstellen. Für die Dotierung ist jedoch nur letzterer Mechanismus relevant, denn nur auf Gitterplätzen sitzende Dotieratome sind auch elektrisch wirksam. Die Geschwindigkeit des Dotierprozesses wird durch den Konzentrationsunterschied, die Temperatur, die Kristallorientierung des Substrats und durch den Dotierstoff selbst bestimmt.

Zur mathematischen Beschreibung der Diffusion dienen die beiden *Fickschen* Gesetze. Diese lauten:

$$j = -D \cdot \frac{\partial c(x, t)}{\partial x} \quad (5.27)$$

$$\frac{\partial c(x, t)}{\partial t} = D \cdot \frac{\partial^2 c(x, t)}{\partial x^2} \quad (5.28)$$

$j$ : Teilchenstrom,  $D$ : Diffusionskoeffizient,  $c(x, t)$ : Teilchenkonzentration,  $t$ : Diffusionszeit

Durch Festlegung von Randbedingungen lassen sich zwei Lösungen für beide partielle Differentialgleichungen finden:

- **Diffusion aus unerschöpflicher Quelle**

Bei der Diffusion aus unerschöpflicher Quelle ist die Oberflächenkonzentration des Dotierstoffes  $c_0$  konstant nahe der Löslichkeitsgrenze. D.h. es werden mehr Dotierstoffe angeboten, als vom Silizium aufgenommen werden kann. Die Diffusionsgleichung lautet dann:

$$c(x, t) = c_0 \operatorname{erfc} \left( \frac{x}{2\sqrt{Dt}} \right) \quad (5.29)$$

- **Diffusion aus begrenzter Quelle**

In diesem Fall steht nur eine begrenzte Dotierstoffmenge  $Q$  auf der Oberfläche zur Verfügung. Mit fortschreitendem Diffusionsprozess dringt der Dotierstoff ins Substrat ein, wodurch die Oberflächenkonzentration abnimmt. Die entsprechende Lösung des Differentialgleichungssystems lautet:

$$c(x, t) = \frac{Q}{\sqrt{\pi Dt}} \exp \left( -\frac{x^2}{4Dt} \right) \quad (5.30)$$

Im klassischen Diffusionsprozess werden flüssige Quellsubstanzen evaporiert und in einen Heißwand-Reaktor eingebracht. Zu den gängigen Verbindungen zählen Bortribromid ( $\text{BBr}_3$ ) oder Phosphortrichlorid ( $\text{POCl}_3$ ). In Kombination mit Sauerstoff bilden diese zunächst eine hoch dotierte Oxidschicht, die anschließend als Dotierstoffquelle fungiert. Neben dem klassischen Diffusionsprozess besteht auch die Möglichkeit der Festkörperdiffusion aus dotierstoffhaltigen Silikatglasschichten, die bereits vor dem Diffusionsschritt aufgebracht werden [109]. Diese sogenannten Spin On Dopants (SOD) bestehen aus organischen Silizium- und Dotierstoffverbindungen, die in einem Lösemittel gelöst sind. Die Substanzen werden auf die Substrate aufgebracht und durch einen Temperprozess bei niedrigen Temperaturen zu einer siliziumoxidartigen Schicht vernetzt. Durch den dann anschließenden Diffusionsprozess werden die in der Schicht enthaltenen Dotierstoffe ins Substrat eingetrieben. Die Spin On Dopants dienen in dieser Arbeit zur Herstellung der Source und Drain-Wannen der lateralen Transistoren. Hierfür wird der phosphorhaltige Dopant P-8545 der Firma *Honeywell* verwendet.

## 5.6 Lithographie

Die Lithographie dient zur Strukturierung einzelner Bereiche auf den Substraten. Hierzu wird ganzflächig eine strahlungsempfindliche Fotolackschicht (resist) aufgebracht und durch eine Maske belichtet. Die belichteten oder auch unbelichteten Bereiche lassen sich anschließend durch einen Entwickler abtragen. Der strukturierte Fotolack definiert die Bereiche der nachfolgenden Prozesse.

### 5.6.1 Fotolacktechnik

Fotolacke lassen sich in die Gruppen der Positiv-, Negativ- und Umkehrlacke einteilen:

**Positivlacke** bestehen aus einem Schichtbildner, einer lichtempfindlichen Komponente und einem Lösemittel. Der Schichtbildner reagiert infolge einer UV-Belichtung (308 – 450 nm) mit der lichtempfindlichen Komponente zu einer stark alkalilöslichen Säure. Diese wird durch den Entwicklungsprozess entfernt, sodass lediglich die unbelichteten Bereiche erhalten bleiben.

**Negativlacke** enthalten zusätzlich zu den Schichtbildner auch einen Säurebildner und eine aminische Komponente. Die Belichtung bewirkt in diesem Fall eine Polymerisation der Substanzen. Unbelichtete Bereiche bleiben alkalilöslich und lassen sich durch den Entwickler abtragen.

**Umkehrlacke** sind Positivlacke mit einem zusätzlichen Amin. Sie können abhängig vom Lithographieprozess sowohl als Positiv- oder auch als Negativlack eingesetzt werden.

Positiv- und Negativlacke unterscheiden sich in ihrem Lackprofil. Erstere zeigen einen Lackflankenwinkel über  $90^\circ$  und letztere darunter. Die Abbildungen 5.20 und 5.21 stellen hierzu elektronenmikroskopische Aufnahmen von beiden Lackarten dar. Der bei Negativlacken auftretende Unterschnitt wird hauptsächlich bei Lift-Off-Prozessen ausgenutzt.

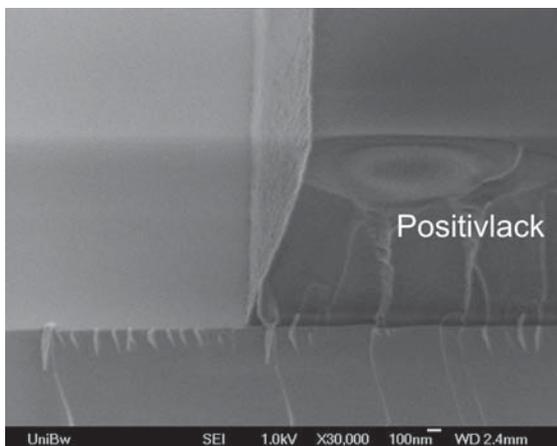


Abb. 5.20: Flanke eines Positivlacks.

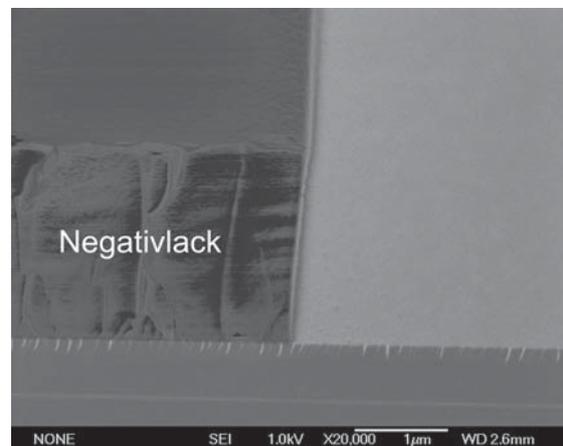


Abb. 5.21: Flanke eines Negativlacks.

Im Rahmen dieser Arbeit werden die Positiv-Lacke AR-P 3740 und AR-P 3840, sowie der Negativ-Lack AR-N 4340 der Firma *Allresist* verwendet. Der Positiv-Lack AR-P 3840 verfügt im Vergleich zum AR-P 3740 einen höheren Farbstoffanteil. Dadurch lässt sich an reflektierenden Oberflächen auftretende Streustrahlung besser absorbieren.

### 5.6.2 Lithographieprozess

Der Lithographieprozess gliedert sich in sieben Schritte. Diese werden in folgender Tabelle aufgelistet:

1.	Substratvorbehandlung	substrate preparation	(SP)
2.	Belackung	spin coating	(SC)
3.	Temperung	prebake, softbake	(PB)
4.	Belichtung	exposure	(EX)
5.	Nachtemperung	post exposure bake	(PEB)
6.	Entwicklung	development	(DEV)
7.	Härtung	postbake, hardbake	(HB)

#### Substratvorbehandlung

Wird oxidiertes Silizium der Umgebung ausgesetzt, so adsorbieren neben den bereits beschriebenen Kohlenstoffverbindungen auch polare Hydroxylgruppen auf der Substratoberfläche. Da die unpolaren Moleküle der Fotolacke kaum Affinität zu den Hydroxylgruppen zeigen, dienen Haftvermittler (Primer) zur Modifikation der Oberfläche. Ein häufig verwendeter Haftvermittler ist Hexamethyldisilazan ( $C_6H_{19}NSi_2$ , HMDS). Dieser terminiert unter Abspaltung von Ammoniak die Oberfläche mit polaren Methylgruppen und steigert damit die Lackhaftung erheblich. Die Grundierung der Substrate erfolgt bei Raumtemperatur in einer HMDS-Dampfatosphäre.

#### Belackung

Fotolacke werden in der Regel durch Aufschleudern (Rotationsbeschichtung) auf die Substrate aufgebracht. Dabei wird die Lackdicke hauptsächlich durch die Viskosität und Schleuderdrehzahl bestimmt. Um keilförmige Lackabrisse zu vermeiden, werden die Substrate zunächst für wenige Sekunden bei einer niedrigen Drehzahl angeschleudert und anschließend rasch auf die Enddrehzahl beschleunigt. Für die gängige Schleuderdrehzahl von 4000 r/min ergeben sich für die verwendeten Fotolacke Schichtdicken im Bereich zwischen 1 und 2  $\mu\text{m}$ .

## Temperung

Nach der Belackung enthält der Fotolack noch einen hohen Anteil an Lösungsmitteln. Der Prebake dient zur Entfernung dieser und sorgt damit für eine Stabilisierung des Fotolacks. Die Parameter der Temperung beeinflussen den nachfolgenden Belichtungs- und Entwicklungsschritt [52]. So führt eine zu niedrige Temperatur zu einem starken Dunkelabtrag, hingegen tritt bei zu hoher Temperatur die Zersetzung der lichtempfindlichen Komponente auf. Der Prebake, sowie alle nachfolgenden Temperschritte, werden entweder in einem Ofen oder auf einer Heizplatte (hot plate) durchgeführt.

## Belichtung

Zur Belichtung der Fotolacke diente in dieser Arbeit der Mask Aligner MA6 der Firma *Karl Süss*. Bei der Lichtquelle des Aligners handelt es sich um eine Quecksilberdampf Lampe. Diese emittiert neben dem kontinuierlichem Spektrum auch die charakteristischen Spektrallinien des Quecksilbers. Das Emissionsspektrum der Lampe und das Absorptionsspektrum der verwendeten Lacke sind aufeinander abgestimmt.

Der Mask Aligner bietet mehrere Belichtungsverfahren. Zum Einsatz kam die Kontakt- und Abstandsbelichtung (Proximity). Bei der Kontaktbelichtung liegt die Maske direkt auf dem Fotolack auf. Dies ermöglicht die Abbildung von Strukturen im sub- $\mu\text{m}$ -Bereich. Der Nachteil des Verfahrens liegt in einer möglichen Schädigung und Verschmutzung der Maske. Alternativ kann die Abstandsbelichtung eingesetzt werden. In diesem Fall sind Substrat und Maske durch einen ca.  $10\ \mu\text{m}$  breiten Spalt voneinander getrennt. Die berührungslose Belichtung ist jedoch mit einer geringeren Auflösung verbunden. Begrenzt durch Beugungseffekte lassen sich Strukturen erst ab einer Größe von ca.  $3\ \mu\text{m}$  abbilden.

## Nachtemperung

Die Nachtemperung wird oft als vorgezogene Härtung des Lackes verwendet. Die noch unentwickelten Lackstrukturen verhindern das Verfließen des Lackkanten. Es resultiert eine hohe Steilheit der Lackflanken, die insbesondere bei Trockenätzprozessen von Vorteil ist. Bei nachfolgenden nasschemischen Prozessen dient eine kurze Nachtemperung zum Abbau von Lackspannungen. Dies sorgt für eine höhere Lackhaftung während des Entwicklungsprozesses.

## Entwicklung

Zur Entwicklung dienen in der Regel alkalische Lösungen auf der Basis von Tetramethylammoniumhydroxid ( $\text{C}_4\text{H}_{13}\text{NO}$ , TMAH). Für die in dieser Arbeit verwendeten Fotolacke dienen Entwickler der Serie AR 300-475. Die Entwicklung wurde als Einzelscheibenprozess im Tauchbadverfahren durchgeführt.

## Härtung

Die abschließende Härtung dient zur chemischen und physikalischen Stabilisierung des Fotolacks. Die auftretende Verrundung der Lackkanten verhindert bei nasschemischen Prozessen die Unterätzung.

Die Entfernung der Lackmaske kann nasschemisch durch ein Aceton-Isopropanol-Bad (vgl. Anhang A.7) oder trockenchemisch durch ein Sauerstoff-Plasma (Fotolackveraschung vgl. Anhang A.8) erfolgen.

Im Anhang A.6 sind alle in dieser Arbeit verwendeten Lithographieprozesse aufgeführt.

## 5.7 Ätztechnik und nasschemische Reinigung

Der Materialabtrag durch Ätzung kann entweder ganzflächig oder nur in lithographisch definierten Bereichen erfolgen. Abhängig vom Ätzmedium wird zwischen nass- und trockenchemischen Ätzverfahren unterschieden. Beide Ätzverfahren sowie die thematisch eng verwandte nasschemische Reinigung werden in diesem Unterkapitel behandelt:

### 5.7.1 Nasschemische Ätzprozesse

Die nasschemische Ätzung basiert auf der Umsetzung einer festen Schicht in eine flüssige Verbindung durch den Einsatz einer chemischen Lösung. Nasschemische Ätzprozesse liefern in der Regel ein isotropes Ätzprofil und sind damit stets mit einer lateralen Maskenunterätzung verbunden. Bei der Wahl des Maskenmaterials muss auf ausreichend hohe Beständigkeit gegenüber der Ätzlösung geachtet werden.

Zur Ätzung der in dieser Arbeit verwendeten Materialien existieren am Institut bereits evaluierte Prozesse. Die quantitative Zusammensetzung der Ätzlösungen sowie die dazugehörigen Prozessparameter sind im Anhang A.7 aufgeführt. Ein Überblick über die Ätzmechanismen der verschiedenen Lösungen wird im Folgenden gegeben:

#### Siliziumoxidätzung

Die Ätzung von Siliziumoxid wird mit Hilfe von Flußsäure (HF) durchgeführt. Der Abtrag basiert auf der Überführung des Oxids in ein lösliches Komplexsalz:



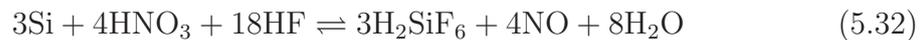
Abhängig von der Dicke der zu ätzenden Oxidschicht werden unterschiedliche Konzentrationen der Lösung verwendet. Bei dünnen Oxiden kommen stark verdünnte 1:100 oder 1:10 Flußsäure-Wasser-Lösungen zum Einsatz. Die Ätzung von Dickoxiden erfolgt in der Regel durch gepufferte Flußsäureätzmischungen (buffered HF,

BHF). Aus der Reaktionsgleichung 5.31 wird ersichtlich, dass während der Ätzung permanent Fluor-Ionen verbraucht werden. Um diesen Verlust auszugleichen und damit eine konstante Ätzrate zu gewährleisten wird die Lösung durch Ammoniumfluorid ( $\text{NH}_4\text{F}$ ) gepuffert.

### Siliziumätzung

Die Ätzung von einkristallinen Silizium kann sowohl isotrop als auch anisotrop erfolgen.

Für **isotropes** Ätzen werden meist Mischungen aus Salpetersäure ( $\text{HNO}_3$ ), Flusssäure und Wasser verwendet. Der Ätzmechanismus beruht auf der Oxidation des Siliziums durch die Salpetersäure und einer anschließenden Oxidentfernung durch die Flusssäure. Die Gesamtreaktionsgleichung lautet:



Die Ätzrate lässt sich durch das Konzentrationsverhältnis der einzelnen Komponenten einstellen. Anstatt einer Verdünnung durch Wasser kann auch Essigsäure ( $\text{C}_2\text{H}_4\text{O}_2$ ) verwendet werden. Diese bietet zusätzlich eine Pufferung der Lösung.

Die **anisotrope** Siliziumätzung erfolgt mithilfe von stark alkalischen Medien. Typische Vertreter sind wässrige Lösungen aus Natriumhydroxid ( $\text{NaOH}$ ), Kaliumhydroxid ( $\text{KOH}$ ) oder auch Tetramethylammoniumhydroxid (TMAH). Letztere Base ist metallionenfrei und damit CMOS-kompatibel.

Der Ablauf der anisotropen Siliziumätzung wird durch folgende Reaktionsgleichung beschrieben [49]:



Die Ätzrate hängt stark von der Bindungszahl in den unterschiedlichen Ebenen des Siliziumkristalls ab. So erfolgt der Abtrag entlang der (111)-Ebene deutlich langsamer als in Richtung der (100)-Ebene. Für (100)-Substrate und quadratische Maskenöffnungen ergeben sich daher die charakteristischen pyramidenförmigen Ätzgruben.

Zur Ätzung von polykristallinem Silizium können sowohl alkalische als auch saure Lösungen verwendet werden. In beiden Fällen ist der Abtrag isotrop. Alkalische Lösungen bieten den Vorteil der hohen Selektivität gegenüber Siliziumoxid. Die Maskierung muss jedoch durch ein Oxid oder Nitrid (hard mask) erfolgen, da Fotolackmasken (soft mask) durch Basen zersetzt werden. Im Gegensatz dazu ist bei der sauren Siliziumätzung die Maskierung durch Fotolack ausreichend. Nachteilig ist in dem Fall die geringe Selektivität gegenüber Siliziumoxid.

In dieser Arbeit wird eine saure Poly-Ätzmischung verwendet, in der anstatt der Flusssäure Ammoniumfluorid als Fluor-Ionenlieferant eingesetzt wird. Die resultierende niedrigere Ätzrate ermöglicht eine bessere Kontrolle des Ätzprozesses.

### Aluminiumätzung

Die Aluminiumätzmischungen arbeiten nach dem gleichen Prinzip, wie die zuvor diskutierte isotrope Siliziumätze. Das Aluminium wird zunächst durch Salpetersäure oxidiert und anschließend durch Phosphorsäure ( $\text{H}_3\text{PO}_4$ ) abgetragen. Analog zur Siliziumätze kann auch in diesem Fall Essigsäure zur Pufferung und stärkeren Benetzung hinzugemischt werden. Die Aluminiumätze weist eine hohe Selektivität gegenüber Silizium, Siliziumoxid und -nitrid auf.

### Titan und Titannitridätzung

Zur Strukturierung von Titan und Titannitrid dient eine wässrige Lösung aus Ammoniak und Wasserstoffperoxid. Der Schichtabtrag basiert auf einer Reaktion des Titans mit dem Peroxid zu einem wasserlöslichen Peroxytitanat-Komplex [113]. Da das Wasserstoffperoxid in ähnlicher Weise auch Aluminium angreift, ist es notwendig, die bereits strukturierte Aluminiumschicht zu passivieren. Hierzu dient Kieselsäure, die eine passivierende Aluminiumsilikatschicht bildet [36].

## 5.7.2 Nasschemische Reinigungsverfahren

Die Sauberkeit der Substrate wirkt sich entscheidend auf die Ausbeute der hergestellten Bauelemente aus. Daher zählen Reinigungen zu den häufigsten Prozessschritten in der Bauteilherstellung. Neben dem einfachen Spülprozess im DI-Wasser (Rinsen), werden auch aggressivere nasschemische Reinigungen eingesetzt. Zu den wichtigsten gehören der RCA Clean und der *Caro* Clean. Beide Reinigungsverfahren werden nachfolgend vorgestellt. Die Prozessparameter sind im Anhang A.7 aufgeführt.

### RCA Clean

Der RCA Clean wurde in den 60er Jahren des letzten Jahrhunderts in den RCA<sup>1</sup>-Laboratorien [60, 61] entwickelt und stellt bis heute ein elementares Reinigungsverfahren in der Halbleiterfertigung dar. Der RCA Clean gliedert sich in die beiden Prozessschritte SC1 und SC2.

Bei der **SC1-Lösung** handelt es sich um eine wässrige Lösung aus Wasserstoffperoxid ( $\text{H}_2\text{O}_2$ ) und Ammoniumhydroxid ( $\text{NH}_4\text{OH}$ ). Die Reinigungswirkung der alkalischen Lösung basiert auf einer geringfügigen Rückätzung des Siliziumsubstrates. Dabei dient das Peroxid zur Oxidation und das Ammoniumhydroxid zum Abtrag des Oxides. Folgende Gleichungen veranschaulichen die Ätzreaktion:



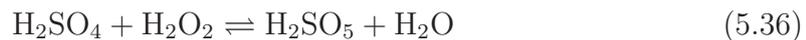
<sup>1</sup>RCA: Radio Corporation of America

Auf der Substratoberfläche anhaftende Partikel werden unterätzt und damit von der Oberfläche abgetragen. Zusätzlich ermöglicht die stark oxidierende Wirkung des Peroxids eine Zersetzung und Entfernung von organischen Verbindungen.

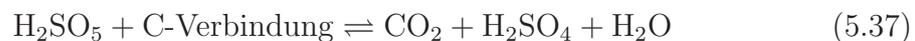
Die **SC2-Lösung** besteht aus einer verdünnten Mischung aus Wasserstoffperoxid und Salzsäure (HCl). In dem sauren Milieu gehen Schwermetalle wie Gold, Kupfer, Chrom, Eisen und Natrium durch Komplexbildung in Lösung. Das Peroxid hat dabei keine reinigende Wirkung. Es dient lediglich zur Bildung eines definierten Passivierungsoxids.

### Caro Clean

Der *Caro Clean* wird zur Entfernung stark anhaftender organischer Verunreinigungen oder Fotolacke verwendet. Die Lösung besteht aus Schwefelsäure (H<sub>2</sub>SO<sub>4</sub>) und Wasserstoffperoxid (H<sub>2</sub>O<sub>2</sub>). Die Mischung beider Chemikalien führt zu einer stark exothermen Reaktion, bei der sich nach folgender Gleichung die Peroxyschwefelsäure (*Carosche Säure*) bildet.

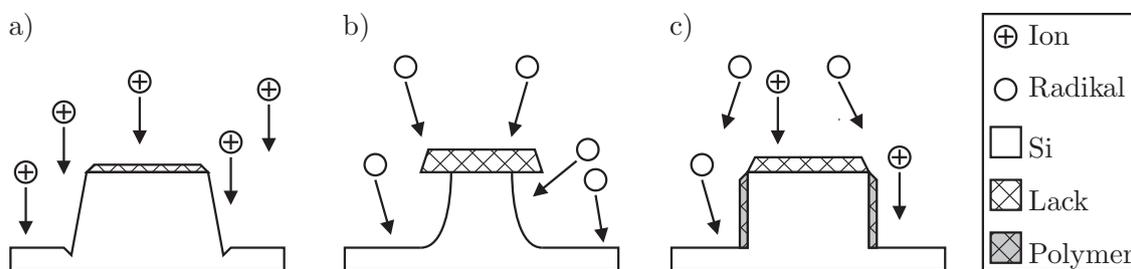


Die sehr reaktive Säure oxidiert kohlenstoffhaltige Verbindungen auf und zersetzt diese in kleinere, zum Teil flüchtige, Moleküle:



### 5.7.3 Trockenchemische Ätzprozesse

Der Materialabtrag trockenchemischer Ätzprozesse erfolgt durch Gase im Plasmazustand. Abhängig von den verwendeten Gasen, Anlagentyp und Prozessparametern wird zwischen physikalischen, chemischen und kombinierten physikalisch-chemischen Ätzprozessen unterschieden. Die resultierenden Ätzprofile werden in Abbildung 5.22 dargestellt.



**Abb. 5.22:** Profile von physikalischen, chemischen und kombiniert physikalisch-chemischen Ätzprozessen.

Die physikalische Trockenätzung beruht auf dem Beschuss der Oberfläche mit Ionen inerte Gase. Aufgrund des Impulsübertrags werden Atome aus dem Substrat her-

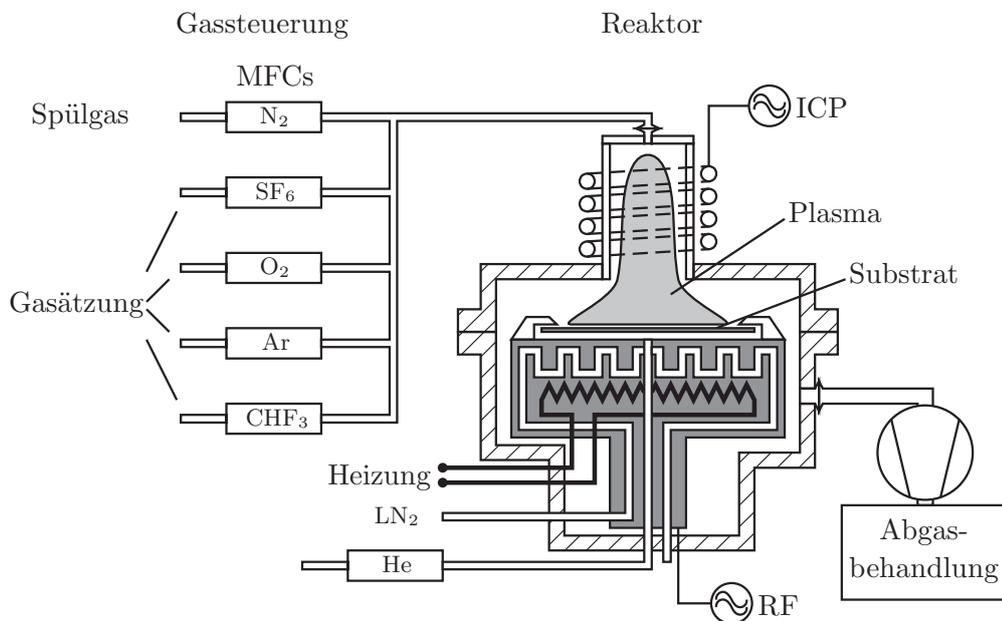
aus gelöst. Physikalische Trockenätzprozesse führen zu anisotropen Ätzprofilen und weisen nur eine geringe Selektivität auf.

Die chemische Trockenätzung erfolgt durch neutrale Atome oder Radikale, die mit dem Substrat zu flüchtigen Verbindungen reagieren. Chemische Ätzprozesse können bei geeigneter Wahl des Maskenmaterials eine hohe Selektivität aufweisen. Das Ätzprofil ist analog zu nasschemischen Prozessen isotrop.

In der kombinierten physikalisch-chemischen Trockenätzung werden beide Mechanismen vereint. Zur Ätzung dienen reaktive Ionen (reactive ion etching, RIE), die beim Auftreffen eine chemische Reaktion auslösen. Dabei bilden sich wie zuvor flüchtige Substanzen, die von der Oberfläche desorbieren. Die reaktiven Ionen können jedoch auch in Kombination mit dem Ätzgas und / oder Maskenmaterial zur Kondensation eines passivierenden Polymerfilms führen. Aufgrund des senkrechten Einfalls der Ionen wird der Polymerfilm von horizontalen Flächen entfernt und bleibt auf den Seitenwänden erhalten. Für optimale Prozessparameter ergibt sich eine masshaltige Strukturübertragung.

### Trockenätzanlage

Alle in der Arbeit verwendeten Trockenätzprozesse werden an der Anlage *Plasma-Lab 80 Plus ICP 85* der Firma *Oxford* durchgeführt. Die Abbildung 5.23 zeigt den schematischen Aufbau dieser Anlage.



**Abb. 5.23:** Schematischer Aufbau der Trockenätzanlage und der Peripherie.

Der Plasmaätzter besteht aus einem Reaktor, in dem zwei Elektroden gegenüberliegend angeordnet sind. Auf der einen Elektrode liegt das Substrat auf und die andere wird durch den Kammerdeckel gebildet. Durch kapazitive Einkopplung eines hochfrequenten Wechselfeldes (RF) kann zwischen den Elektroden ein Plasma betrieben werden. Da die Einkopplung über die Substratelektrode erfolgt, baut sich zwischen Plasma und Substrat eine Potenzialdifferenz auf. Im Plasma enthaltene positiv geladene Ionen werden zum negativ geladenen Substrat beschleunigt und ermöglichen den Materialabtrag. Ferner verfügt der Ätzer über eine induktiv gekoppelte Plasmaquelle (inductively coupled plasma, ICP). Der Energieeintrag erfolgt durch eine um den Reaktor angeordnete Spule. Ein hochfrequentes Wechselfeld führt zur Zündung eines Plasmas und damit zu einem Ionenstrom in Richtung des Substrates. Beim Betrieb beider Plasmaquellen bestimmt die RF-Leistung die Ionenenergie und die ICP-Leistung die Ionenstromdichte.

Zur Einstellung der Substrattemperatur ist in der Elektrode sowohl eine elektrische Heizung als auch eine Kühlung integriert. Im Kühlbetrieb fließt durch einen Mäander flüssiger Stickstoff (liquid nitrogen, LN<sub>2</sub>) und ermöglicht die Absenkung der Temperatur auf bis zu -150 °C. Zur besseren Wärmekopplung werden die mit einem Halter fixierten Substrate von der Rückseite mit Helium umströmt.

Die Gasversorgung besteht aus dem Spülgas Stickstoff sowie vier Ätzgasen. Zur rein physikalischen Ätzung dient das Edelgas Argon. Für chemische und kombinierte physikalisch-chemische Ätzprozesse stehen Schwefelhexafluorid (SF<sub>6</sub>), Trifluormethan (CHF<sub>3</sub>) und Sauerstoff (O<sub>2</sub>) zur Verfügung. Die Zusammensetzung des Prozessgases wird durch MFCs eingestellt. Eine Aufstellung über die Dimension der MFCs sowie die Reinheit der Gase ist im Anhang A.8 gegeben.

Die Niederdruckplasmen werden in einem Druckbereich zwischen 5 und 100 mTorr (0.7 - 13 Pa) betrieben. Zur Druckregelung und Evakuierung dient ein Drosselventil und eine Turbomolekularpumpe.

### Siliziumätzung

Zur Ätzung von Silizium werden in der Regel Fluorverbindungen wie Schwefelhexafluorid eingesetzt. Im Plasma dissoziieren diese zu Fluor-Radikalen und reagieren spontan mit dem Silizium nach folgender Gleichung:



Der Abtrag erfolgt rein chemisch und liefert daher ein isotropes Ätzprofil.

Rein chemische Trockenätzprozesse eignen sich nicht zur Strukturierung der aktiven Flanke vertikaler Bauelemente. Die auftretende Unterätzung und Aufrauung der Seitenwand wirkt sich negativ auf Bauteileigenschaften aus. Aus diesem Grund wurde am Institut ein anisotroper Siliziumätzprozess entwickelt und hinsichtlich der Rauigkeit der Ätzflanke optimiert [16]. Der Ätzprozess nutzt ein Gasgemisch aus Schwefelhexafluorid, Argon und Sauerstoff. Die glatten und vertikalen Ätzflanken entstehen durch eine Fotolackpassivierung der Seitenwände während des Ätzprozesses.

ses. Hierzu löst sich infolge des Argon-Ionenbeschusses der Fotolack am Rand ab und legt sich über die Ätzflanke. Der dem Prozessgas zugemischte Sauerstoff stabilisiert die Passivierungsschicht.

### Siliziumnitridätzung

Die trockenchemische Siliziumnitridätzung basiert ebenfalls auf fluorhaltigen Prozessgasen. Im Plasma dissoziieren diese unter anderem zu Fluor-Radikalen und tragen die Schicht nach folgender Reaktionsgleichung ab:



Zur Ätzung dient ein vom Hersteller der Ätzanlage bereitgestellter Prozess. Die Parameter können dem Anhang A.8 entnommen werden. Die Prozessoptimierung erfolgte hinsichtlich eines anisotropen Ätzprofils und einer hohen Selektivität gegenüber Fotolacken. Damit kann der Prozess insbesondere in der Spacer-Technologie eingesetzt werden. Der anisotrope Charakter des Abtrags wird durch die Verwendung von Trifluormethan und Sauerstoff erzielt. Das Trifluormethan dissoziiert im Plasma zu Radikalen ( $\text{CF}_2^*$ ), die sich auf dem Substrat als Polymerfilm ( $(\text{CF}_2\text{-CF}_2)_n$ ) niederschlagen. Der Sauerstoff sorgt dabei für den Abtrag des Polymerfilms auf horizontal orientierten Flächen. Es bleibt eine Seitenwandpassivierung, die eine anisotrope Ätzung garantiert.

Die Trifluormethanradikale reagieren auch mit dem Fotolack und bilden mit diesem eine chemisch beständige Polymerschicht. Die Entlackung gelingt daher nur mit einem trockenchemischen Veraschungsprozess oder einer nasschemischen Reinigung (*Caro Clean*).

Unter Siliziumnitridschichten befinden sich in der Regel Padoxide. Diese stellen bei dem verwendeten Ätzprozess nur eine schwache Ätzbarriere dar. Bei Verwendung des Siliziumnitrids als Passivierung entsteht dadurch kein Nachteil, denn die Kontaktlochöffnung muss bis zum Silizium erfolgen. Bei einer Überätzung bis ins Silizium beträgt die Selektivität 3.5 [50].

### Fotolackveraschung

Fotolacke lassen sich durch ein Sauerstoffplasma entfernen. Alle Hauptbestandteile der Fotolacke werden bei dem chemischen Ätzprozess in flüchtige Verbindungen umgesetzt. Die Prozessparameter sind im Anhang A.8 aufgeführt.



# Kapitel 6

## Prozessentwicklung zum vertikalen MOSFET und FGFET Sensor

Nachdem im vorhergehenden Abschnitt ein allgemeiner Überblick zu den Grundlagen der Halbleitertechnologie gegeben wurde, handeln dieses und das nachfolgende Kapitel mit der konkreten Prozessentwicklung des vertikalen MOSFETs und des FGFET Sensors.

Die Prozesspläne beider Bauelemente stimmen in zahlreichen Schritten überein. Ein Überblick hierzu gibt die Tabelle 6.1.

Prozessschritt	vertikaler MOSFET	FGFET Sensor
Substrate	Si	Si, SOI
Kondensatordielektrikum	○	●
Transistorstapel	●	●
Mesa / Freistellen	● / ○	● / ●
Gatedielektrikum	●	●
Poly-Silizium-Gateelektrode	●	●
Passivierung	●	●
Metallisierung	●	●

**Tab. 6.1:** Prozessschritte zur Herstellung von vertikalen MOSFETs und FGFET Sensors.

Die nachfolgenden Unterkapitel gliedern sich entsprechend der Prozessschritte.

Zu Beginn werden die für die Herstellung der Bauelemente gewählten Substrate diskutiert. Dabei wird ausführlich auf die notwendige Präparation der verwendeten SOI-Substrate für den Aufbau des FGFET Sensors eingegangen. Das anschließende Unterkapitel befasst sich mit dem Dielektrikum des unteren Kondensators im kapazitiven Spannungsteiler. Die Prozessführung entscheidet hierbei über die Empfindlichkeit des Sensors. Im nächsten Abschnitt folgt die Prozessentwicklung zur epitaktischen Abscheidung des Transistorstapels. Nach der Diskussion der Ergebnisse zur selektiven Epitaxie und der *in situ* Dotierung wird die Entwicklung des npn-, nipn- und pnp-Schichtstapels vorgestellt. Am Ende dieser Passage sind Resultate



zur Substratreinigung vor der epitaktischen Abscheidung zu finden. Das anschließende Unterkapitel behandelt die trockenchemische Strukturierung und Freistellung der Transistormesen. Der Schwerpunkt liegt dabei auf der Prozessoptimierung hinsichtlich glatter Ätzflanken. Im Anschluss werden unterschiedliche Gatedielektrika diskutiert. Ein hierbei wichtiges Kriterium ist das thermische Budget des Oxidations- bzw. Abscheideprozesses. Die beiden nachfolgenden Abschnitte behandeln die Abscheidung der Poly-Silizium-Gateelektrode und der Passivierung. Vordergründig werden die Verfahren zur Strukturierung dieser Schichten beschrieben. Abschließend wird der Metallisierungsprozess hinsichtlich der Konformität näher betrachtet.

## 6.1 Substrate

Die Herstellung aller Bauelemente erfolgt ausschließlich auf Silizium- und SOI-Substraten mit einem Durchmesser von 100 mm. Weitere Kenndaten der verwendeten Wafer sind in der Tabelle 6.2 aufgelistet.

	SOI-Substrat		Si-Substrat
Dicke:	Device Layer	$2 \pm 1.5 \mu\text{m}$	$525 \pm 0.5 \mu\text{m}$
Dotierung:		n(As)	n(As)
Leitfähigkeit:		$1 - 6 \text{ m}\Omega\text{cm}$	$< 3 \text{ m}\Omega\text{cm}$
Orientierung:		(100)	(100)
Dicke:	BOX	$2 \mu\text{m} \pm 5\%$	
Dicke:	Handle-Layer	$502 \pm 0.5 \mu\text{m}$	
Dotierung:		n(As)	
Leitfähigkeit:		$1 - 6 \text{ m}\Omega\text{cm}$	
Orientierung:		(100)	

**Tab. 6.2:** Spezifikation der verwendeten Silizium- und SOI-Substrate.

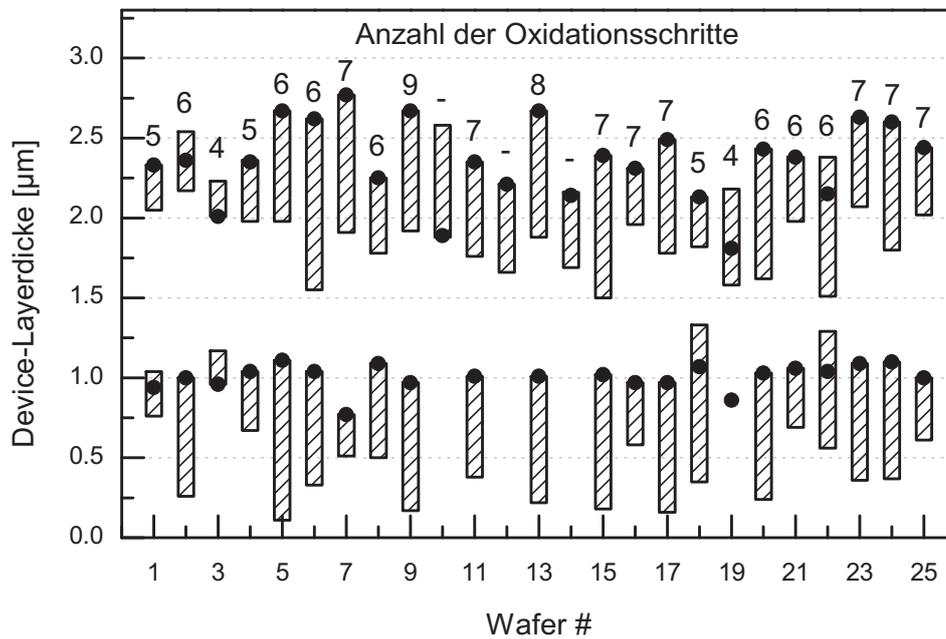
In dieser Arbeit werden überwiegend vertikale n-Kanal-MOSFETs prozessiert. Folglich wird sowohl für das Device Layer der SOI-Substrate als auch für die Si-Substrate eine moderate n-Dotierung gewählt.

Der Aufbau der FGFET Sensoren erfolgt auf BESOI Substraten. Diese sind im Vergleich zu anderen SOI Wafertypen sehr kostengünstig, haben jedoch zwei entscheidende Nachteile. Zum einen sind die Wafer herstellungsbedingt nur mit einer Minstdicke des Device Layers von  $2 \mu\text{m}$  verfügbar und zum anderen unterliegt diese Schicht einer starken Dickenschwankung. Im Fall der hier verwendeten Substrate sind es nominell 25 %. Obwohl sich beide Nachteile gravierend auf die nachfolgende Prozessierung auswirken, sind kaum Alternativen verfügbar. So werden beispielsweise die qualitativ hochwertigeren SIMOX Substrate (Separation by Implanted Oxygen) der Firma *Siltronic* erst ab einer Wafergröße von 200 mm angeboten. Der UNIBOND-SOI Hersteller *Soitec* fertigt auch Wafer der Größe 100 mm, jedoch nur mit einer niedrigen p-Dotierung des Device Layers.

Vor Prozessbeginn wird die Device Layer-Dicke der 25 verwendeten BESOI-Substrate mit Hilfe der Spektralellipsometrie ermittelt. Die Ergebnisse der Fünf-Punkt-Messungen werden in der Abbildung 6.1 dargestellt.

Aus dem Diagramm wird ersichtlich, dass die Dicke des Device Layers sowohl auf einem einzelnen Wafer als auch von Wafer zu Wafer sehr stark variiert. Teilweise liegen die Werte außerhalb der Spezifikation des Herstellers. Das Diagramm zeigt ebenfalls, dass das Dickenmaximum bei nahezu allen Substraten in der Wafermitte auftritt. Dieses konvexe Schichtdickenprofil deckt sich mit den deutlich im Weißlicht sichtbaren Interferenzringen.

Im Verlauf des FGFET Prozesses muss der Device Layer durch zwei Trockenätzprozesse bis zum BOX strukturiert werden, um die Isolation der Bauelemente si-

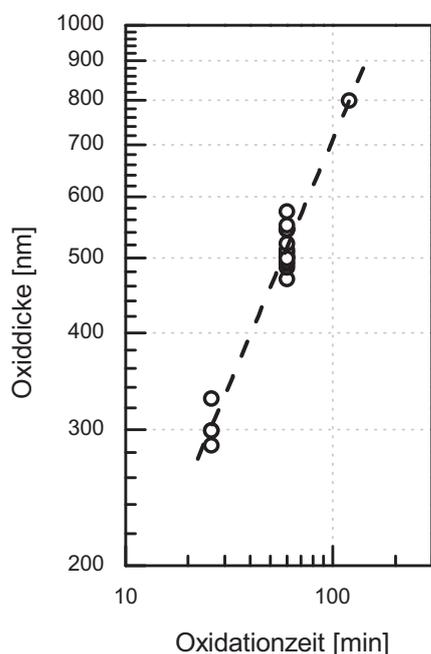


**Abb. 6.1:** Device Layer Dicke der BESOI Substrate vor und nach den Oxidationsprozessen, ● Wafermitte und Bereich zwischen Minimal- und Maximalwert der 5-Punkt-Messung (Radius 35 mm).

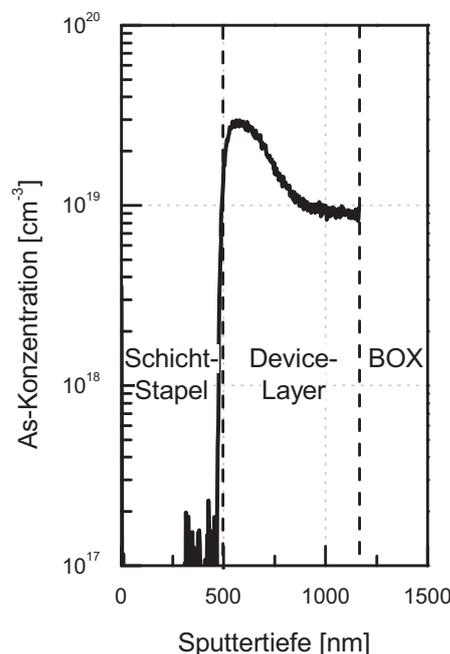
cherzustellen. Wie später jedoch im Kapitel 6.4.2 gezeigt wird, beträgt die maximale Ätztiefe des auf die Rauigkeit der Ätzflanke optimierten Trockenätzprozesses nur 750 nm. Bei zusätzlicher Berücksichtigung des epitaktisch abgeschiedenen Transistor-Schichtstapels ergibt sich für die maximale Dicke des Device Layers 1 µm. Folglich können die BESOI-Wafer nicht direkt zur Prozessierung des FGFET Sensors verwendet werden.

Ein Ansatz zur Dünnung des Device Layers besteht im Siliziumabtrag durch thermische Oxidation (vgl. Kapitel 5.1). Für den Abtrag der circa 1.5 µm zu dicken Siliziumschicht muss etwa eine 3.4 µm dicke Siliziumoxidschicht gewachsen werden. Um ein möglichst rasches Wachstum zu erzielen wird eine Feuchtoxidation bei 1050 °C gewählt. Der hierzu gewählte Prozess ist im Anhang A.1 aufgeführt. Die resultierenden Oxiddicken für drei unterschiedliche Oxidationszeiten werden in der Abbildung 6.2 dargestellt.

Die Wachstumsrate nimmt mit zunehmender Oxiddicke stark ab. Folglich ist der Schichtabtrag nur in mehreren Schritten möglich. Für den Einzelschritt wird eine Oxidationszeit von 60 min gewählt. Die resultierende Oxiddicke von 500 nm ergibt einen Siliziumabtrag von etwa 220 nm. Zwischen den einzelnen Oxidationen werden die Wafer ganzflächig abgeätzt. Die endgültige Dicke der Device Layer sowie die individuell angepasste Anzahl der Oxidationen können ebenfalls der Abbildung 6.1 entnommen werden. Hierbei ist jedoch zu beachten, dass die Balken lediglich die minimale und maximale Dicke der Fünf-Punkt-Messung darstellen. Bei Betrachtung des gesamten Wafers kann stellenweise ein vollständiger Abtrag des Device Layers beobachtet werden.



**Abb. 6.2:** Oxiddicke in Abhängigkeit von der Oxidationszeit einer Feuchtoxidation bei 1050°C.



**Abb. 6.3:** Anreicherung von Arsen an der Grenzfläche durch Oxidationsprozesse (Probe MO23).

Die mehrfach angewendeten Oxidationen führen zu einer veränderten Dotierstoffverteilung im Device Layer. An der Grenzfläche zur Epi-Schicht wird eine Anreicherung des Akzeptors Arsen beobachtet. Hierzu zeigt die Abbildung 6.3 exemplarisch ein Sekundärionen Massenspektrometrie-Tiefenprofil (SIMS) eines vollständig prozessierten Wafers. Dem Dotierprofil lässt sich eine Verdreifachung der As-Konzentration im Vergleich zur Ausgangsdotierung entnehmen. Da die Grenzfläche zwischen Epi-Schicht und Substrat auch einen pn-Übergang bildet muss bei der Abschätzung des Zener-Tunnelstroms die As-Segregation berücksichtigt werden.

Die Dünnung des Device Layers durch Oxidationsprozesse entspricht einem Ansatz, bei dem die Substrate an den Strukturierungsprozess angepasst werden. Daneben wird jedoch auch der umgekehrte Ansatz verfolgt. Die hierzu notwendige Prozessentwicklung wird im Kapitel 6.4.3 vorgestellt.

Eine weitere Möglichkeit zur Vermeidung des umständlichen Dünnungsprozesses besteht in Verwendung von UNIBOND-Wafern. Mit diesem SOI-Herstellungsverfahren lassen sich die Substrate mit Device Layer Dicken bereits ab 340 nm fertigen. Zudem unterliegt die SOI-Schicht einer deutlich geringeren Dickenschwankung im Vergleich zu BESOI-Substraten. Da jedoch diese Wafer nur mit einer niedrigen p-Dotierung des Device Layers angeboten werden, sind Änderungen im Prozessplan notwendig. So ist in diesem Fall der Aufbau von p-Kanal-Transistoren sinnvoller. Die Entwicklung des hierfür erforderlichen Epitaxieprozesses wird in im Kapitel 6.3.5 beschrieben.

## 6.2 Kondensatordielektrikum

Nach der Präparation der SOI-Substrate wird das Dielektrikum des unteren Kondensators im kapazitiven Spannungsteiler realisiert. Um eine möglichst hohe Empfindlichkeit des Sensors zu erzielen, muss die Kapazität so klein wie möglich gestaltet werden. Dieser Zusammenhang kann der im Kapitel 3.1 abgeleiteten Gleichung 3.2 entnommen werden. Der Wert der Kapazität wird durch die Permittivitätszahl ( $\epsilon_r$ ), die Fläche und die Dicke des Dielektrikums bestimmt. Prinzipiell stehen als Dielektrikum Siliziumnitrid ( $\epsilon_r = 7.5$ ) und Siliziumoxid ( $\epsilon_r = 3.9$ ) zur Verfügung. Da das Oxid eine niedrigere Permittivitätszahl, unbeschränkte Abscheidedicke und bessere elektrische Eigenschaften bietet, wird es dem Nitrid vorgezogen. Die Kondensatorfläche wird durch das Layout festgelegt und kann nicht variiert werden. Als variabler Parameter bleibt lediglich die Dicke des Dielektrikums. Diese verhält sich reziprok zur Kapazität.

Für das Dielektrikum werden verschiedene Schichten aus thermischen und Abscheideoxiden untersucht. Die Tabelle 6.3 gibt hierzu einen Überblick:

Oxid	Schichtdicke [nm]
thermisches Oxid	500
Abscheideoxid	1000
therm. Oxid + Abscheideoxid	1500
BOX (thermisches Oxid)	2000

**Tab. 6.3:** Dielektrika des unteren Kondensators im kapazitiven Spannungsteiler.

Die Dicke der gewachsenen bzw. abgeschiedenen Oxidschichten liegt im Bereich zwischen 500 und 1500 nm. Technologisch sind durchaus größere Oxiddicken realisierbar. Allerdings würden dann bei der Kontaktierung der unteren Elektrode Schwierigkeiten auftreten. Eine andere Möglichkeit zur Realisierung des unteren Kondensators besteht in der Verwendung des BOX als Dielektrikum. Die dafür notwendigen Anpassungen im Prozessplan sowie die Herstellungsparameter der Oxide werden nachfolgend vorgestellt.

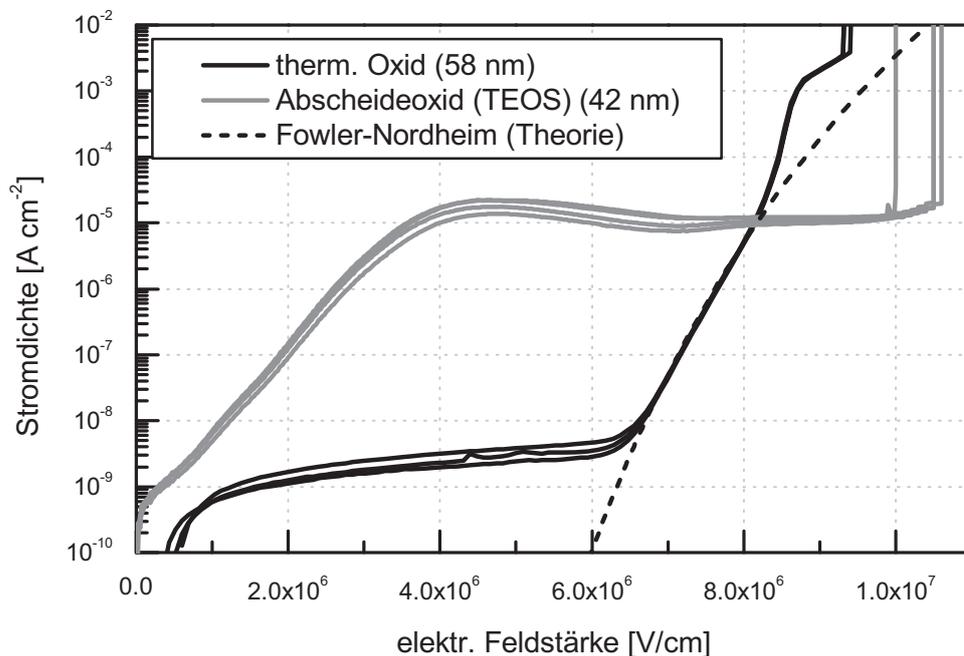
### 6.2.1 Thermisches Oxid

Für das Wachstum des thermischen Oxids wird der gleiche Prozess verwendet, der auch zur Dünnung des Device Layer dient. Die Prozessparameter der Feuchtoxidation sind im Anhang A.1 aufgeführt. Die Oxidationszeit beträgt wie zuvor 60 min, sodass eine Schichtdicke von 500 nm resultiert. Deutlich dickere thermische Oxide sind aufgrund langer Prozesszeiten nicht praktikabel. Siehe hierzu Abbildung 6.2.

### 6.2.2 Abscheideoxid

Die Abscheidung von Oxiden aus der Gasphase ist im Vergleich zu thermischen Oxiden mit niedrigeren Prozesstemperaturen und höheren, konstanten Wachstumsraten verbunden. Damit lassen sich problemlos Oxiddicken jenseits von 1000 nm realisieren. Für die abgeschiedenen TEOS Oxide wird ein LPCVD-Prozess bei 750 °C verwendet. Weitere Prozessparameter können dem Anhang A.3 entnommen werden.

Der Einsatz eines Abscheideoxids als Dielektrikum stellt besondere Anforderungen an dessen elektrische Eigenschaften. Ein wichtiger Parameter ist hierbei die Leckstromdichte. Zur Qualifizierung dieser werden MOS-Strukturen sowohl mit einem thermischen Oxid als auch einem Abscheideoxid aufgebaut. Anhand von Strom-Spannungs-Messungen lassen sich Aussagen über das Leckstromverhalten der Oxide treffen. Die Teststrukturen werden auf hoch dotierten n(As)-Siliziumsubstraten aufgewachsen bzw. abgeschieden. Als metallische Elektrode dienen Aluminiumpads, die über eine Schattenmaske aufgedampft werden. Die Rückseiten der Substrate sind ganzflächig mit Aluminium bedampft. Die Oxiddicke liegt bei beiden Proben unter 60 nm, sodass mit dem am Institut vorhandenen Messaufbau eine Charakterisierung bis zum elektrischen Durchbruch erfolgen kann. Die Abbildung 6.4 stellt die Leckstromdichte in Abhängigkeit vom elektrischen Feld beider Oxide dar.



**Abb. 6.4:** Leckstromdichte in Abhängigkeit vom elektrischen Feld eines thermischen und eines TEOS-Abscheideoxids.

Das thermische Oxid zeigt bis zu einer Feldstärke von 6 MV/cm eine nahezu konstante Stromdichte, die aus der Aufladung der Kapazität resultiert. Bei höherer Feldstärke dominiert das *Fowler-Nordheim*-Tunneln. Die entsprechende Theoriekurve kann ebenfalls der Abbildung entnommen werden [68]. Ab einer Feldstärke von ca.

8 MV/cm treten erste Schädigungen im Oxid auf, die schließlich bei etwa 9 MV/cm zum Durchbruch führen.

Im Vergleich dazu zeigt das Abscheideoxid bereits bei niedriger Feldstärke eine hohe Leckstromdichte. In der halblogarithmischen Darstellung steigt diese zunächst linear an und erreicht bei etwa 4.5 MV/cm ein lokales Maximum. Die weitere Erhöhung der Feldstärke führt zu einer leichten Abnahme der Leckstromdichte, bis bei etwa 10 MV/cm der Durchbruch erfolgt. Dieser recht komplexe Stromdichte-Feldstärke-Verlauf des TEOS-Abscheideoxids wird im Rahmen dieser Arbeit nicht weiter untersucht. Ansätze zur Beschreibung des Ladungstransports werden von *Senftleben* [94] diskutiert.

Die an dem FGFET-Kondensator angelegte Spannung beträgt maximal 10 V. Bei einer Dicke des Dielektrikum von 1000 nm resultiert ein elektrisches Feld von lediglich 0.01 MV/cm. Die entsprechende Leckstromdichte des Abscheideoxids liegt unter  $10^{-9} \text{ Acm}^{-2}$  und beeinträchtigt damit die Funktion des Sensors nicht.

### 6.2.3 Thermisches Oxid und Abscheideoxid

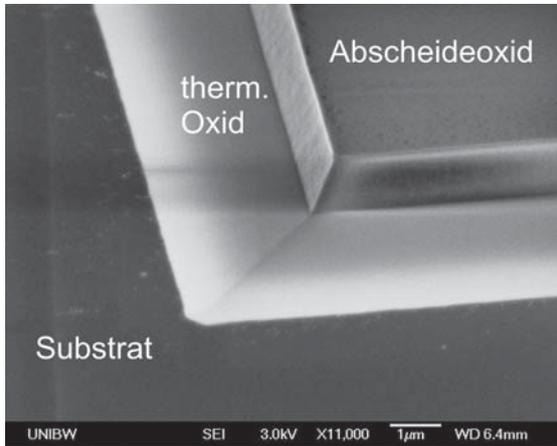
Die Kombination eines thermischen Oxids mit einem Abscheideoxid ermöglicht eine weitere Senkung des Kapazitätswertes. Zur Herstellung des Zweischichtsystems werden die in den vorhergehenden Unterkapiteln beschriebenen Oxidations- und Abscheideprozesse hintereinander ausgeführt.

Ein zusätzlicher Vorteil des Schichtstapels wird bei nasschemischer Strukturierung erkennbar. Die unterschiedlichen Ätzraten der Oxide führen zur einer Facettenbildung an der Ätzflanke. Diese ermöglicht eine optimale Metallbedeckung in Kontaktlochöffnungen. Die Abbildung 6.5 zeigt hierzu die Ätzflanke eines Oxidstapels bestehend aus 500 nm thermischen Oxid und 1000 nm TEOS-Abscheideoxid.

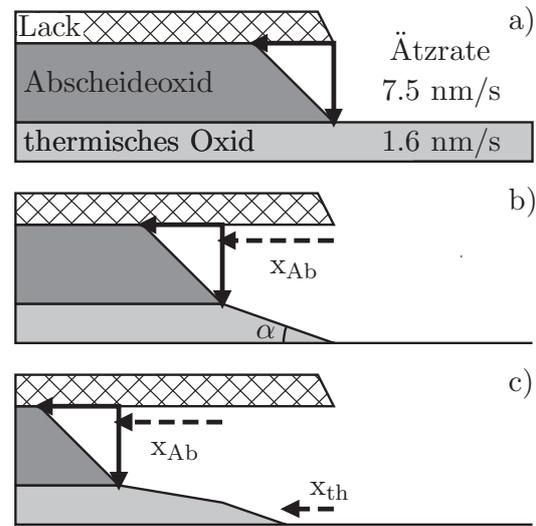
Zur Erklärung der Facettenbildung ist es sinnvoll, den nasschemischen Ätzprozess in drei Teilschritte zu gliedern. Diese werden schematisch in der Abbildung 6.6 dargestellt. Im Teilschritt a) erfolgt der Abtrag bis zur Grenzfläche der beiden Oxide. Dabei wird in einer idealisierten Betrachtung ein transportbegrenzter Ätzprozess mit einem Anisotropiefaktor von 1 angenommen. D.h. die Unterätzung entspricht der Schichtdicke. Im Schritt b) wird die Ätzung bis zum Substrat fortgesetzt. In der dafür notwendigen Ätzzeit hat sich die Ätzflanke des Abscheideoxids aufgrund der höheren Ätzrate deutlich weiter lateral verschoben ( $x_{Ab}$ ) als lediglich um die Dicke des thermischen Oxides, sodass sich eine Facette bildet. Im Teilschritt c) wird die Überätzung betrachtet. Die unterschiedliche laterale Verschiebung der Ätzflanken ( $x_{Ab}$  und  $x_{th}$ ) führt zur Ausbildung einer weiteren Facette.

### 6.2.4 BOX als Dielektrikum

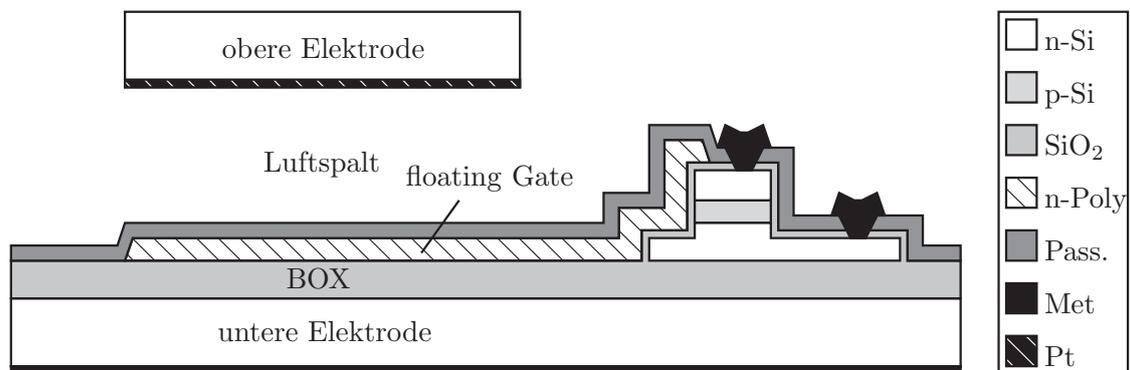
Ein anderer Ansatz zur Realisierung der unteren Kapazität besteht in der Verwendung des BOX als Dielektrikum. Dabei wird, wie die Abbildung 6.7 zeigt, die obere Elektrode weiterhin durch die Poly-Siliziumschicht gebildet und die untere durch den Handle Layer.



**Abb. 6.5:** Ätzflanke eines mit BHF strukturierten Oxidschichtstapels (Probe 11107\_5).



**Abb. 6.6:** Facettenbildung bei Strukturierung eines Oxidschichtstapels.



**Abb. 6.7:** FGFET Sensor Variante mit Verwendung des BOX als Dielektrikum im kapazitiven Spannungsteiler.

Die Integration dieses Kondensators erfordert Änderungen im Prozessplan. Zum einen wird auf die Abscheidung bzw. das Wachstum eines Dielektrikums verzichtet und zum anderen muss ein zusätzlicher Trockenätzprozess nach dem Freistellen der Transistoren eingefügt werden. Dieser dient zum Abtrag des noch verbliebenen Device Layers. Zur Maskierung wird Negativlack in Kombination mit der „Oxidfenster“-Fotomaske verwendet.

Die Kontaktierung des Handle Layers erfolgt ausschließlich von der Substratrückseite. Eine Kontaktlochoffnung durch das 2000 nm dicke BOX ist aufgrund der schlechten Metallbedeckung nicht sinnvoll.



## 6.3 Transistorstapel

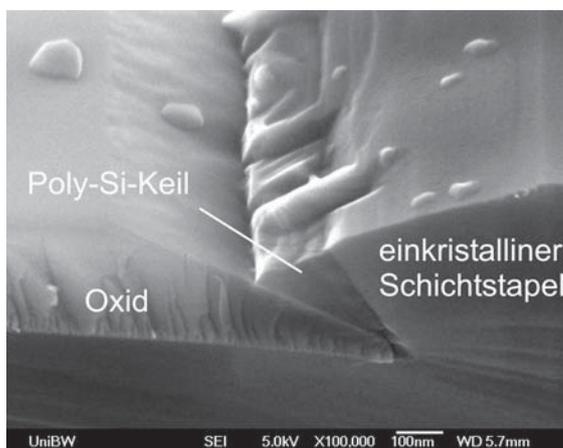
Die Abscheidung des epitaktischen Stapels bildet einen Schlüsselprozess in der Bauteilherstellung. Denn die Schichtdicken und deren Dotierstoffkonzentrationen legen die elektrischen Parameter sowie die Temperaturstabilität der Transistoren fest.

Im Folgenden werden zunächst Ergebnisse zur selektiven Epitaxie und zur *in situ* Dotierung diskutiert. Auf diesen Ergebnissen aufbauend erfolgt die Entwicklung der CVD-Prozesspläne für die vertikalen Bauelemente. Diese werden nachfolgend vorgestellt. Am Ende dieses Unterkapitels wird die Substratreinigung sowie die Reinigung nach Umschleusungen behandelt.

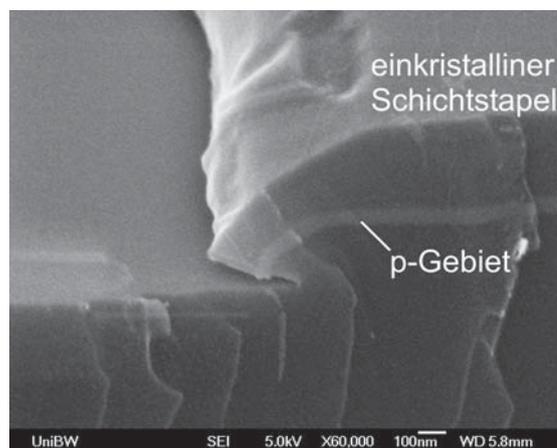
### 6.3.1 Selektive Gasphasenabscheidung

Mit Hilfe der selektiven Epitaxie lässt sich ein Konzept zur Herstellung von vertikalen Bauelementen realisieren, bei dem auf eine trockenchemische Strukturierung eines ganzflächig abgeschiedenen Schichtstapels verzichtet werden kann. Hierzu dient ein strukturiertes Oxid, in dessen frei liegenden Siliziumflächen selektiv der Schichtstapel abgeschieden wird [11, 74].

Für die Funktion der vertikalen Transistoren ist Form und Rauigkeit der Mesaflanke von entscheidender Bedeutung. Bei der selektiven Abscheidung werden diese durch die Prozessparameter und durch das Ätzprofil des strukturierten Oxides beeinflusst. Nasschemisch geätzte Oxide weisen sehr flache Ätzkanten auf. Dadurch wird das Schichtwachstum kaum räumlich begrenzt und erfolgt entlang der energetisch günstigsten Kristallorientierung. Dabei bilden sich Facetten, deren Geometrie von den Prozessparametern der Abscheidung abhängt. Zwei Beispiele hierzu werden in den Abbildungen 6.8 und 6.9 dargestellt.



**Abb. 6.8:** Bildung von Polysilizium zwischen Oxid und der entlang der Kristallorientierung gewachsenen Flanke des Schichtstapels (Probe X4).

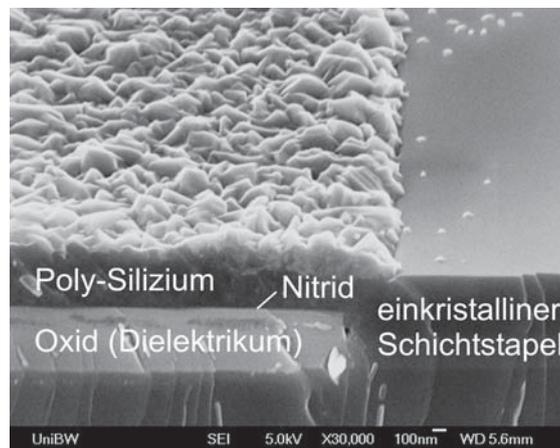


**Abb. 6.9:** Mesaflanke eines selektiv gewachsenen Transistorstapels; heller Streifen entspricht dem Kanal (Probe 10078/1).

Die Flanken beider Schichtstapel sind für den Aufbau von vertikalen Bauelementen nicht geeignet. Die scharfe Kante würde aufgrund der Feldüberhöhung an dieser Stelle zu einem Durchbruch des Gateoxids führen. Das Konzept der selektiven Abscheidung von vertikalen Transistoren kann nur erfolgreich umgesetzt werden, wenn die Oxidmaske durch einen anisotropen Trockenätzprozess strukturiert wird und gleichzeitig die Maskendicke größer ist als die Dicke des epitaktisch gewachsenen Schichtstapels.

Die selektive Epitaxie muss jedoch auch bei der Herstellung der FGFET Sensoren berücksichtigt werden. Der verwendete Maskensatz ist ursprünglich für eine nicht selektive Abscheidung des Schichtstapels konzipiert worden. Dadurch wird davon ausgegangen, dass sich auf dem bereits strukturierten Kondensatordielektrikum eine Opferschicht aus Poly-Silizium bildet, die durch den nachfolgenden Trockenätzprozess abgetragen wird (vgl. Kapitel 4.3). Bei der Verwendung eines selektiven CVD-Prozesses fehlt jedoch die Poly-Silizium-Opferschicht, sodass das Dielektrikum durch den Trockenätzprozess teilweise wieder abgetragen wird.

Die Prozessgase der selektiven Epitaxie bieten allerdings aufgrund der ätzenden Teilreaktion eine hohe Kristallqualität. Um diesen Vorteil nutzen zu können aber gleichzeitig den Abtrag des Dielektrikums zu verhindern, wurde nach Ansätzen zur Aufhebung der Selektivität gesucht. Eine Möglichkeit besteht in der Beschleunigung der Nukleation durch die Bedeckung des Oxids mit einer Siliziumnitridschicht [26]. Die selektive Abscheidung bricht hierdurch schneller zusammen, sodass sich die gewünschte Poly-Opferschicht bildet. Ein Ergebnis hierzu zeigt Abbildung 6.10.



**Abb. 6.10:** Beschleunigte Nukleation durch Nitrid-Schicht (5 nm) (Probe Y1).

### 6.3.2 Dotierung

Die Einstellung der Dotierstoffkonzentration erfolgt primär durch den Anteil des Dotanden im Prozessgas. Daneben beeinflussen auch die Prozesstemperatur und der Prozessdruck den Dotierstoffeinbau. Im Verlauf dieser Arbeit wurden zahlreiche Da-

ten zur Bor- und Phosphor-Dotierung gesammelt. Der verwendete Prozessdruck beträgt bei allen DCS-Abscheidungen 10 Torr und bei allen DS-Abscheidungen 5 Torr.

### Bor-Dotierung

*In situ* Bor dotierte Schichten lassen sich in einem weiten Konzentrationsbereich reproduzierbar realisieren. Die Abbildung 6.11 stellt hierzu die Dotierstoffkonzentration verschiedener Proben in Abhängigkeit vom Diboran-Fluss dar.

Die Wachstumsraten zeigen bei den untersuchten Prozessen keine Abhängigkeit vom Diboran-Fluss. Für den DCS-Prozess bei 950 °C beträgt diese etwa 7.6 nm/s und bei 800 °C etwa 0.7 nm/s.

Die Abscheidung des Kanalgebietes der vertikalen npn-Transistoren erfolgt ausschließlich durch DCS-Prozesse bei 950 °C. Die hohe Abscheidetemperatur begünstigt die Kristallqualität. Das p-Gebiet der nipin-Strukturen hingegen wird bei einer geringeren Temperatur abgeschieden, um die Bor-Diffusion zu unterdrücken. Der ebenfalls untersuchte DS-Prozess bei 600 °C führt zu einer polykristallinen Schicht und wird daher für den Aufbau von Transistoren nicht eingesetzt.

### Phosphor-Dotierung

Bei der n-Dotierung lässt sich trotz einer Variation des Phosphin-Flusses über drei Dekaden lediglich eine Dotierstoffkonzentration zwischen  $1 \cdot 10^{18}$  und  $2 \cdot 10^{19} \text{ cm}^{-3}$  einstellen. Hierzu zeigt die Abbildung 6.12 die Konzentration in Abhängigkeit vom Phosphin-Fluss. Dem Diagramm lässt sich ebenfalls ab einem Phosphin-Fluss von 80 sccm eine Sättigung der Phosphor-Konzentration entnehmen. Diese wird auf die im Kapitel 5.2.4 beschriebene Dimer-Bildung des Phosphors zurückgeführt. Die dargestellten Messpunkte beziehen sich sowohl auf einzeln abgeschiedene Schichten als auch auf Kaskaden (gestrichelte Linie). Die Probennummern der Kaskaden lauten: 1 slm DS 680 °C (13097/1), 1 slm DS 730 °C (13097/2), 100 sccm DCS 800 °C (03038/5) und 100 sccm DCS 850 °C (03038/4). Die DCS-Kaskaden weisen ausgeprägte Segregationseffekte auf.

Die Abscheiderate der DS-Prozesse ist bei den untersuchten Proben unabhängig vom Phosphin-Fluss. Für die Prozesstemperatur von 730 °C liegt diese bei 1.1 nm/s und für den 680 °C-Prozess bei 0.4 nm/s. Im Gegensatz dazu zeigt der DCS-Prozess bei 850 °C für die Erhöhung des Phosphin-Flusses von 100 auf 250 sccm einen signifikanten Rückgang der Wachstumsrate von 0.7 auf 0.4 nm/s. Auch dieser Effekt wird auf die stärkere Bedeckung der Oberfläche durch Dimere zurückgeführt. Die Stufenprofile beider DCS-Kaskaden sind stark verschmiert und lassen keine exakte Bestimmung der Wachstumsraten zu.

Die Abscheidung der Deckschicht der npn-Transistoren erfolgt entweder durch einen DS-Prozess bei 730 °C oder DCS-Prozess bei 850 °C. Für die niedrig dotierten Kanalgebiete der pnp-Strukturen werden ausschließlich DCS-Prozesse bei Temperaturen unter 800 °C verwendet.

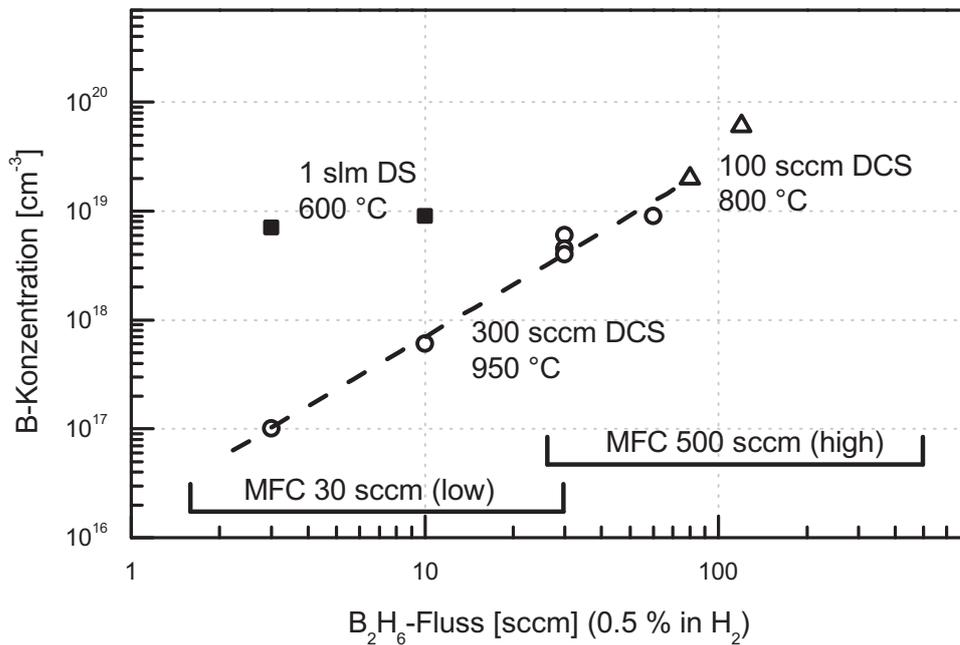


Abb. 6.11: Bor-Dotierstoffkonzentration in Abhängigkeit vom Diboran-Fluss.

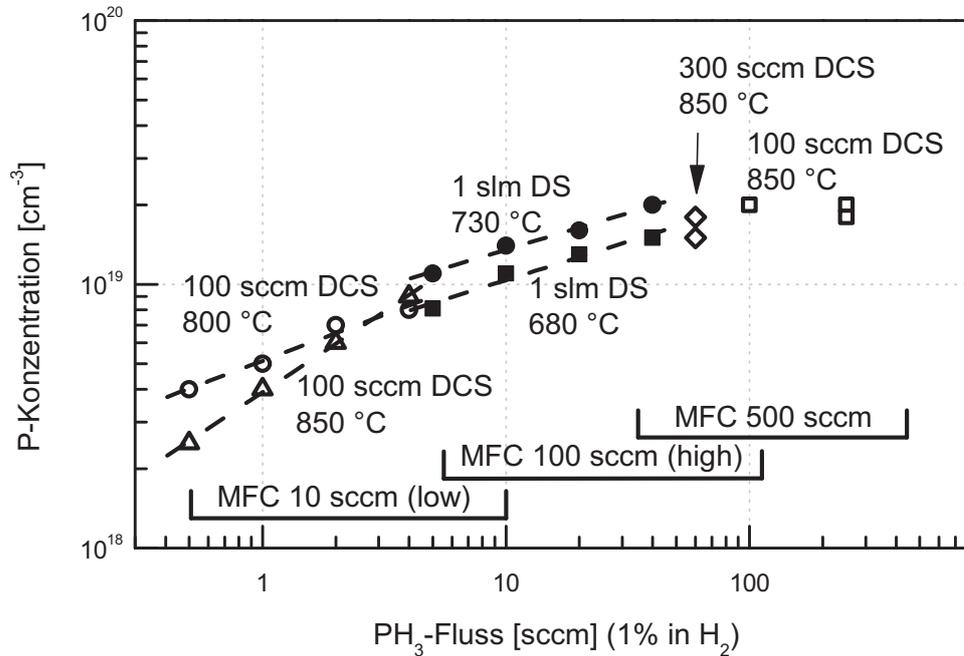


Abb. 6.12: Phosphor-Dotierstoffkonzentration in Abhängigkeit vom Phosphin-Fluss.

### 6.3.3 npn-Struktur

Der Schichtstapel des vertikalen n-MOSFETs besteht aus einem hoch n-dotierten Substrat, einem moderat p-dotierten Kanalgebiet und einer hoch n-dotierten Deckschicht. Die Parameter des Gesamtprozesses werden in der Tabelle 6.4 zusammengefasst. Wie im vorhergehenden Kapitel beschrieben, kann die Deckschicht alternativ mit einem DS-Prozess bei einer Temperatur von 730 °C abgeschieden werden.

Zur Kontrolle des Schichtaufbaus wird direkt nach der Abscheidung („as grown“) ein SIMS-Tiefenprofil angefertigt. Dieses stellt die Abbildung 6.13 dar. Aus dem Profil geht eine Kanallänge von 220 nm und eine Kanaldotierung von  $4 \cdot 10^{18} \text{ cm}^{-3}$  hervor.

Die Dicke der Deckschicht beträgt etwa 290 nm und die Dotierung liegt bei  $2 \cdot 10^{19} \text{ cm}^{-3}$ . Die ausgeprägte Abklinglänge des Phosphors im Kanalgebiet geht auf ein Artefakt der SIMS-Messung zurück. Dieser *knock on*-Effekt entsteht durch einen ionenstrahlinduzierten Eintrieb des Dotanden ins Substrat.

Epi-Programm	Zeit s	Temp. °C	Druck Torr	H <sub>2</sub> sccm	DCS sccm	B <sub>2</sub> H <sub>6</sub> sccm	PH <sub>3</sub> sccm	Rate nm/s
Einschleusen auf n-konditionierten Adapterring								
A-P-KANAL-950-CL	26	950	10	16-1	300	30	-	8.5
Umschleusen auf p-konditionierten Adapterring								
A-DCS-PH3-850	420	850	10	16-1	100	-	100	0.70

Tab. 6.4: Gesamtprozess zur Abscheidung eines npn-Schichtstapels.

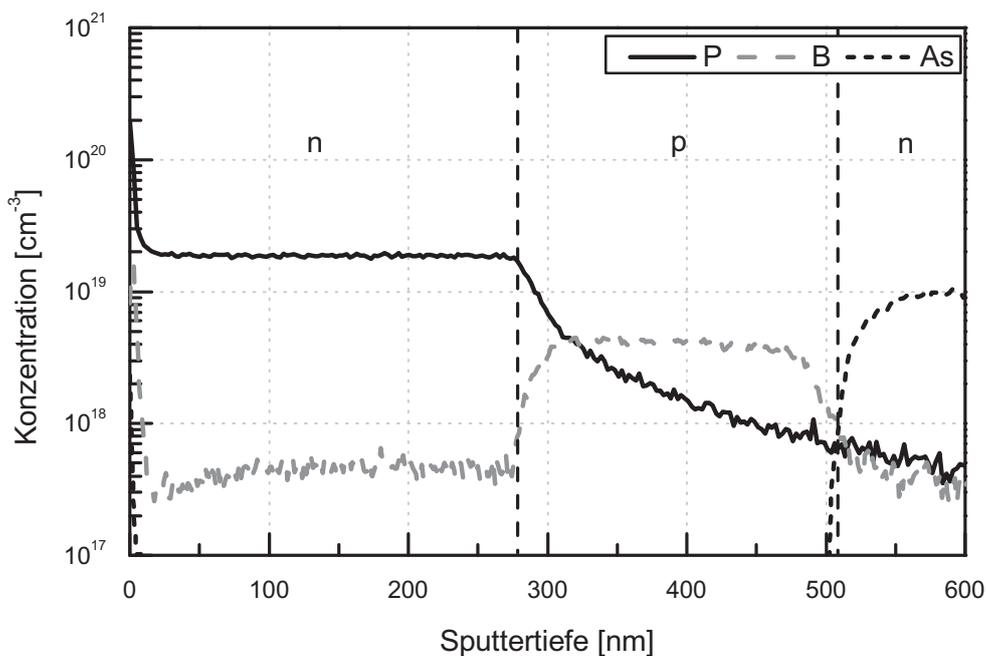


Abb. 6.13: SIMS-Tiefenprofil eines npn-Schichtstapels (Probe 20058/1).

### 6.3.4 nipin-Struktur

Der Kanal des nipin-Transistors besteht aus zwei undotierten Zonen, zwischen denen eine hoch dotierte p-Schicht eingebettet ist. Die Abscheideparameter des Schichtstapels listet die Tabelle 6.5 auf. Der Gesamtprozess wird lediglich durch eine einzige Umschleusung unterbrochen, um das Risiko einer Oberflächenkontamination zu minimieren. Die Abscheidetemperaturen aller Einzelprozesse sind im Vergleich zum npn-Schichtstapel geringer. Dadurch wird die Festkörperdiffusion des Bor-dotierten Gebietes reduziert. Ein SIMS-Tiefenprofil des Schichtstapels stellt Abbildung 6.14 dar. Diesem lässt sich eine Kanal- und Deckschichtdotierung von jeweils  $1 \cdot 10^{19} \text{ cm}^{-3}$  entnehmen. Die intrinsischen Schichten verfügen über eine leichte n-Hintergrunddotierung [90]. Die Kanallänge, bestehend aus der p- und den beiden i-Zonen, beträgt etwa 430 nm.

Epi-Programm	Zeit s	Temp. °C	Druck Torr	H <sub>2</sub> sccm	DCS sccm	B <sub>2</sub> H <sub>6</sub> sccm	PH <sub>3</sub> sccm	Rate nm/s
Einschleusen auf i-konditionierten Adapterring								
A-HFMOS-I1 A	165	825	10	16-1	100	-	-	1.2
A-HTMOS-P B	30	775	10	16-1	100	80	-	1.3
Umschleusen auf i-konditionierten Adapterring								
A-HFIMOS-I2 B	165	825	10	16-1	100	-	-	1.2
A-HTIMOS-N A	40	825	10	16-1	100	-	40	1.9

Tab. 6.5: Gesamtprozess zur Abscheidung eines nipin-Schichtstapels.

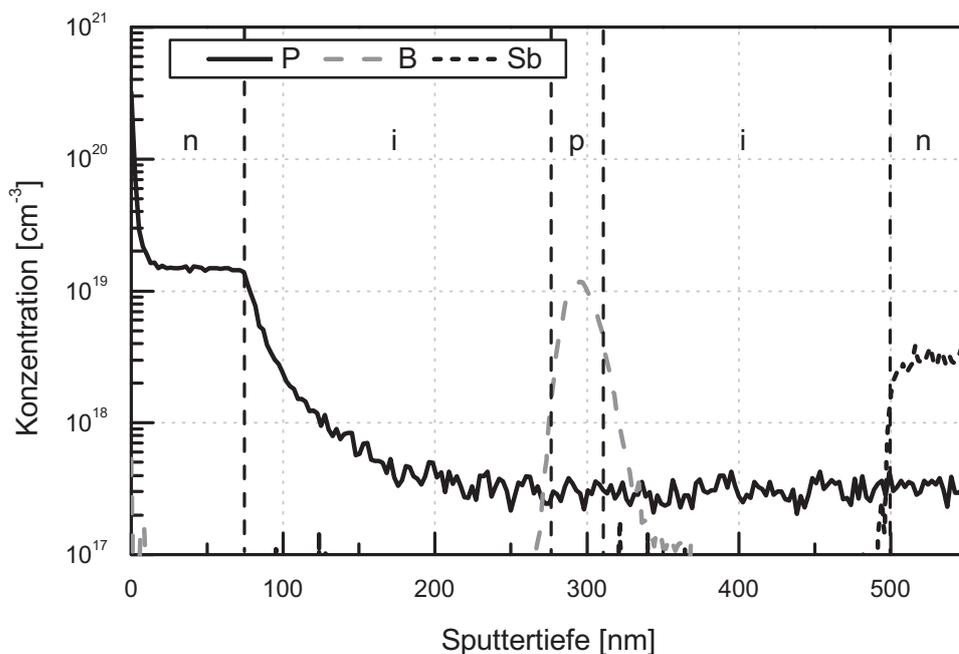


Abb. 6.14: SIMS-Tiefenprofil eines nipin-Schichtstapels (Probe 10087/1).

### 6.3.5 pnp-Struktur

Zur Herstellung der FGFET Sensoren stehen alternativ auch die qualitativ hochwertigeren UNIBOND-Wafer zur Verfügung. Im Gegensatz zu den BESOI-Substraten verfügen diese jedoch über einen niedrig p-dotierten Device Layer. Folglich bietet sich in diesem Fall der Aufbau von vertikalen p-Kanal-Transistoren an. Die direkte Abscheidung eines n-dotierten Kanals würde jedoch aufgrund der niedrigen Dotierung zu einer Senkung der Temperaturbeständigkeit führen. Daher muss zwischen Kanal und Device Layer eine zusätzliche hoch dotierte p-Schicht eingefügt werden. Es resultiert ein  $p^-p^+n^-p^+$ -Schichtstapel.

Ein erster Ansatz zur Abscheidung dieses Schichtstapels erfolgt mit dem in Tabelle 6.6 aufgeführten Gesamtprozess.

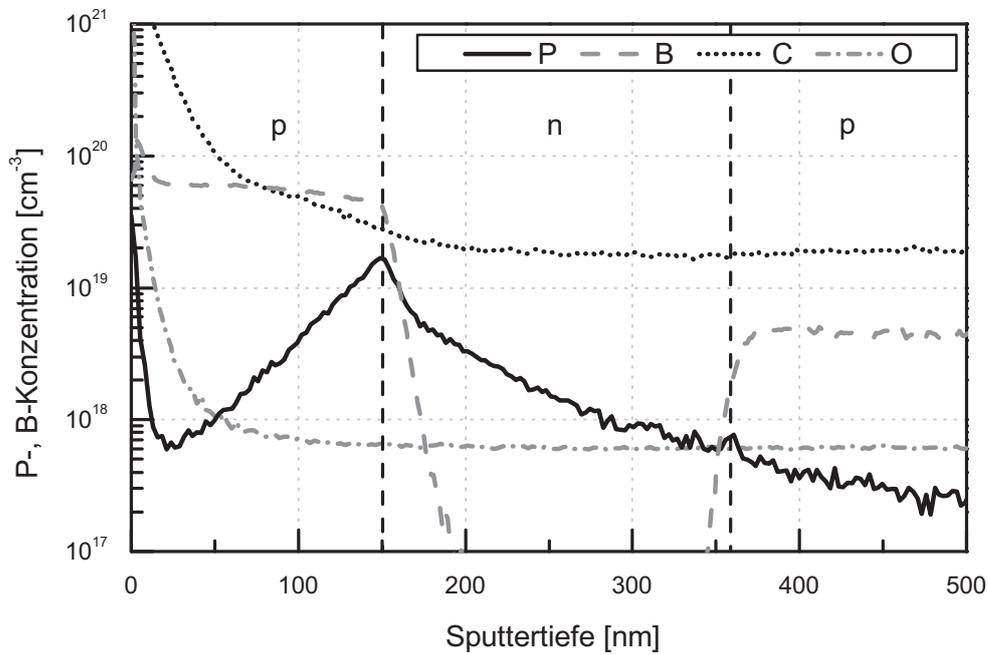
Epi-Programm	Zeit s	Temp. °C	Druck Torr	H <sub>2</sub> sccm	DCS sccm	B <sub>2</sub> H <sub>6</sub> sccm	PH <sub>3</sub> sccm	Rate nm/s
Einschleusen auf p-konditionierten Adapterring								
A-P-KANAL-950-CL	26	950	10	16-1	300	30	-	7.6
Umschleusen auf n-konditionierten Adapterring								
A-N-KANAL 850	140	850	10	16-1	100	-	1	(1.5)
Umschleusen auf p-konditionierten Adapterring								
A-DCS-B2H6-800	200	800	10	16-1	100	120	-	0.76

**Tab. 6.6:** Gesamtprozess zur Abscheidung eines pnp-Schichtstapels.

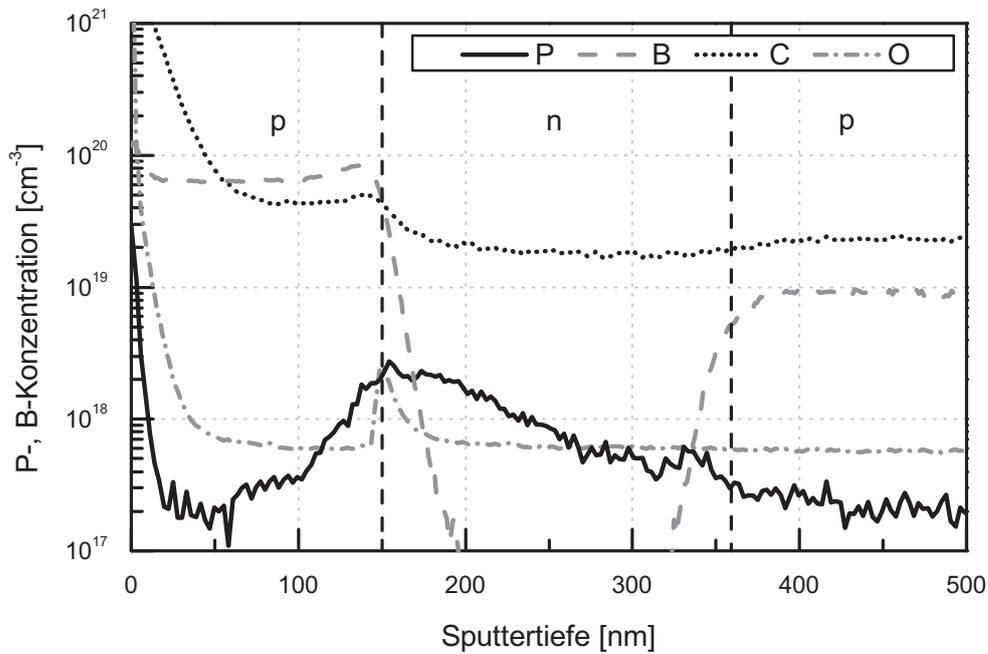
Das dazugehörige SIMS-Tiefenprofil wird in Abbildung 6.15 dargestellt. Aus diesem geht eine starke Segregation des Phosphors hervor. Wie im Kapitel 5.2.4 beschrieben, wird während des Schichtwachstums eine zunehmende Phosphor-Konzentration sowie der Einbau des Dotierstoffes in die Folgeschicht beobachtet. Letzterer Effekt bewirkt eine Erniedrigung der effektiven Dotierung der Deckschicht, was die maximale Einsatztemperatur des Bauteils herabsetzt.

Eine Möglichkeit zur Entfernung des auf der Oberfläche segregierten Phosphors besteht in der Verwendung einer Reinigungsoxidation. Zur Untersuchung des Verfahrens wird eine weitere Probe präpariert, mit einem zusätzlichen RTO-Prozess nach der n-Schicht-Abscheidung. Bei dem RTO-Prozess handelt es sich um eine Feuchtoxidation bei 800 °C (GOX.7 vgl. Kapitel 6.5.1), bei der eine 5 nm dicke Oxidschicht gewachsen wird. Das Oxid wird anschließend durch eine HF-Ätzung (1:100) entfernt und daraufhin das Schichtwachstum fortgesetzt. Das SIMS-Tiefenprofil dieser Probe wird in der Abbildung 6.16 gezeigt.

Der zusätzliche Oxidationsschritt führt zu einem deutlich steileren Abfall der Phosphor-Konzentration in der Deckschicht. Die Abklinglänge kann dabei von 81 nm/dec auf 61 nm/dec reduziert werden. Gleichzeitig tritt jedoch aufgrund der nasschemischen Behandlung eine Verunreinigung an der Grenzfläche auf. Sowohl der Sauerstoff als auch der Kohlenstoff verschlechtern das Leckstromverhalten des pn-Übergangs. Folglich ist das Verfahren der Reinigungsoxidation nicht zielführend.



**Abb. 6.15:** SIMS-Tiefenprofil eines pnp-Schichtstapels, starke Segregationseffekte bei Abscheidung der n-Schicht (Probe 19058/1).



**Abb. 6.16:** SIMS-Tiefenprofil eines pnp-Schichtstapels, mit zusätzlicher thermischer Oxidation zur Oberflächenreinigung (Probe 19058/2).

### Dotierung durch Oberflächenbelegung

Bei der Dotierung durch Oberflächenbelegung wird die Phosphor-Segregation gezielt zur Abscheidung eines homogen dotierten Kanalgebietes ausgenutzt. Das Verfahren beruht auf einer Phosphor-Bedeckung der Siliziumoberfläche und einem anschließendem Schichtwachstum, bei dem ausschließlich der segregierte Phosphor als Dotierstoffquelle fungiert. Den Gesamtprozess eines auf diese Weise gewachsenen pnp-Schichtstapels fasst Tabelle 6.7 zusammen.

Epi-Programm	Zeit s	Temp. °C	Druck Torr	H <sub>2</sub> sccm	DCS sccm	B <sub>2</sub> H <sub>6</sub> sccm	PH <sub>3</sub> sccm	Rate nm/s
Einschleusen auf p-konditionierten Adapterring								
A-DCS-B2H6-800B	200	800	10	16-1	100	60	-	0.78
Umschleusen auf n-konditionierten Adapterring								
A-N-KANAL 850	10	850	10	16-1	100	-	-	(1.0)
	30	850	10	16-1	100	-	80	
	120	850	10	16-1	100	-	-	
Umschleusen auf p-konditionierten Adapterring								
A-DCS-B2H6-800	200	800	10	16-1	100	60	-	0.74

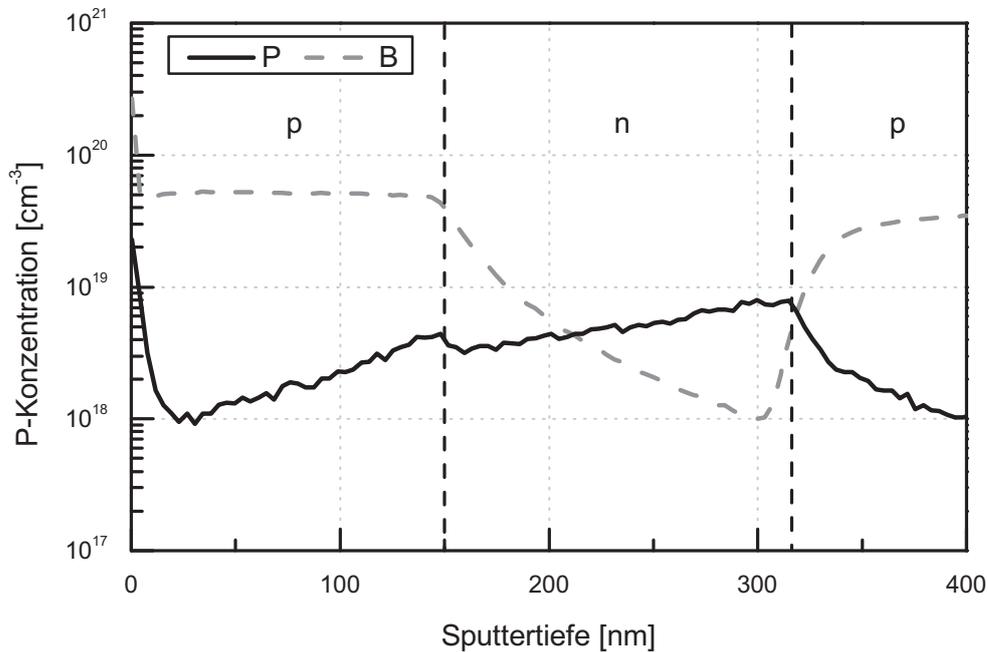
**Tab. 6.7:** Gesamtprozess zur Abscheidung eines pnp-Schichtstapels: n-Schichtdotierung durch Oberflächenbelegung.

Nach der ersten p-Schicht-Abscheidung folgt eine dünne Pufferschicht aus undotiertem Silizium. Diese dient zur Herstellung eines definierten Zustands der Siliziumoberfläche. Denn aus der Literatur ist bekannt, dass der nachfolgende Flächenbelegungsprozess von der Elektronendichte [13] und damit von der Dotierung des Substrats abhängt. Für die Belegung wird das Substrat einem moderaten Phosphin-Fluss ausgesetzt. Anschließend folgt die Siliziumabscheidung ohne die Verwendung gasförmiger Dotanden. Zuletzt wird die hoch dotierte Deckschicht abgeschieden.

Dem in Abbildung 6.17 dargestellten Tiefenprofil lässt sich aufgrund der erschöpflichen Dotierstoffquelle mit wachsender Schicht eine Abnahme der Phosphor-Konzentration entnehmen. Diese beträgt an der unteren Diode  $8 \cdot 10^{18} \text{ cm}^{-3}$  und sinkt an der oberen auf  $3 \cdot 10^{18} \text{ cm}^{-3}$  ab. Zusätzlich wird beim Dotierstoffwechsel ein Phosphor-Grenzflächenpeak beobachtet. In der Deckschicht klingt die Phosphor-Konzentration mit einer ausgedehnten Abklinglänge von 174 nm/dec ab.

Durch weitere Versuche kann eine Abhängigkeit der Flächenbelegung von der Temperatur nachgewiesen werden. So führt der gleiche Belegungsprozess bei einer Temperatur von 500 °C zu einer niedrigeren Phosphor-Konzentration von  $3 \cdot 10^{18} \text{ cm}^{-3}$  (Probe 26068/15).

Mit Hilfe der Dotierung durch Oberflächenbelegung lässt sich im Vergleich zu der Methode mit kontinuierlichen Dotandenfluss eine deutlich gleichmäßigere Dotierstoffverteilung im Kanalgebiet erzielen. Jedoch bleibt das Problem des Phosphoreinbaus in die Deckschicht weiterhin ungelöst. Aus der Abbildung 6.17 wird ersichtlich,



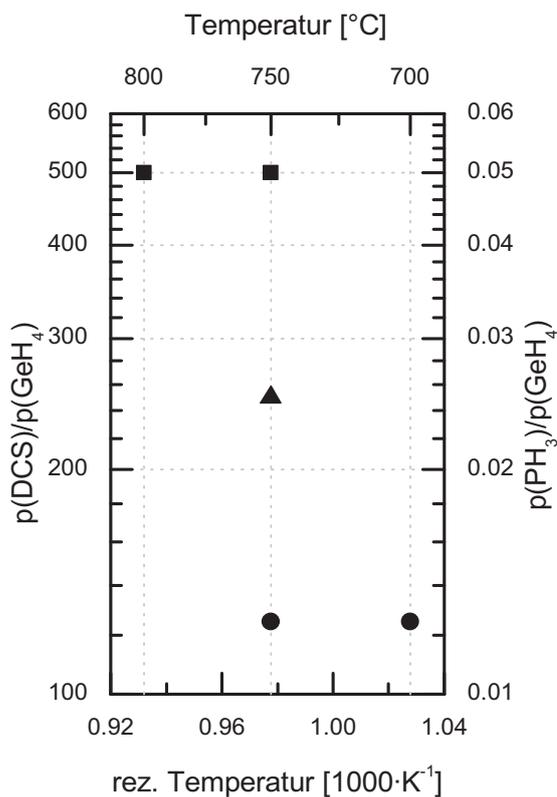
**Abb. 6.17:** SIMS-Tiefenprofil eines pnp-Schichtstapels, Abscheidung der n-Schicht durch Oberflächenbelegung (Probe 17068/3).

dass bei einer angestrebten Bor-Konzentration der Deckschicht von  $1 \cdot 10^{19} \text{ cm}^{-3}$  die Phosphor-Konzentration nahe der Grenzfläche lediglich eine Dekade darunter liegen würde. Der dadurch kompensierte Dotierstoff würde zu einer Senkung der maximalen Einsatztemperatur des Bauelements führen.

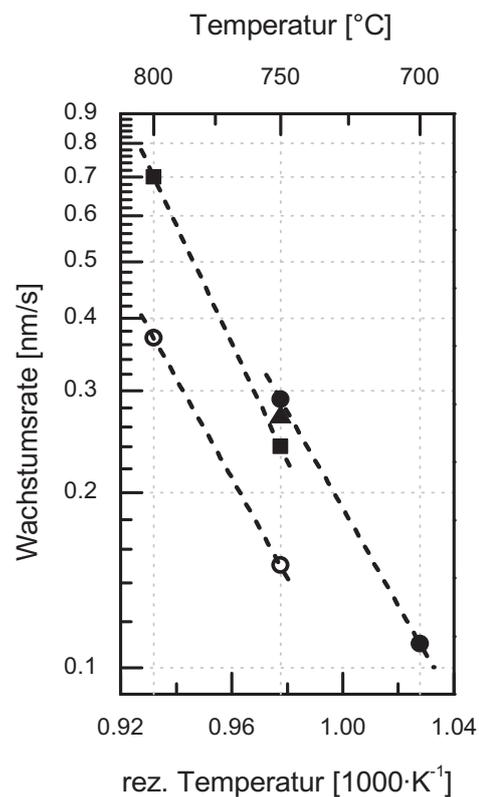
Eine weitere Konsequenz, die sich aus dem Dotierstoffeinbau in die Folgeschicht ergibt, betrifft die Substratreinigung. Im nachstehenden Unterkapitel wird nachgewiesen, dass die Grenzfläche sich nach einer Umschleusung sehr zuverlässig reinigen lässt. Dadurch bestünde die Möglichkeit auf jedem nasschemisch gereinigten Substrat zunächst eine Pufferschicht abzuscheiden, deren Dotierung der Substrat-dotierung entspricht. Im Falle eines npn-Transistors würde das n-dotierte Substrat zunächst mit einer Phosphor-dotierten Schicht überwachsen werden. Da jedoch die Segregationseffekte zu einer hohen Phosphor-Konzentration im Bor-dotiertem Kanalgebiet führen würden, muss dieser Ansatz verworfen werden.

### 6.3.6 pn(SiGe)p-Struktur

Durch zusätzliche Beimischung von German zum Prozessgas lassen sich die Oberflächenreaktionen der *in situ* Phosphor-Dotierung beeinflussen. Dabei können, wie im Kapitel 5.2.5 beschrieben, die Germaniumhydride die Phosphordimer-Bildung unterdrücken. Folglich besteht hiermit ein weiterer Ansatz zur Abscheidung von scharf dotierten pnp-Strukturen. Zur Untersuchung dieses Ansatzes wird ein Versuchsplan, bestehend aus fünf pn(SiGe)p-Strukturen, erstellt. Wie die Abbildung 6.18 zeigt, wird in diesem sowohl die Temperatur als auch der Partialdruck des Germans variiert. Bei der Erstellung des Plans wird auf die kritische Dicke der SiGe-Schichten geachtet. Anhand bereits am Institut bestehender Daten [90] kann für die Proben mit dem höchsten German-Partialdruck ein Germanium-Anteil von ca. 6 % abgeschätzt werden. Um eine angestrebte Schichtdicke von 150 nm zu erzielen, werden diese Schichten im metastabilen Zustand abgeschieden. Für Proben, deren German-Anteil geringer ist, wird eine höhere Temperatur gewählt.



**Abb. 6.18:** Versuchsplan zu Phosphor-dotierten Si(Ge)-Schichten.



**Abb. 6.19:** Wachstumsraten zu n(SiGe)-Schichten,  $\circ$  undotierte Si-Schicht.

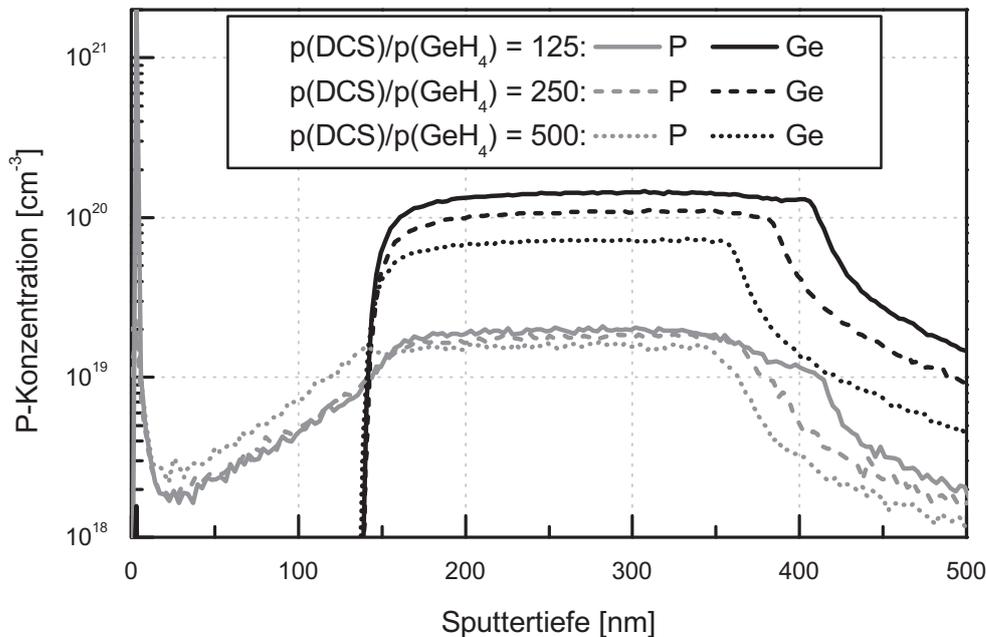
Die Abscheidung der SiGe-Schichten erfolgt, indem für alle Proben die Mindestdurchflussmenge des Germans von 4 sccm konstant gehalten wird und die Flüsse von DCS und Phosphin im gleichen Verhältnis verändert werden. Dabei enthalten die SiGe-Schichten, die bei dem Partialdruckverhältnis von  $p(\text{DCS})/p(\text{GeH}_4) = 500$  gewachsen werden, annähernd den minimalen Germanium-Anteil, der sich mit der gegebenen Konfiguration der Gasversorgung realisieren lässt.

Die Zugabe von German zum Prozessgas führt zur erwarteten Steigerung der Wachstumsrate. Wie die Abbildung 6.19 zeigt, verdoppelt sich die Abscheiderate im Vergleich zum undotierten Silizium. Die Symbole der in beiden Diagrammen dargestellten Proben entsprechen einander.

Im Folgenden wird zunächst der Einfluss des German-Partialdrucks auf Phosphor-Dotierprofil betrachtet. Hierzu dienen die drei bei 750 °C abgeschiedenen Schichten. Eine detaillierte Auflistung der Abscheideparameter ist in Tabelle 6.8 zu finden. Die entsprechenden Tiefenprofile der n(SiGe)-Schichten werden in Abbildung 6.20 dargestellt. Aus Gründen der Übersichtlichkeit wird an dieser Stelle auf die Auftragung der Bor-Profile verzichtet.

Epi-Programm	Zeit s	Temp. °C	Druck Torr	H <sub>2</sub> sccm	DCS sccm	GeH <sub>4</sub> sccm	PH <sub>3</sub> sccm	Rate nm/s
$p(\text{DCS})/p(\text{GeH}_4) = 125; (17068/1)$								
A-N-GE_750_PH3_4	900	750	10	16-1	100	4	1	0.29
$p(\text{DCS})/p(\text{GeH}_4) = 250; (17068/4)$								
A-N-GE_750_PH3_2	900	750	10	16-1	200	4	2	0.27
$p(\text{DCS})/p(\text{GeH}_4) = 500; (03068/1)$								
A-N-GE_750_PH3_1	900	750	10	16-1	400	4	4	0.24

**Tab. 6.8:** Prozesse zur Abscheidung n(SiGe)-Schichten bei unterschiedlichem German-Partialdruck.



**Abb. 6.20:** SIMS-Tiefenprofile von n(SiGe)-Schichten: Einfluss des Germaniumanteils (Proben: 17068/1, 17068/4, 03068/1).

Bei allen drei Proben kann durch die Zumischung des Germans eine homogene Phosphor-Dotierung erzielt werden. Diese zeigt jedoch nur eine geringe Abhängigkeit vom Partialdruckverhältnis  $p(\text{DCS})/p(\text{GeH}_4)$  bzw.  $p(\text{PH}_3)/p(\text{GeH}_4)$ . Die Phosphor-Konzentration der Schichten beträgt etwa  $1 \cdot 10^{19} \text{ cm}^{-3}$  und ist damit deutlich höher im Vergleich zur reinen Siliziumabscheidung. Durch das German wird offensichtlich ein höherer Anteil des atomaren Phosphors für den Einbau ins Kristallgitter bereitgestellt. Gleichzeitig kann jedoch aus der starken Phosphor-Dotierung der Folgeschicht geschlossen werden, dass der Einbauprozess langsamer abläuft als die Bereitstellung des Phosphors. Durch Variation des German-Partialdrucks kann der Einbau des Dotanden nicht beeinflusst werden. Alle drei Proben zeigten eine nahezu gleiche Abklinglänge von 144 nm/dec.

Eine andere Möglichkeit zur Einflussnahme auf den Phosphor-Einbauprozess besteht in der Änderung der Abscheidetemperatur. Zur Untersuchung dieses Parameters dienen die Proben, die bei dem Partialdruckverhältnis  $p(\text{DCS})/p(\text{GeH}_4)$  von 500 und 125 bei jeweils zwei unterschiedlichen Temperaturen gewachsen werden. Die Tabelle 6.9 zeigt hierzu die Parameter der Abscheideprozesse und die Abbildungen 6.21 und 6.22 die entsprechenden SIMS-Tiefenprofile.

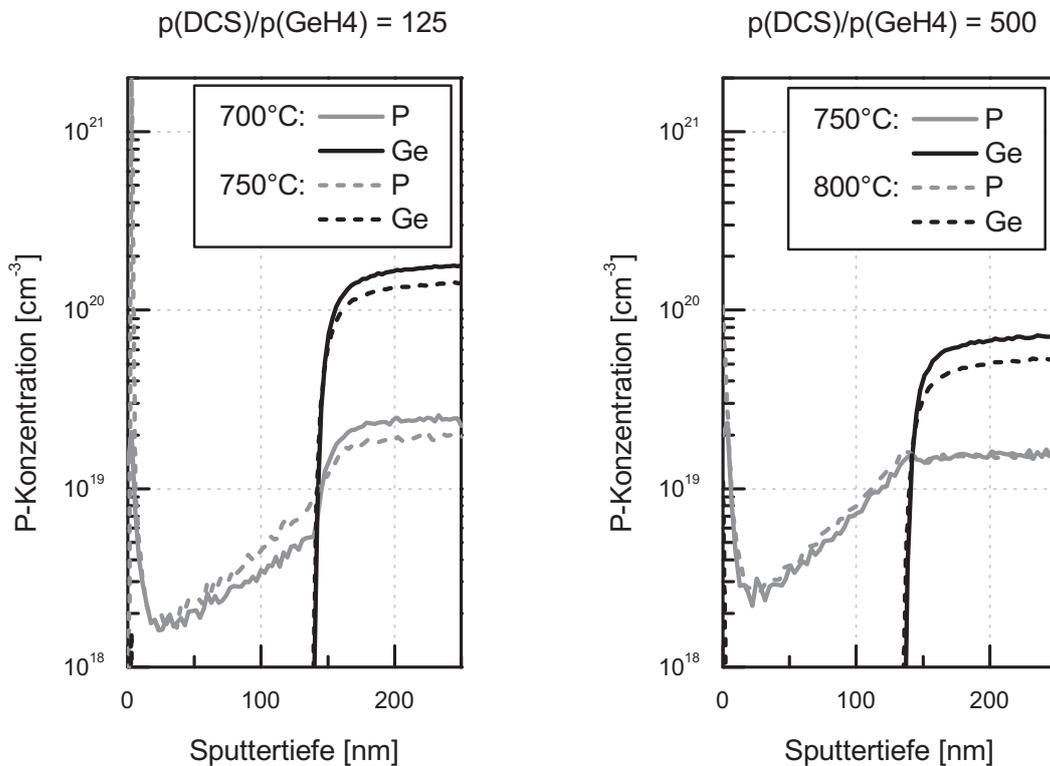
Epi-Programm	Zeit s	Temp. °C	Druck Torr	H <sub>2</sub> sccm	DCS sccm	GeH <sub>4</sub> sccm	PH <sub>3</sub> sccm	Rate nm/s
700 °C; $p(\text{DCS})/p(\text{GeH}_4) = 125$ ; (17068/2)								
A-N-GE_700_PH3_1	1200	700	10	16-1	100	4	1	0.11
750 °C; $p(\text{DCS})/p(\text{GeH}_4) = 125$ ; (17068/1)								
A-N-GE_750_PH3_1	900	750	10	16-1	100	4	1	0.29
750 °C; $p(\text{DCS})/p(\text{GeH}_4) = 500$ ; (03068/1)								
A-N-GE_750_PH3_4	900	750	10	16-1	400	4	4	0.24
750 °C; $p(\text{DCS})/p(\text{GeH}_4) = 500$ ; (03068/2)								
A-N-GE_800_PH3_4	600	800	10	16-1	400	4	4	0.70

**Tab. 6.9:** Prozesse zur Abscheidung der n(SiGe)-Schichten bei unterschiedlicher Temperatur.

Die Verringerung der Abscheidetemperatur von 750 auf 700 °C führt zu einer höheren Phosphor-Konzentration und gleichzeitig zu einem schärferen Dotierprofil. Dabei fällt die Konzentration an der Grenzfläche abrupt von  $2 \cdot 10^{19}$  auf  $5 \cdot 10^{18} \text{ cm}^{-3}$  ab. Offensichtlich begünstigt die niedrigere Temperatur den Dotierstoffeinbau und verringert zugleich die Bedeckung der Oberfläche mit atomarem Phosphor.

Im Gegensatz dazu zeigen die Proben mit dem höheren Germaniumanteil für die beiden Abscheidetemperaturen bei 750 und 800 °C keinen Unterschied im Dotierprofil. Dies deutet drauf hin, dass über der Temperatur von 750 °C sowohl die Phosphor-Bedeckung als auch die Rate des Einbauprozesses sättigen.

Die Verwendung einer niedrigeren Prozesstemperatur scheint die Abscheidung eines pn(SiGe)p-Schichtstapels mit einem scharfen Dotierprofil zu ermöglichen. Dennoch ist der Schichtstapel für den Aufbau eines p-MOSFETs nicht geeignet, da die



**Abb. 6.21:** Prozesse zur Abscheidung von n(SiGe)-Schichten bei unterschiedlichen Temperaturen (Proben: 17068/1, 17068/2).

**Abb. 6.22:** Prozesse zur Abscheidung von n(SiGe)-Schichten bei unterschiedlichen Temperaturen (Proben: 03068/1, 03068/2).

hohe Kanaldotierung von  $2 \cdot 10^{19} \text{ cm}^{-3}$  an beiden pn-Übergängen zu einem Zener-Durchbruch führen würde. Eine niedrigere n-Dotierung lässt sich jedoch mit der gegebenen Konfiguration der CVD-Anlage nicht realisieren.

Zusammenfassend lässt sich festhalten, dass die Abscheidung eines vertikalen p-MOSFETs für Hochtemperaturanwendungen noch weiterer Entwicklungsarbeit bedarf. Mögliche Ansätze bestehen in der *in situ* Chlorwasserstoff-Ätzung des segregierten Phosphors oder in einem Spike-Anneal zur Desorption.

### 6.3.7 Substratreinigung

Vor der epitaktischen Abscheidung werden alle Substrate einem RCA Clean unterzogen (vgl. Kapitel 5.7.2). Anschließend dient eine HF-Ätzung zur Entfernung des chemischen Oxides und zur Bildung einer Wasserstoff-Passivierung (vgl. Kapitel 5.7.1). Da diese innerhalb weniger Stunden wieder desorbiert, werden die Substrate innerhalb von 20 min in die CVD-Anlage eingeschleust und weiter verarbeitet.

Der nasschemischen *ex situ* Reinigung folgt unmittelbar vor der Schichtabscheidung ein *in situ* Reinigungsprozess. Im Verlauf der Arbeit werden hierbei drei unterschiedliche Prozesse intensiver untersucht und miteinander verglichen. Zu diesen zählen der einstufige Wasserstoff-Bake, der zweistufige Wasserstoff-Bake und die Chlorwasserstoff-Reinigung (vgl. Kapitel 5.2.6). Die entsprechenden Prozessabläufe werden in den Abbildungen 6.23, 6.24 und 6.25 dargestellt.

Der einstufige Wasserstoff-Bake besteht aus einem Spülschritt, einer Heizrampe und einem Desorptionsprozess. Letzterer erfolgt bei 950 °C und dient zur Entfernung partiell aufoxidierte Bereiche.

Der zweistufige Wasserstoff-Bake beinhaltet einen zusätzlichen Prozessschritt zur Entfernung des Kohlenstoffs. Nach einer Wasserstoff-Spülung der Kammer werden die Substrate zunächst auf eine Temperatur von 750 °C geheizt. Es folgt ein erster Wasserstoff-Bake, der zur vollständigen Zersetzung von Kohlenwasserstoffen und zur Eindiffusion des gebildeten atomaren Kohlenstoffs dient. Nach einer Temperaturerhöhung auf 850 °C sorgt ein zweiter Wasserstoff-Bake für die Desorption des Sauerstoffs.

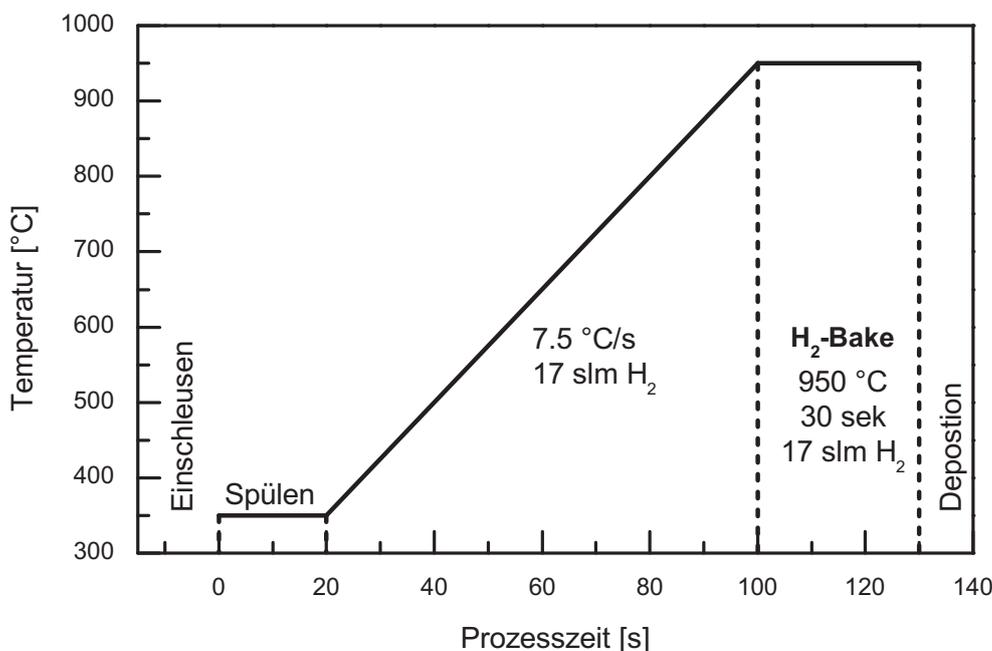


Abb. 6.23: Einstufiger Wasserstoff-Bake.

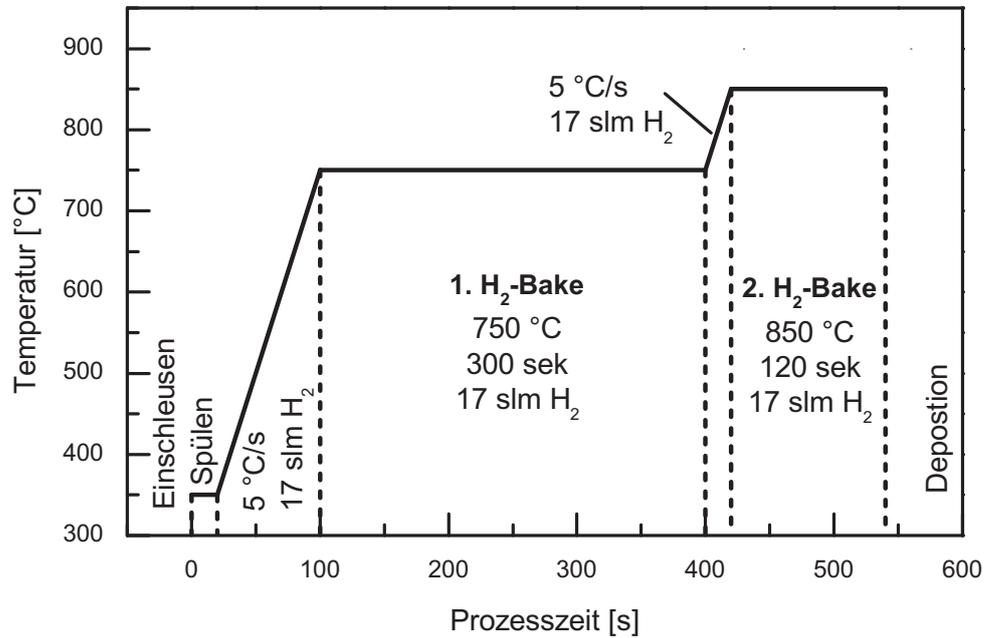


Abb. 6.24: Zweistufiger Wasserstoff-Bake.

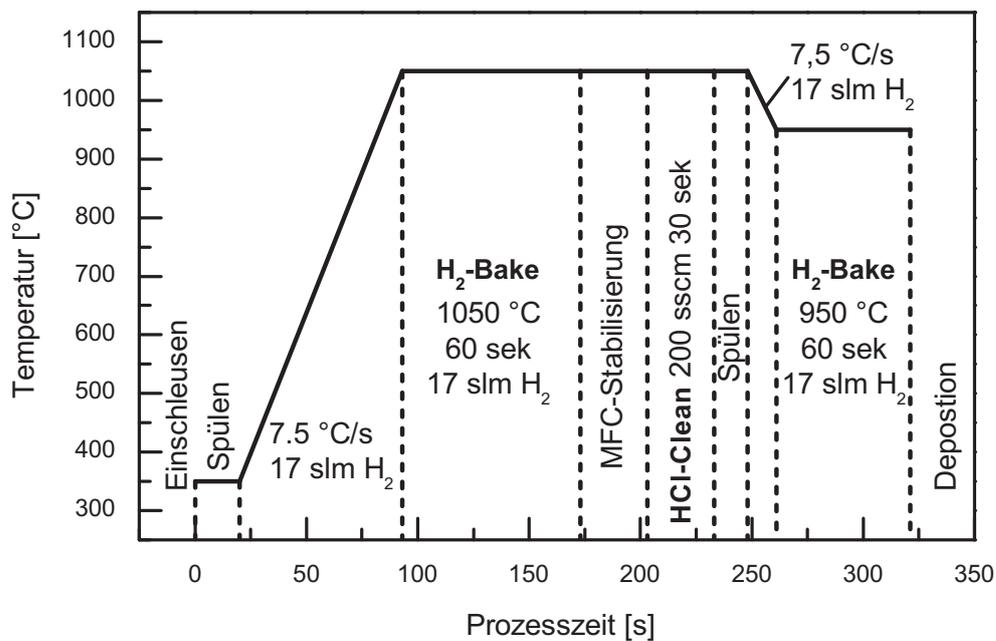


Abb. 6.25: Chlorwasserstoff-Reinigung.

Die Chlorwasserstoff-Reinigung findet im Vergleich zu den beiden anderen Reinigungsprozessen bei einer deutlich höheren Temperatur statt. Sie beginnt mit einem Spülschritt und einer Heizrampe auf eine Temperatur von 1050 °C. Nach einem Wasserstoff-Bake, der zur Sauerstoff-Desorption dient, folgt die Rückätzung des Substrates durch Chlorwasserstoff. Im Anschluss an den Ätzprozess wird die Kammer mit Wasserstoff gespült und das Substrat auf die Abscheidetemperatur abgekühlt. Ein weiterer Wasserstoff-Bake bei einer Temperatur von 950 °C dient zur Entfernung der Rekontaminationen, die während des Abkühlschrittes auftreten.

Dem *in situ* Reinigungsprozess folgt die Abscheidung eines Bor-dotierten Kanalgebietes und nach einer Umschleusung das Wachstum der Phosphor-dotierten Deckschicht. Der resultierende Schichtstapel wird anschließend zu vollständigen Bauelementen weiter prozessiert.

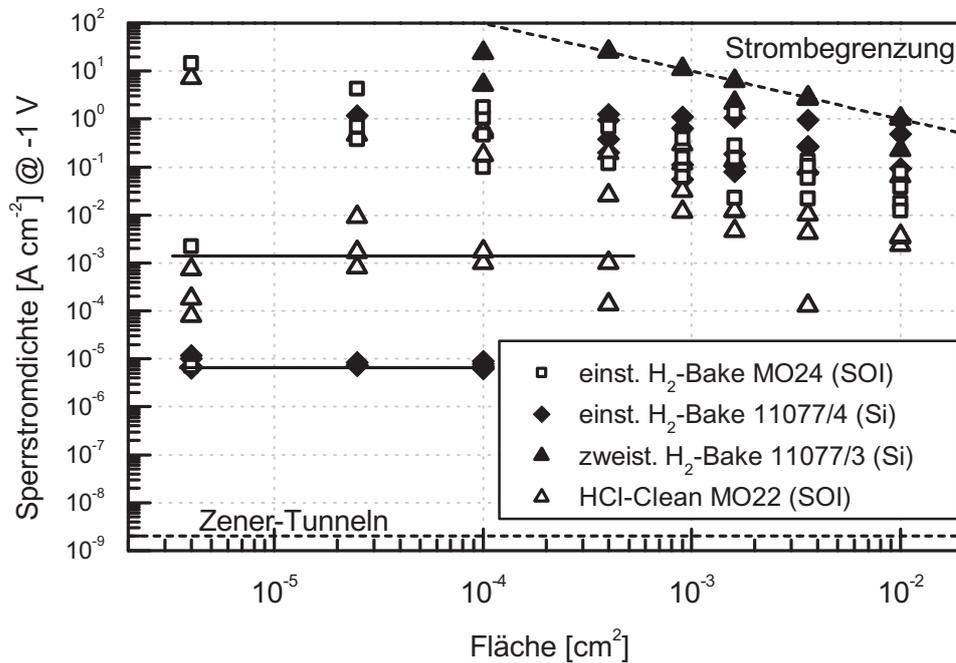
Eine erste Beurteilung der Reinigungsverfahren hinsichtlich ihrer Wirksamkeit kann anhand von SIMS-Tiefenprofilen erfolgen. Als Kriterium dient dabei ein Anstieg der Zählrate von Kohlenstoff, Sauerstoff und Stickstoff an der Grenzfläche zwischen Substrat und der ersten abgeschiedenen Schicht. Anhand von zahlreichen Tiefenprofilen kann nachgewiesen werden, dass sich mit jedem der drei Reinigungsverfahren Proben präparieren lassen, die keinen Anstieg der Zählrate an der Grenzfläche zeigen. Allerdings existieren auch zu jedem Reinigungsverfahren Tiefenprofile, die eine deutliche Verunreinigung an der Grenzfläche aufweisen.

Eine Erklärung für die widersprüchlichen Ergebnisse wird in der fehlenden Kalibrierung der Zählraten gesehen. Für die Bewertung wird ein Anstieg des Signals des jeweiligen Elements gegenüber des Untergrundsignals betrachtet. Da jedoch das Untergrundsignal von Messung zu Messung variiert, können in einzelnen Fällen Signale im Untergrund „verschwinden“. Daher ist im Falle eines Zählratenanstiegs sicher von einer Kontamination an der Grenzfläche auszugehen. Wird jedoch kein Anstieg beobachtet, so lässt sich keine Aussage bezüglich der Wirksamkeit des Reinigungsverfahrens treffen.

Eine deutlich zuverlässigere Bewertung der *in situ* Reinigung kann mit Hilfe elektrischer Charakterisierung erzielt werden. Dazu werden Strom-Spannungs-Kennlinien der vollständig prozessierten npn-Schichtstapel aufgezeichnet. Als Kriterium dient der Sperrstrom bei einer Spannung von  $-1$  V. Untersucht werden acht unterschiedlich große Teststrukturen an jeweils vier Positionen auf dem Wafer. Die Abbildung 6.26 zeigt hierzu die Sperrstromdichte in Abhängigkeit von der Fläche für fünf ausgewählte Substrate.

Die Sperrstromdichte wird nach oben durch die am Messgerät eingestellte Strombegrenzung von 10 mA und nach unten durch das Zener-Tunneln limitiert. Die Abschätzung der Tunnelstromdichte erfolgt mit Hilfe der im Kapitel 2.1.5 vorgestellten Gleichung 2.19. Hierbei wird auch die Akzeptor-Segregation als Folge der Oxidationsprozesse berücksichtigt.

Für den einstufigen Wasserstoff-Bake werden die Ergebnisse sowohl für ein Si- als auch ein SOI-Substrat eingezeichnet. Das SOI-Substrat weist bis auf die kleinste Teststrukturfläche eine extrem hohe Leckstromdichte auf, die praktisch einem Kurz-



**Abb. 6.26:** Sperrstromdichte in Abhängigkeit von der Fläche der Substratdiode unterschiedlicher npn-Schichtstapel.

schluss des pn-Übergangs gleichkommt. Im Gegensatz dazu wird für das Si-Substrat bis zu einer Fläche von  $10^{-4} \text{ cm}^{-2}$  eine konstante Leckstromdichte beobachtet. Diese liegt deutlich über der Zener-Tunnelstromdichte und wird einem defektbegrenzten Ladungstransport zugeordnet. Die Messung suggeriert, dass sich mit dem einstufigen Wasserstoff-Bake zumindest für Si-Substrate eine brauchbare Reinigung erzielen lässt. Tatsächlich zeigen jedoch zahlreiche weitere Messungen einen Kurzschluss des pn-Übergangs, wie er bei dem SOI-Substrat beobachtet wird. Der einstufige Wasserstoff-Bake ist somit nicht reproduzierbar und als *in situ* Reinigungsverfahren ungeeignet.

Auch mit dem zweistufigen Wasserstoff-Bake konnte keine bessere Reinigungswirkung erzielt werden. Die Leckstromdichte des im Diagramm dargestellten Si-Substrates zeigt einen Kurzschluss des pn-Übergangs für alle untersuchten Teststrukturflächen. Als mögliche Ursache hierfür wird eine starke Rekontamination während des langen ersten Wasserstoff-Bakes angenommen.

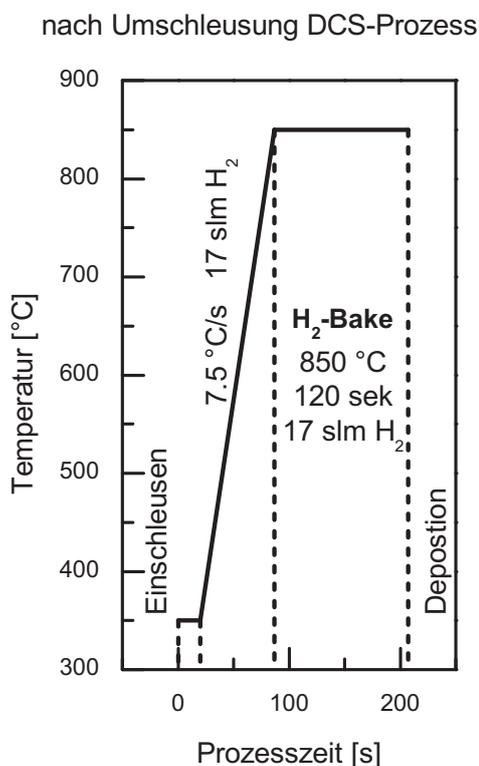
Mit der Chlorwasserstoff-Reinigung kann im Vergleich zu den beiden anderen Verfahren auch für größere Flächen eine konstante, durch Defekte dominierte Leckstromdichte nachgewiesen werden. Dennoch liegt die Leckstromdichte deutlich über der Zener-Tunnelstromdichte, sodass sich auch mit diesem Verfahren keine zuverlässige Substratreinigung erzielen lässt.

Zusammenfassend konnte mit keinem der untersuchten Verfahren eine reproduzierbare Entfernung der Verunreinigungen erbracht werden. Einen ersten Ansatz stellt lediglich die Chlorwasserstoff-Reinigung dar. Hierzu sind jedoch nähere Untersuchungen bezüglich Oberflächenaufrauung und Rekontamination notwendig.

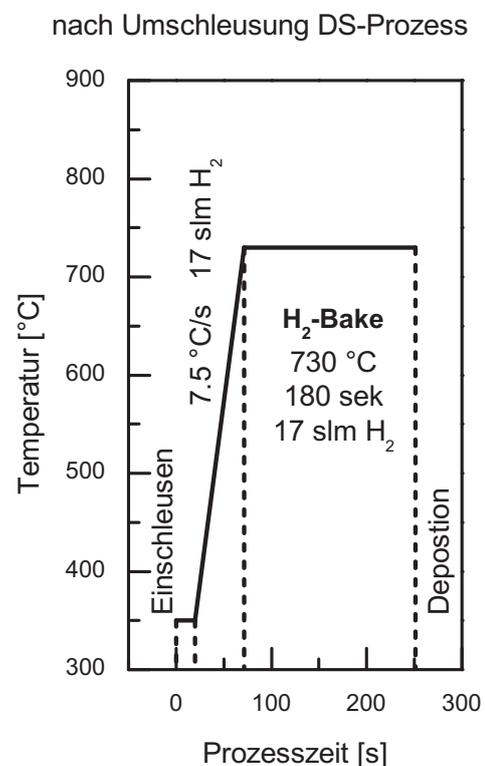
### 6.3.8 Reinigung nach Umschleusung

Um den im Kapitel 5.2.4 beschriebenen Memory-Effekt zu vermeiden, werden nach einem Dotierstoffwechsel die Substrate aus der Anlage ausgeschleust und auf eine entsprechend der Dotierung konditionierte Adapterscheibe umgesetzt. Nach einer umfangreichen Reinigung des Reaktors werden die Substrate wieder eingeschleust und erneut einer *in situ* Reinigung unterzogen.

Bei der Abscheidung einer npn-Struktur folgt nach der Umschleusung die Phosphor-dotierte Deckschicht. Abhängig von der hierfür verwendeten Silizium-Quellsubstanz, werden unterschiedliche *in situ* Reinigungsprozesse durchgeführt. Die Abbildungen 6.27 und 6.28 stellen die Reinigungsverfahren für einen nachfolgenden DCS- und DS-Abschleideprozess dar.



**Abb. 6.27:** Wasserstoff-Bake vor DCS-Prozess.

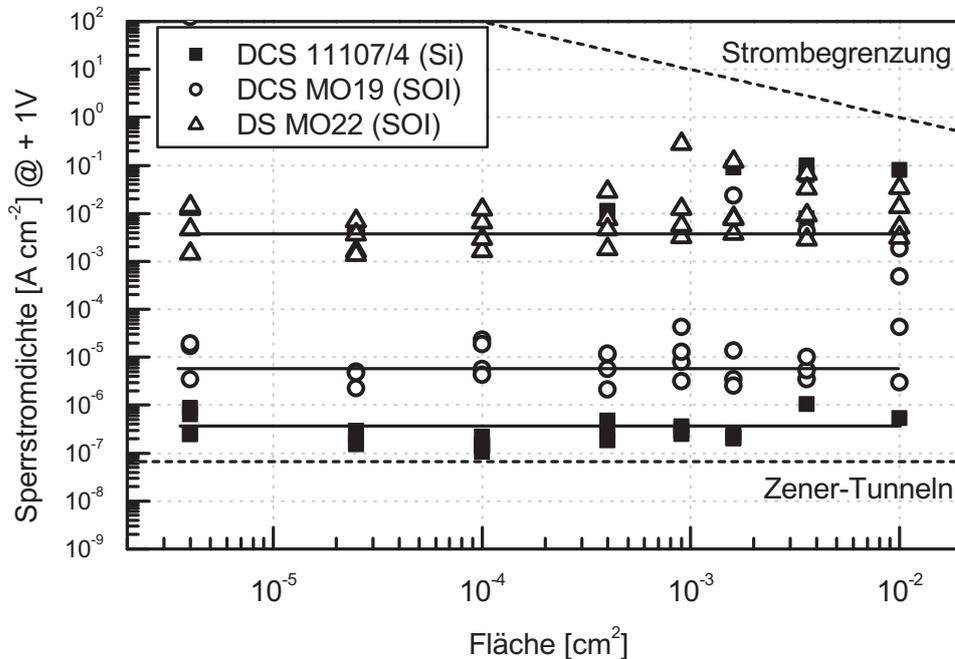


**Abb. 6.28:** Wasserstoff-Bake vor DS-Prozess.

Da während der Umschleusung lediglich eine Kontamination durch physisorbierete Kohlenwasserstoffverbindungen auftritt, werden bei beiden Prozessen nur kurze Wasserstoff-Bakes eingesetzt. Im Fall einer anschließenden DS-Abscheidung, wird die niedrigere Temperatur von 730 °C gewählt, um den Vorteil des geringeren Temperaturbudgets der DS-Prozesse zu nutzen.

Zur Bewertung der Wirksamkeit der *in situ* Reinigungen dient wie zuvor eine elektrische Charakterisierung der npn-Strukturen. Hierzu wird für die Sperrspannung von +1 V die Leckstromdichte ermittelt und in Abhängigkeit von der untersuchten

Teststrukturfläche aufgetragen. Die Abbildung 6.29 zeigt die Ergebnisse der Messungen.



**Abb. 6.29:** Sperrstromdichte in Abhängigkeit von der Fläche der Deckschichtdiode unterschiedlicher npn-Schichtstapel.

Aus beiden *in situ* Reinigungen resultieren für die obere Diode deutlich geringere Leckstromdichten im Vergleich zur Substratdiode. Dieses Resultat steht im Widerspruch zu der Annahme, dass Verunreinigungen grundsätzlich Ausgangspunkte für Versetzungen darstellen, die sich vollständig durch den nachfolgend abgeschiedenen Schichtstapel durchziehen. Inwieweit jedoch ein defektfreies Überwachen von Kontaminationen möglich ist, konnte in dieser Arbeit nicht geklärt werden.

Der direkte Vergleich der beiden untersuchten Reinigungsverfahren nach der Umschleusung zeigt für die Probe mit dem nachfolgenden DS-Prozess eine höhere Leckstromdichte. Dieses Ergebnis wird durch SIMS-Messungen bestätigt. Alle hierzu untersuchten Proben weisen an der relevanten Grenzfläche ein ausgeprägtes Kohlenstoffsignal auf. Mögliche Ursachen hierfür können in der fehlenden Ätzreaktion des DS-Prozesses oder in der zu niedrigen Temperatur des Wasserstoff-Bakes liegen. Um letztere Annahme auszuschließen, wird eine weitere Probe bei der höheren Temperatur von 850 °C gereinigt, jedoch anschließend mittels eines DS-Prozesses überwachen. Da auch diese Probe eine Kohlenstoffkontamination an der Grenzfläche aufweist, ist davon auszugehen, dass der Chloranteil des DCS entscheidend zur Reinigung beiträgt.

Für die beiden Teststrukturen, deren Deckschicht mit einem DCS-Prozess abgeschlossen wird, kann eine konstante Sperrstromdichte bis zur größten untersuchten Fläche nachgewiesen werden. Dabei liegt der Sperrstrom der auf einem Siliziumsub-



strat abgeschiedenen Teststrukturen annähernd an der unteren Grenze, die durch die *Zener*-Tunnelstromdichte gebildet wird. Der auf dem SOI-Substrat aufgebaute npn-Schichtstapel zeigt lediglich eine zehnfach höhere Sperrstromdichte.

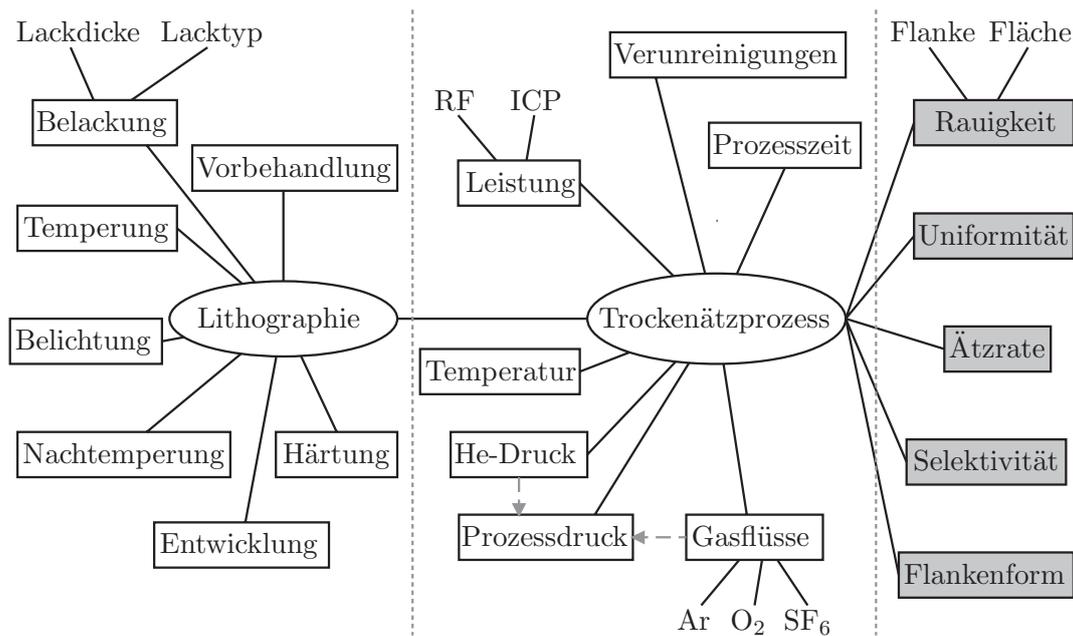
Auch bei zahlreichen weiteren elektrisch charakterisierten Proben weisen die auf SOI-Substraten abgeschiedenen Schichtstapel signifikant höhere Leckströme auf. Als Ursache hierfür wird die zusätzliche Kristallschädigung des Device Layers während des SOI-Herstellungsprozesses gesehen.

## 6.4 Mesa und Freistellen

Nach der ganzflächigen Abscheidung des Transistor-Schichtstapels wird die Bauteilherstellung mit der Strukturierung der Mesa fortgesetzt. Hierzu benötigen die FGFET-Sensoren zwei Ätzprozesse und die diskreten vertikalen MOSFETs lediglich einen.

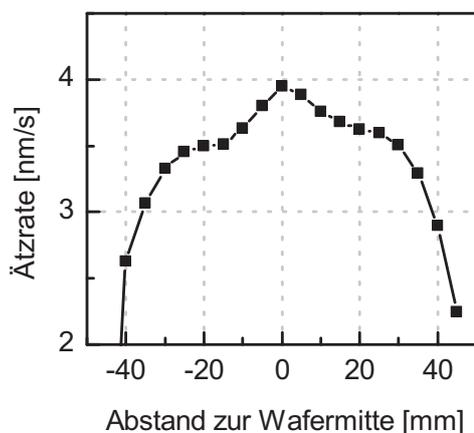
Zur trockenchemischen Strukturierung von Mesen existiert am Institut bereits ein evaluierter Prozess [16]. Da jedoch im Verlauf dieser Arbeit die Rezeptur des verwendeten Fotolacks durch den Hersteller *Allresist* modifiziert wurde, ist eine Anpassung der Ätzparameter notwendig.

Das Ergebnis der Trockenätzung wird durch einen umfangreichen Parametersatz bestimmt. Dieser setzt sich zum einen aus den Parametern des Ätzprozesses selbst und zum anderen aus den Parametern des vorangestellten Lithographieprozesses zusammen. Einen Überblick hierzu gibt Abbildung 6.30.

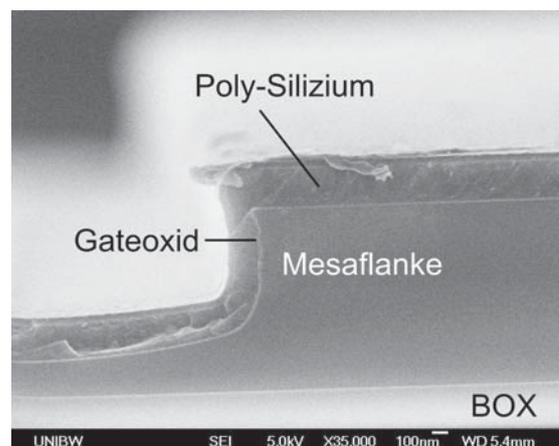


**Abb. 6.30:** Parametersatz eines trockenchemischen Ätzprozesses und dessen wichtigste Bewertungskriterien.

Die Bewertung des Ätzergebnisses kann anhand zahlreicher Kriterien erfolgen. Die wichtigsten können ebenfalls dem dargestellten Schema entnommen werden. Zu den recht einfach messbaren Größen gehören Ätzrate, Uniformität und Selektivität. Die Messung kann durch Profilometrie oder bei transparenten Schichten durch Ellipsometrie erfolgen. Ein Beispiel zur ellipsometrischen Ätzratenbestimmung zeigt die Abbildung 6.31. Das Diagramm stellt das Profil der annähernd radialsymmetrischen Ätzratenverteilung eines trockenchemisch geätzten Siliziumoxides dar.



**Abb. 6.31:** Ätzratenverteilung eines trocken geätzten Siliziumoxides.



**Abb. 6.32:** Raue Ätzflanke eines vertikalen Transistors (Probe MO23).

Zwei insbesondere für die elektrischen Eigenschaften vertikaler Bauelemente entscheidende Parameter sind die Ätzflankenform und -rauigkeit. Denn eine hohe Rauigkeit senkt die Ladungsträgerbeweglichkeit im Kanal und begünstigt den Durchbruch des Gateoxides. Wie die Abbildung 6.32 zeigt, lassen sich beide Eigenschaften qualitativ durch eine elektronenmikroskopische Aufnahme erfassen. Eine quantitative Bestimmung ist hingegen nur an vollständig prozessierten Transistoren mit Hilfe von Beweglichkeitsmessungen [16] möglich.

Die Optimierung eines Trockenätzprozesses erfolgt in der Regel mittels statistischer Versuchsplanung (design of experiments, DOE) [67]. Aufgrund des umfangreichen Parametersatzes und den damit verbundenen hohen Kosten wird das Verfahren in der Arbeit nicht angewendet. Zur Optimierung dient lediglich die qualitative Bewertung elektronenmikroskopischer Aufnahmen von geätzten Mesen. Ausgehend von einem bereits bestehenden Prozess, werden einzelne Parameter der Lithographie und Trockenätzung variiert und deren Wirkung auf das Ätzresultat bewertet. Im Folgenden werden hierzu die Ergebnisse diskutiert.

### 6.4.1 Lithographie

Der Fotolack wird in gleicher Weise wie das zu ätzende Silizium den extremen Prozessbedingungen ausgesetzt. Um ein optimales Ätzresultat liefern zu können, muss er bestimmte Eigenschaften aufweisen. Zu den drei Wichtigsten gehören:

- **Tieftemperaturbeständigkeit**  
Zur Unterdrückung des chemischen Anteils des Trockenätzprozesses wird die Ätzung bei Temperaturen von bis zu  $-130\text{ °C}$  durchgeführt. Bei derartig niedrigen Prozesstemperaturen muss der Fotolack über ausreichende Stabilität verfügen.



- Lackhaftung  
Die Lithographie-Parameter müssen so gewählt werden, dass die Lackhaftung ausreichend hoch ist, um die für die Herstellung der Bauelemente relevanten Strukturen zu übertragen.
- Lackflankensteilheit  
Die Form der Lackflanke beeinflusst die Bildung des schützenden Polymerfilms während der Ätzung. Eine steile Lackflanke garantiert eine glatte Seitenwand und eine optimale Strukturübertragung.

Wie im Kapitel 5.6.2 beschrieben, gliedert sich der Lithographieprozess in sieben Schritte. Mit jedem dieser Schritte besteht die Möglichkeit, auf die oben aufgeführten Lackeigenschaften Einfluss zu nehmen.

### **Vorbehandlung**

Durch eine Vorbehandlung der Substrate mit HMDS lässt sich eine stärkere Haftung des Fotolacks erzielen. Diese führt jedoch in der Abkühlphase des Ätzprozesses zu Rissen im Fotolack. Der Grund hierfür liegt in den unterschiedlichen Ausdehnungskoeffizienten und den damit verbundenen höheren mechanischen Spannungen. Nur durch den Verzicht auf die HMDS-Vorbehandlung und die damit geringere Haftung lässt sich eine zerstörungsfreie Kompensation der Spannungen bewirken.

### **Belackung**

Die Fotolackdicke und die Selektivität des Ätzprozesses legen die maximale Ätztiefe fest. Bei dem verwendeten Ätzprozess liegt die Selektivität bei etwa 1 : 1, wodurch die maximale Ätztiefe der Fotolackdicke von 1,4  $\mu\text{m}$  entspricht. Wie später jedoch gezeigt wird, kann aufgrund von zunehmender Rauigkeit für die Strukturierung der Mesen nicht die maximale Ätztiefe genutzt werden. Eine glatte Ätzflanke lässt sich nur bis zu einer Mesahöhe von 750 nm realisieren.

Die Möglichkeit der Strukturierung höherer Mesen bietet jedoch den Vorteil der direkten Verwendung der BESOI-Substrate ohne der umständlichen Dünnungsprozedur. Eine Steigerung der Ätztiefe lässt sich durch den Einsatz einer dickeren Lackschicht realisieren. Hierzu wird die Schleudertzahl des verwendeten Fotolacks von 4000 auf 1500 r/min reduziert, wodurch die Lackdicke auf 2,3  $\mu\text{m}$  steigt. Der Einsatz der dickeren Lackschicht führt jedoch in der Abkühlphase des Ätzprozesses zu starken Lackrissen. Die Ursache für diese wird in höheren inneren Spannungen in der dickeren Schicht gesehen.



## Temperung

Die Temperung sorgt für die Stabilisierung des Fotolacks und beeinflusst damit den anschließenden Belichtungs- und Entwicklungsprozess. Da sowohl die Belichtung als auch die Entwicklung über die Lackflankensteilheit Einfluss auf das Ätzresultat nehmen, werden unterschiedliche Temperparameter des Fotolacks untersucht. Ausgehend von einem bereits bestehenden Lithographieprozess wird die Temperzeit und -temperatur variiert. Die Tabelle 6.10 listet diese und alle weiteren Lithographieparameter auf.

SP	-		
SC	Fotolack:	AR 3740	Drehzahl [r/min]: 4000
PB	Zeit [min]:	1/2/1	Temperatur [°C]: 120/120/100
EXP	Zeit [s]:	5.5	Modus: hard contact
PEB	Zeit [min]:	5	Temperatur [°C]: 120
DEV	Zeit [s]:	40	Entwickler: AR 300-475
HB	-		

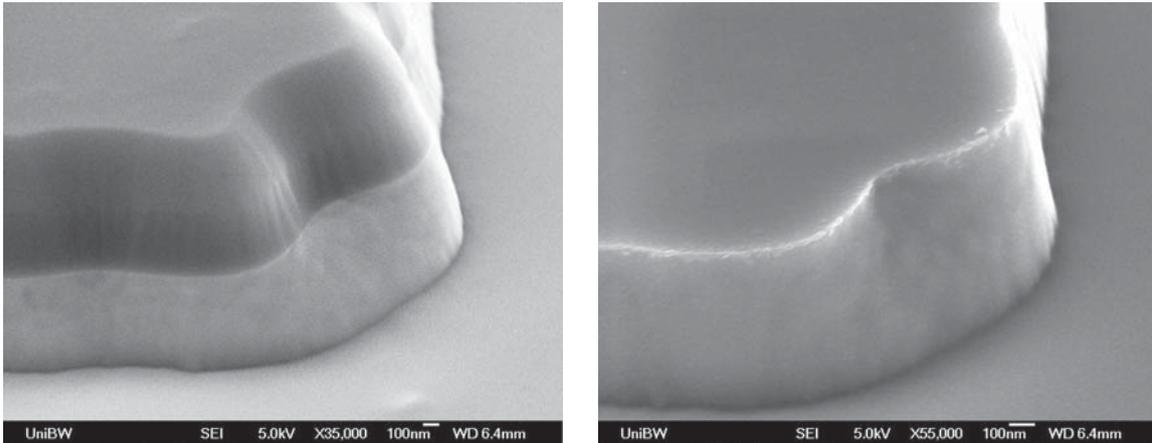
**Tab. 6.10:** Lithographieparameter: unterschiedliche Temperung.

Die belackten Wafer werden anschließend einem Trockenätzprozess unterzogen. Die Parameter des Prozesses sind in der Tabelle 6.11 zu finden.

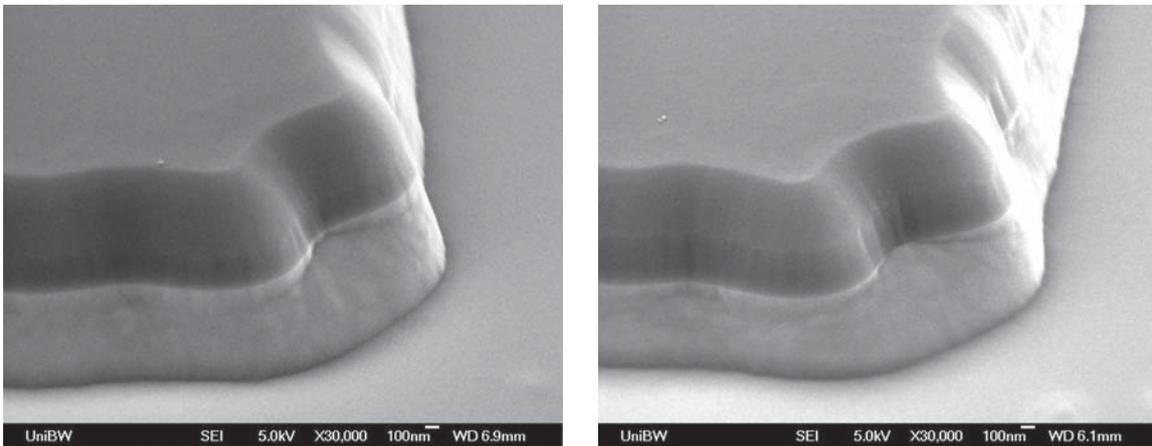
Zeit s	Temp. °C	Druck mTorr	Ätzgase			He- Druck mTorr	Leistung	
			SF <sub>6</sub> sccm	O <sub>2</sub> sccm	Ar sccm		ICP W	RF W
70	-110	3	8	1	6	2	60	300

**Tab. 6.11:** Parameter der Trockenätzung zu Lithographieprozessen mit unterschiedlicher Temperung.

Nach dem Ätzprozess werden die Proben mithilfe der Elektronenmikroskopie untersucht. Die Abbildung 6.33 stellt hierzu Aufnahmen von geätzten Mesen dar. Die noch Lack tragenden Strukturen wurden zur besseren Kontrastgebung mit einer dünnen Goldschicht besputtert.



PB: 1 min, 120 °C vor und nach Entlackung (Probe T59).



PB: 2 min, 120 °C (Probe T61).

PB: 1 min, 100 °C (Probe T64).

**Abb. 6.33:** Ätzflanken zu Lithographieprozessen mit unterschiedlicher Temperatur.

Alle dargestellten Mesen verfügen über glatte Ätzflanken mit einem kleinen Absatz im oberen Bereich der Seitenwand. Zwischen den Ätzresultaten der unterschiedlich getemperten Fotolacke besteht nahezu kein Unterschied. Folglich hat die Temperatur des Fotolacks nur einen geringen Einfluss auf den Trockenätzprozess.

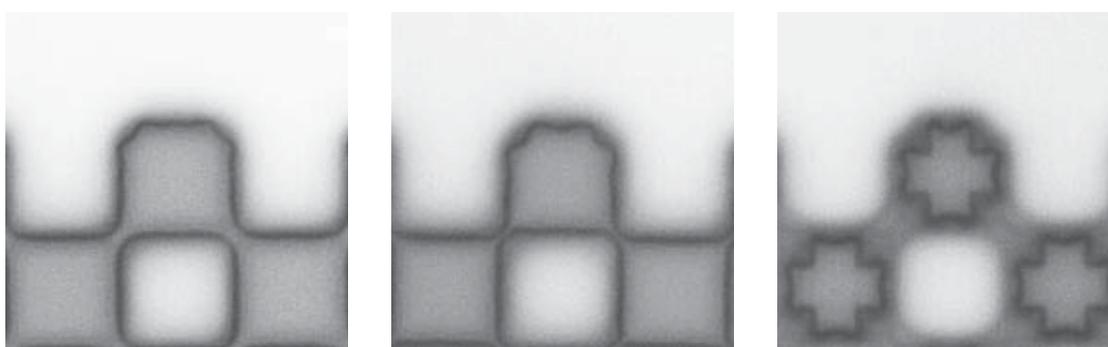
## Belichtung

Die Parameter der Belichtung bestimmen neben der Auflösungsgrenze auch die Steilheit der Lackflanke. Beide nehmen bei Überbelichtung ab. Eine Unterbelichtung hingegen führt zu einer nicht vollständigen Durchentwicklung des Fotolacks. Die Tabelle 6.12 listet die Parameter von drei Lithographieprozessen mit unterschiedlichen Belichtungszeiten auf. Die entsprechenden lichtmikroskopischen Aufnahmen der Proben sind in der Abbildung 6.34 zu finden. Zu sehen ist jeweils der Rand einer 5 µm Schachbrett-Struktur.



SP	-		
SC	Fotolack:	AR 3740	Drehzahl [r/min]: 4000
PB	Zeit [min]:	2	Temperatur [°C]: 100
EXP	Zeit [s]:	5.5/6.5/7.5	Modus: hard contact
PEB	Zeit [min]:	5	Temperatur [°C]: 120
DEV	Zeit [s]:	40	Entwickler: AR 300-475
HB	-		

**Tab. 6.12:** Lithographieparameter: unterschiedliche Temperatur.



EXP: 5.5 s (Probe T39).

EXP: 6.5 s (Probe T40).

EXP: 7.5 s (Probe T41).

**Abb. 6.34:** Fotolackstruktur für unterschiedliche Belichtungszeiten (Struktur 5  $\mu\text{m}$ ).

Die Aufnahmen zeigen für längere Belichtungszeiten ein stärkeren Abtrag des Fotolacks und eine stärkere Ausprägung der Beugungseffekte. Um ein möglichst steiles Lackprofil zu erzielen, wird für alle weiteren Prozesse die kürzeste Belichtungszeit von 5.5 s gewählt. Der Belichtungsmodus wird nicht verändert, da die Abstandsbelichtung stets mit einer geringeren Auflösung verbunden ist (vgl. Kap. 5.6.2).

### Nachtemperatur

Die Nachtemperatur sorgt für den Austrieb der restlichen Lösungsmittel. Dieser Schritt ist insbesondere bei der Tieftemperaturätzung notwendig, da ein zu hoher Restlösungsmittelgehalt zu Lackrissen führt. Gleichzeitig darf das Temperaturbudget der Nachtemperatur nicht zu hoch gewählt werden, um nicht die Lackhaftung zu verlieren. Für den verwendeten Fotolack muss daher ein Prozessfenster existieren, in dem sowohl der Austrieb der Lösungsmittel als auch die Lackhaftung gewährleistet ist. Dieses scharfe Kriterium entscheidet über die Verwendbarkeit des Fotolacks.

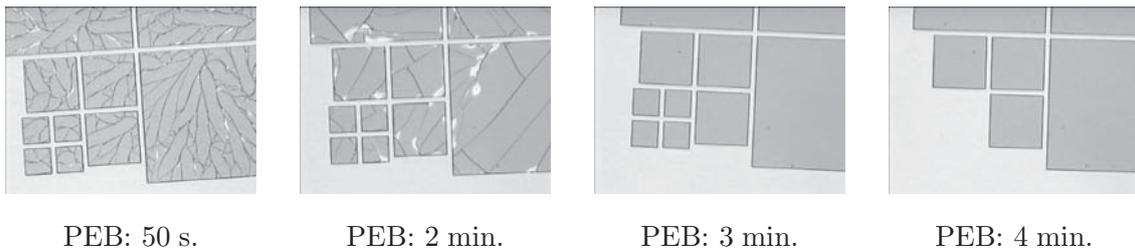
Neben dem hauptsächlich eingesetzten AR 3740 wird als Alternative der AZ 6632 der Firma *AZ Electronic Materials* untersucht. Die Standarddicke dieses Lacks beträgt 3.2  $\mu\text{m}$  und könnte damit die Strukturierung von höheren Mesen ermöglichen. Um den Lack auf Verwendbarkeit zu prüfen, werden zunächst die vom Hersteller empfohlenen Parameter des Lithographieprozesses übernommen und lediglich die

Zeit der kritischen Nachtemperatur variiert. Die Tabelle 6.13 listet alle Lithographieparameter von vier untersuchten Proben auf.

SP	-		
SC	Fotolack:	AZ 6632	Drehzahl [r/min]: 4000
PB	Zeit:	50	Temperatur [°C]: 110
EXP	Zeit [s]:	5.5	Modus: hard contact
PEB	Zeit:	50 s ... 4 min	Temperatur [°C]: 125
DEV	Zeit [s]:	50	Entwickler: 726 MIT
HB	-		

**Tab. 6.13:** Lithographieparameter: unterschiedliche Nachtemperatur.

Die strukturierte Fotolack wird anschließend der Prozesstemperatur der Ätzung ausgesetzt. Die entsprechenden lichtmikroskopischen Aufnahmen sind in der Abbildung 6.35 dargestellt.



**Abb. 6.35:** Fotolack für unterschiedliche Nachtemperatur (Proben AZ6, 8, 9, 10).

Bis zu einer Nachtemperatur von 2 min ist deutlich ein Lackbruch zu erkennen. Bei längeren Temperzeiten hingegen löst sich der Fotolack bereits während der Entwicklung ab. In den dargestellten Aufnahmen lässt sich der Verlust der Lackhaftung erst bei der Nachtemperatur von 4 min erkennen (vier quadratische Strukturen fehlen). Tatsächlich lösen sich kleinere, jedoch für die Bauteilherstellung relevante, Strukturen bereits bei einer Nachtemperatur von 3 min ab. Folglich ist der AZ 6632 für die Tieftemperaturtrockenätzung von Mesen ungeeignet. Für alle weiteren Strukturierungen wird daher der AR 3740 eingesetzt.

## Entwicklung

Die Entwicklung der Fotolacke erfolgt im Tauchbadverfahren auf Sicht. Dabei wird die Entwicklungszeit nach dem Lackabtrag stets 20 % verlängert, um die Durchentwicklung auch kleinerer Strukturen sicherzustellen. Eine weitere Verlängerung der Entwicklungszeit ist nicht sinnvoll, da diese zur Abnahme der Lackflankensteilheit führt.

Neben der Entwicklungszeit stellt die Konzentration der Entwicklerlösung einen weiteren Parameter des Lithographieprozesses dar. Wie *Born* [16] nachgewiesen hat, lässt sich durch eine Verdünnung des Entwicklers die beugungsbedingte Verrundung



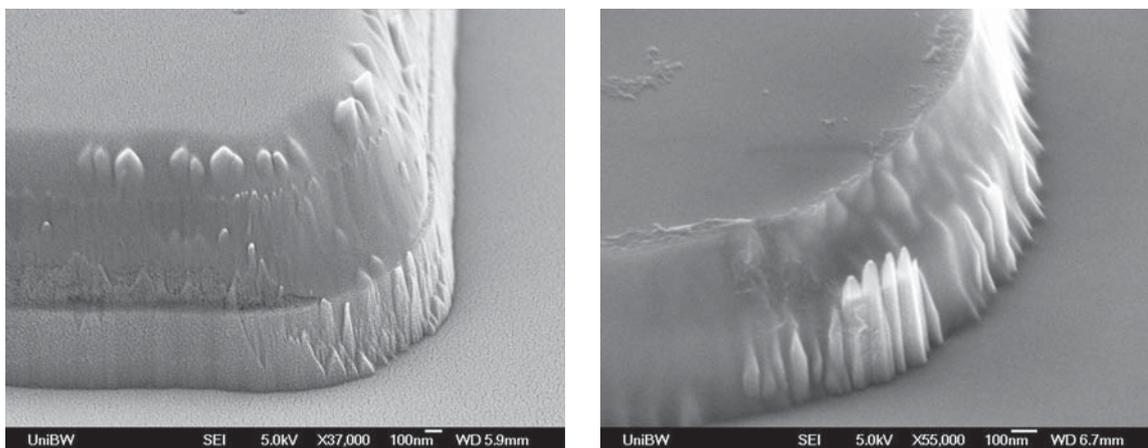
der Lackecken unterdrücken. Um den Einfluss dieses Effekts auf den Trockenätzprozess zu untersuchen, wird eine Probe mit den in den Tabellen 6.14 und 6.15 aufgeführten Lithographie- und Ätzparametern präpariert. Die entsprechenden Aufnahmen von geätzten Mesen sind in der Abbildung 6.36 zu finden.

SP	-		
SC	Fotolack:	AR 3740	Drehzahl [r/min]: 4000
PB	Zeit [min]:	2	Temperatur [°C]: 100
EXP	Zeit [s]:	5.5	Modus: hard contact
PEB	Zeit [min]:	5	Temperatur [°C]: 120
DEV	Zeit [s]:	255	Entwickler: AR 300-475:H <sub>2</sub> O = 5:1
HB	-		

**Tab. 6.14:** Lithographieparameter: verdünnter Entwickler.

Zeit s	Temp. °C	Druck mTorr	Ätzgase			Helium Druck mTorr	Leistung	
			SF <sub>6</sub> sccm	O <sub>2</sub> sccm	Ar sccm		ICP W	RF W
70	-110	3	8	1	6	3	60	300

**Tab. 6.15:** Parameter der Trockenätzung zum Lithographieprozess mit verdünntem Entwickler.



**Abb. 6.36:** Ätzflanken zum Lithographieprozess mit verdünntem Entwickler (Probe T56).

Die Verdünnung des Entwicklers führt zu einer hohen Rauigkeit der geätzten Flanke. Offensichtlich kann sich keine homogene Polymerfilm-Passivierung an der Seitenwand ausbilden. Es lösen sich stattdessen größere Lackpartikel ab, die am Fuß der Mesa das Substrat maskieren. Die Ursache für die Lackerosion wird im flacheren Lackprofil gesehen. Anhand von hier nicht dargestellten elektronenmikroskopischen Aufnahmen lässt sich durch die Verdünnung des Entwicklers eine Abnahme des Lackflankenwinkels um 10° nachweisen.

## Härtung

Auf die Härtung wurde stets verzichtet, da diese zum bereits diskutierten Verfließen des Lackes führt.

### 6.4.2 Trockenätzprozess

Analog zum Lithographieprozess wurden auch der Einfluss ausgewählter Ätzparameter auf die Mesaflanke untersucht. Im Folgenden werden die Ergebnisse vorgestellt, die zu einem optimiertem Ätzprozess führen.

#### Prozesszeit

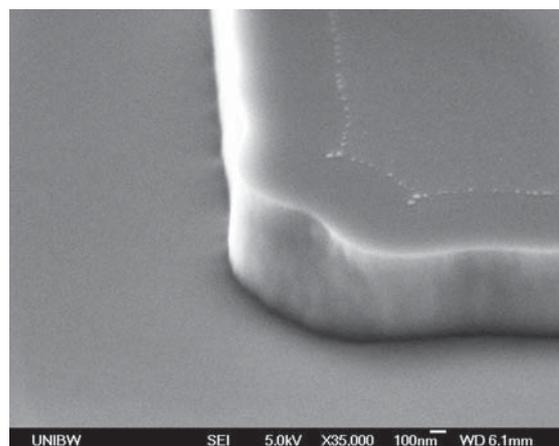
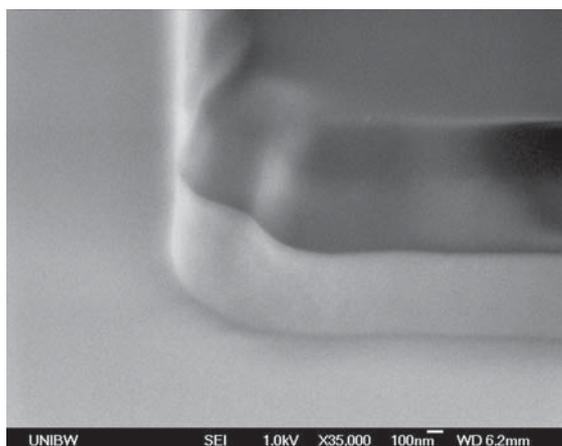
Der lineare Zusammenhang zwischen Ätzzeit und -tiefe ermöglicht eine einfache und exakte Einstellung der Mesahöhe. Wie bereits beschrieben, wird die maximale Höhe durch die Lackdicke und Selektivität des Prozesses bestimmt. Inwieweit jedoch die maximale Höhe für die Mesen vertikaler Bauelemente genutzt werden kann, soll anhand von drei Proben geklärt werden. Die entsprechenden Parameter der Lithographie- und Ätzprozesse sind in den Tabellen 6.16 und 6.17 zu finden. Die Aufnahmen der Mesen zeigt die Abbildung 6.37.

SP	-		
SC	Fotolack:	AR 3740	Drehzahl [r/min]: 4000
PB	Zeit [min]:	2	Temperatur [°C]: 100
EXP	Zeit [s]:	5.5	Modus: hard contact
PEB	Zeit [min]:	5	Temperatur [°C]: 120
DEV	Zeit [s]:	45	Entwickler: AR 300-475
HB	-		

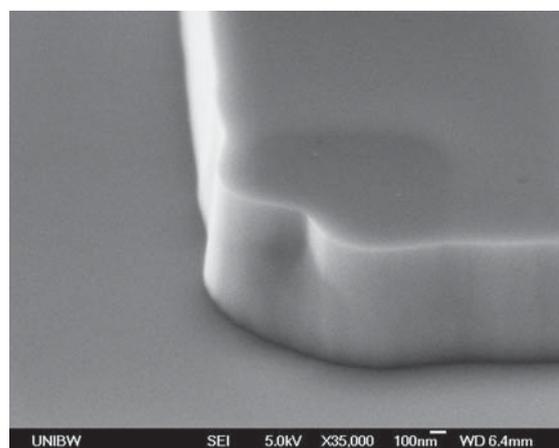
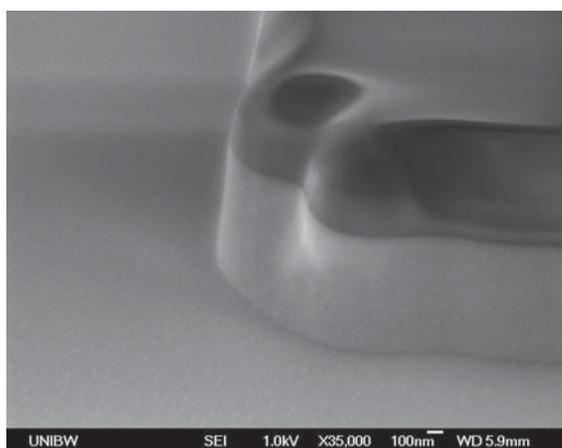
**Tab. 6.16:** Lithographieprozess zur Trockenätzung mit unterschiedlicher Ätzzeit.

Zeit s	Temp. °C	Druck mTorr	Ätzgase			Helium Druck mTorr	Leistung	
			SF <sub>6</sub> sccm	O <sub>2</sub> sccm	Ar sccm		ICP W	RF W
70/85/100	-120	3	8	1	6	2	60	300

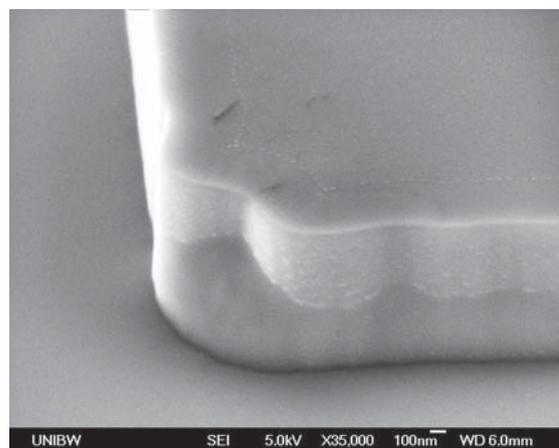
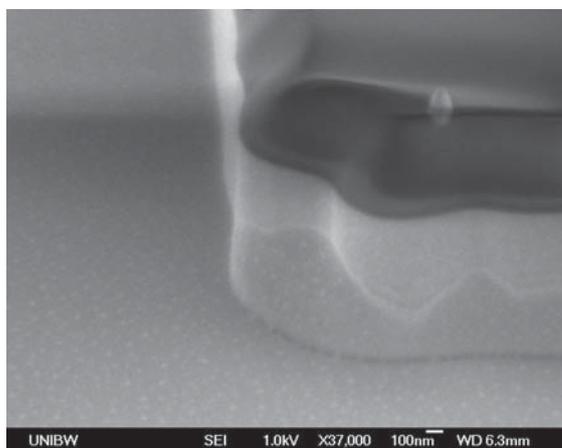
**Tab. 6.17:** Parameter der Trockenätzung mit unterschiedlicher Ätzzeit.



Ätzzeit: 70 s; Ätztiefe: 752 nm (Probe T29).



Ätzzeit: 85 s; Ätztiefe: 940 nm (Probe T30).



Ätzzeit: 100 s; Ätztiefe: 1114 nm (Probe T31).

**Abb. 6.37:** Mesaflanken zu Trockenätzprozessen mit unterschiedlicher Ätzzeit.

Die Aufnahmen der Mesaflanken zeigen mit zunehmender Ätzzeit die Ausbildung eines zweiten Bereichs mit einer anderen Oberflächenbeschaffenheit. Dieser Bereich ist deutlich steiler und weist eine höhere Rauigkeit auf. Die Ursache für die zweiseitige Struktur der Seitenwand kann mit der Form der oberen Lackkante erklärt werden. Während des Ätzprozesses verrundet diese zunehmend, was zur Abnahme der Steilheit führt. Wird der Ätzprozess soweit fortgesetzt, dass dieser Bereich maskierend wirkt, dann tritt der gleiche Effekt auf, wie er bereits beim verdünnten Entwickler beobachtet wurde. Größere Lackpartikel lösen sich ab und hinterlassen eine aufgeraute Lackkante, die in das Substrat übertragen wird. Folglich sollte für die Strukturierung vertikaler Bauelemente die Ätztiefe 750 nm nicht überschreiten.

### Temperatur

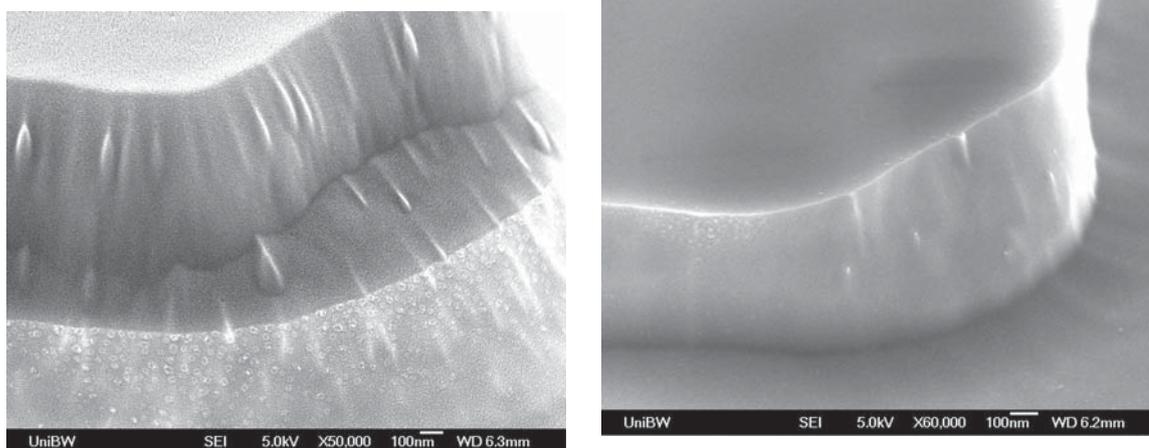
Mit Hilfe der Ätztemperatur lässt sich die chemische Komponente des Trockenätzprozesses beeinflussen. Getreu dem *Arrhenius*-Gesetz wird durch eine niedrigere Temperatur der chemische Anteil unterdrückt. Zur Untersuchung des Optimierungspotenzials wird die Trockenätzung im Vergleich zur Referenzprobe T59 (siehe Abbildung 6.33) bei einer höheren und bei einer niedrigeren Temperatur durchgeführt. Die hierfür verwendeten Parameter der Lithographie und Ätzprozesse werden in den Tabellen 6.18 und 6.19 aufgeführt.

SP	-		
SC	Fotolack:	AR 3740	Drehzahl [r/min]: 4000
PB	Zeit [min]:	1	Temperatur [°C]: 120
EXP	Zeit [s]:	5.5	Modus: hard contact
PEB	Zeit [min]:	5	Temperatur [°C]: 120
DEV	Zeit [s]:	40	Entwickler: AR 300-475
HB	-		

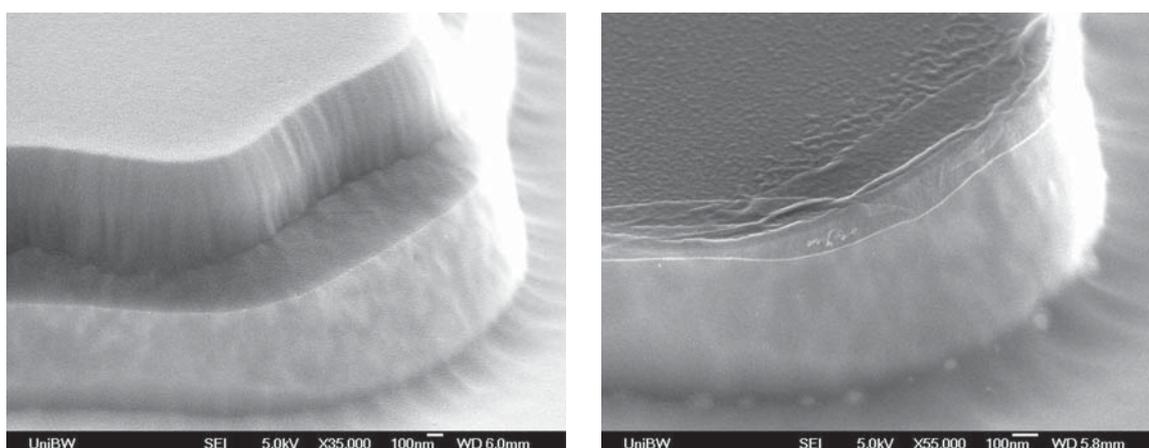
**Tab. 6.18:** Lithographieprozess zur Trockenätzung mit unterschiedlicher Temperatur, Gasfluss und Helium-Druck.

Zeit s	Temp. °C	Druck mTorr	Ätzgase			Helium Druck mTorr	Leistung	
			SF <sub>6</sub> sccm	O <sub>2</sub> sccm	Ar sccm		ICP W	RF W
70	-130/-90	3	8	1	6	2	60	300

**Tab. 6.19:** Parameter der Trockenätzung mit unterschiedlicher Temperatur.



Ätztemperatur:  $-130\text{ }^{\circ}\text{C}$  (Probe T66).



Ätztemperatur:  $-90\text{ }^{\circ}\text{C}$  (Probe T65).

**Abb. 6.38:** Mesaflanken zu Trockenätzprozessen mit unterschiedlicher Temperatur.

Die niedrigere Ätztemperatur von  $-130\text{ }^{\circ}\text{C}$  führt zur Ausbildung von keilförmigen Strukturen im Fotolack, die sich bis ins Silizium erstrecken. Zudem entstehen im oberen Bereich der Seitenwand ringförmige Strukturen, die nach der Entfernung des Lacks eine Aufrauung darstellen. Beide Effekte werden dem „Ausfrieren“ des Fotolacks bzw. des Polymerfilms zugeordnet. Die Erhöhung der Ätztemperatur hingegen begünstigt den isotropen Charakter des Ätzprofils. Dabei nimmt der Flankenwinkel ab, ohne die Oberflächenbeschaffenheit signifikant zu ändern. Da weder die Temperaturerhöhung noch die -erniedrigung zu einer Verbesserung des Ätzresultats führen, wird die Prozesstemperatur bei  $-110\text{ }^{\circ}\text{C}$  belassen.

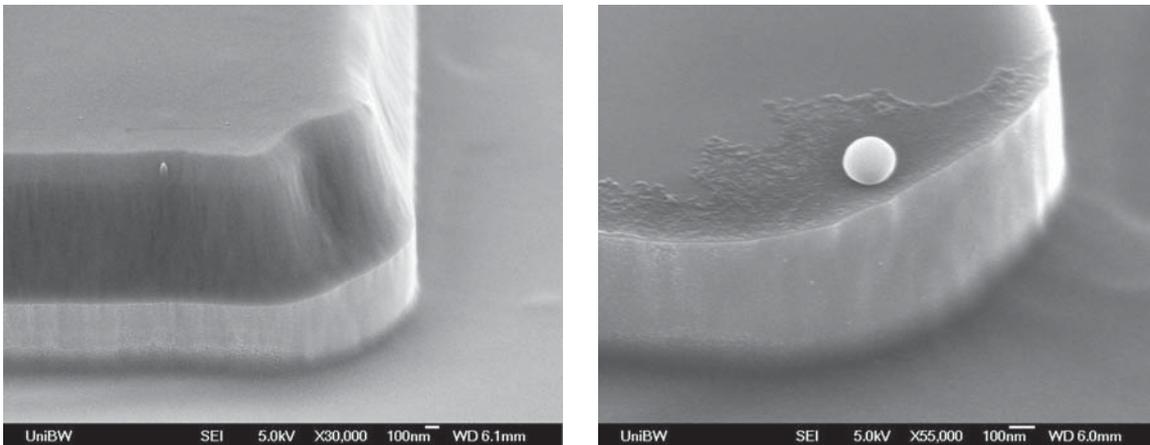
### Gesamtfluss der Ätzgase

Bei dem verwendeten Ätzprozess besteht eine Verknüpfung zwischen Gesamtfluss der Ätzgase und dem Prozessdruck. Denn der angegebene Druck von 3 mTorr wird nicht eingestellt sondern resultiert aus der maximalen Saugleistung der Pumpe. Damit ist eine Erhöhung des Gasflusses stets mit einem höheren Prozessdruck verbunden.

Zur Untersuchung des Einflusses eines erhöhten Gasflusses auf das Ätzresultat werden im Vergleich zur Referenzprobe T59 zwei weitere Proben mit einem doppeltem und einem dreifachem Gasfluss präpariert. Da sowohl ein höherer Gasfluss als auch die damit einhergehende Prozessdruckerhöhung zu einer erheblichen Steigerung der Ätzrate führen, muss die Prozesszeit verkürzt werden, um nicht die kritische Mesahöhe zu überschreiten. Nach einem Vortest werden für die Strukturierung die in den Tabellen 6.18 und 6.20 aufgelisteten Lithographie- und Ätzparameter verwendet. Die elektronenmikroskopischen Aufnahmen der Mesen werden in den Abbildungen 6.39 und 6.40 dargestellt.

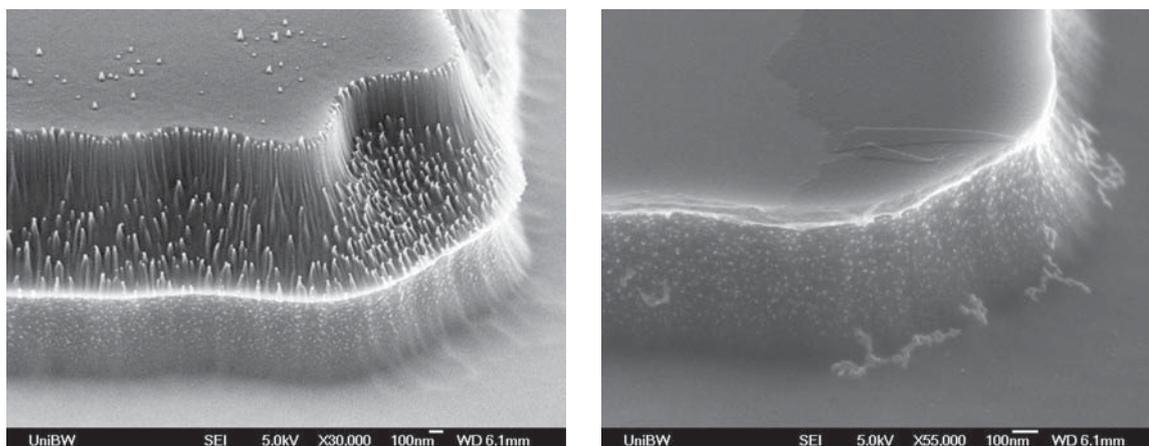
Zeit s	Temp. °C	Druck mTorr	Ätzgase			Helium Druck mTorr	Leistung	
			SF <sub>6</sub> sccm	O <sub>6</sub> sccm	Ar sccm		ICP W	RF W
45/35	-110	3	16/24	2/3	12/18	2	60	300

**Tab. 6.20:** Parameter der Trockenätzung mit unterschiedlichem Gesamtfluss der Ätzgase.



Doppelter Fluss der Ätzgase; Ätzrate: 16.4 nm/s (Probe T67).

**Abb. 6.39:** Mesaflanken zum Trockenätzprozess mit doppeltem Fluss der Ätzgase.



Dreifacher Fluss der Ätzgase; Ätzrate: 22.6 nm/s (Probe T68).

**Abb. 6.40:** Mesaflanken zum Trockenätzprozess mit dreifachem Fluss der Ätzgase.

Die Verdoppelung der Gasflüsse ermöglicht einen deutlich steileren Flankenwinkel und zugleich eine glattere Oberfläche der Seitenwand. Die noch lacktragende Struktur zeigt dabei einen sehr homogenen Abtrag des Fotolacks. Offensichtlich verstärkt der höhere Gasfluss den physikalischen Beitrag der Trockenätzung, ohne die Polymer-Passivierung der Seitenwand zu beeinträchtigen.

Die Verdreifachung des Gasflusses führt hingegen zu einer Verschlechterung des Ätzresultats. Neben einem Unterschnitt wird auch eine erhöhte Rauigkeit an der Mesaflanke festgestellt. Beides wird auf einen zu hohen Prozessdruck und die damit verbundene geringere mittlere freie Weglänge der Ätzteilchen zurückgeführt. Durch Stöße steigt der Anteil der nicht senkrecht auf das Substrat auftreffenden Teilchen, was zum Verlust der Anisotropie führt. Beim Fotolack wird eine starke Konenbildung beobachtet. Da diese lediglich an der Lackseitenwand und in deren unmittelbarer Nähe auftritt, ist davon auszugehen, dass hierfür Teilchenstreuung an der Kante verantwortlich ist.

Mit der Verdoppelung der Gasflüsse lässt sich ein besseres Ätzergebnis im Vergleich zur Referenzprobe erzielen. Daher wird dieser Parameter für den optimierten Prozess übernommen.

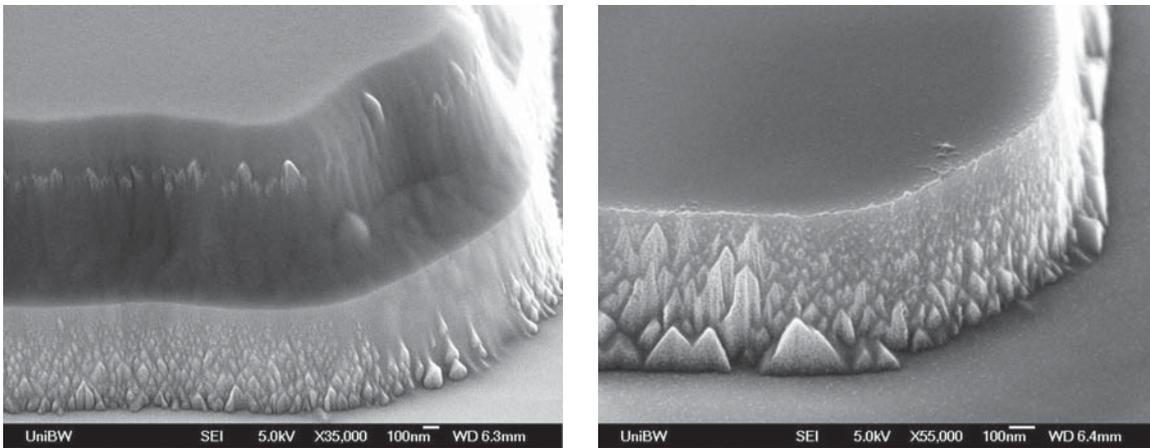
### Helium-Druck

Zur besseren thermischen Ankopplung wird der Spalt zwischen Elektrode und Substrat mit Helium geflutet. Dabei lässt sich der im Hohlraum herrschende Druck als Parameter einstellen. Da das Substrat den Hohlraum nicht vollkommen abdichtet, strömt ein gewisser Anteil des Heliums in die Prozesskammer. Bei optimalen Bedingungen stellt sich ein niedriger, gleichmäßiger Helium-Fluss ein, der eine konstante Substrattemperatur sicherstellt. Bei einem zu hohen Fluss hingegen beteiligt sich das Helium am Ätzprozess. Zur Untersuchung der Auswirkung eines erhöhten Helium-Flusses auf das Ätzresultat wird eine Probe mit den in den Tabellen 6.18 und 6.21

aufgeführten Parametern präpariert. Die entsprechende elektronenmikroskopische Aufnahme der Mesaflanke ist in der Abbildung 6.41 zu finden.

Zeit s	Temp. °C	Druck mTorr	Ätzgase			Helium Druck mTorr	Leistung	
			SF <sub>6</sub> sccm	O <sub>6</sub> sccm	Ar sccm		ICP W	RF W
70	-110	3	8	1	6	10	60	300

**Tab. 6.21:** Parameter der Trockenätzung mit unterschiedlichem Helium-Druck.

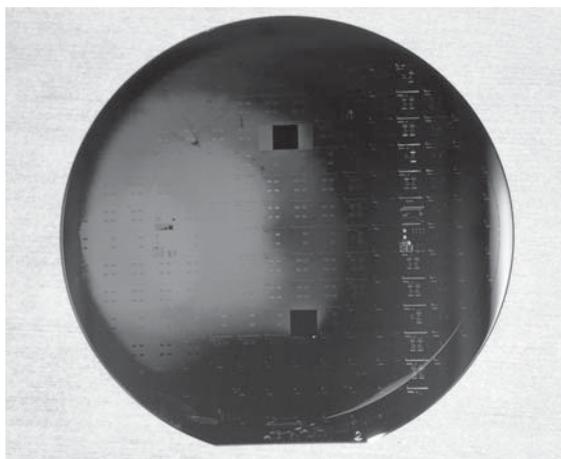


**Abb. 6.41:** Mesaflanken bei erhöhtem Helium-Druck (Probe T69).

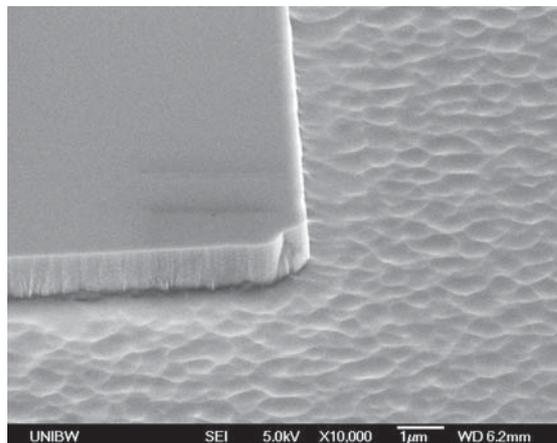
Für den gewählten Druck von 10 mTorr resultiert ein Fluss von 10 sccm. Die Beteiligung des Heliums am Ätzprozess hat eine starke Aufrauung der Ätzflanke zur Folge. Das Edelgas verstärkt den physikalischen Anteil des Ätzprozesses und unterdrückt zugleich die Bildung der schützenden Seitenwandpassivierung. Während der Ätzung sollte daher der Helium-Fluss 2 sccm nicht übersteigen. Der entsprechende Druck muss dabei an die Helium-Leckrate angepasst werden.

### Verunreinigungen

Einen für das Ätzresultat störenden Faktor stellen Verunreinigungen dar. Zu diesen zählen Fremdgase wie Sauerstoff oder Stickstoff, die durch Lecks in die Prozesskammer gelangen. Daneben kann auch in Ablagerungen gelöstes Wasser, welches während der Ätzung frei gesetzt wird, das Ätzresultat negativ beeinflussen. Verunreinigungen äußern sich makroskopisch durch eine weißliche Trübung der geätzten Oberfläche. Ein Beispiel hierzu wird in der Abbildung 6.42 dargestellt. Bei mikroskopischer Betrachtung wird eine erhöhte Rauigkeit sowohl auf den horizontalen Flächen als auch auf den Mesaflanken beobachtet. Siehe dazu Abbildung 6.43.



**Abb. 6.42:** Oberflächenaufrauung durch Verunreinigungen im Ätzgas (Leck) (Probe HF2).



**Abb. 6.43:** Aufgeraute Mesaflanken infolge von Verunreinigungen im Ätzgas (Probe T39).

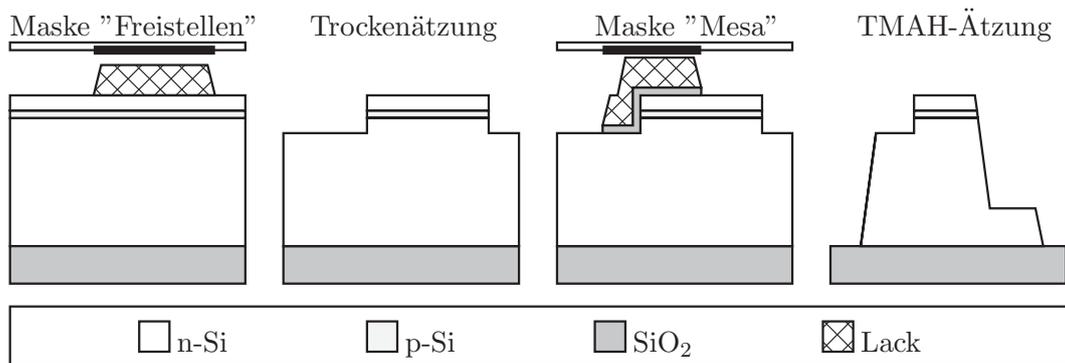
Der verwendete Ätzprozess reagiert äußerst empfindlich auf Verunreinigungen. Daher muss vor dem Einlass der Ätzgase der Kammerdruck unter  $1 \cdot 10^{-5}$  mTorr liegen. Zudem sollten die Kammerwände regelmäßig mechanisch und durch Plasmaprozesse gereinigt werden.

Anhand der in diesem Unterkapitel vorgestellten Ergebnisse konnte eine Optimierung des Lithographie- und Trockenätzprozesses erfolgen. Die Parameter der Prozesse werden im Anhang A.6 und A.8 zusammengefasst.

### 6.4.3 Freistellen durch TMAH

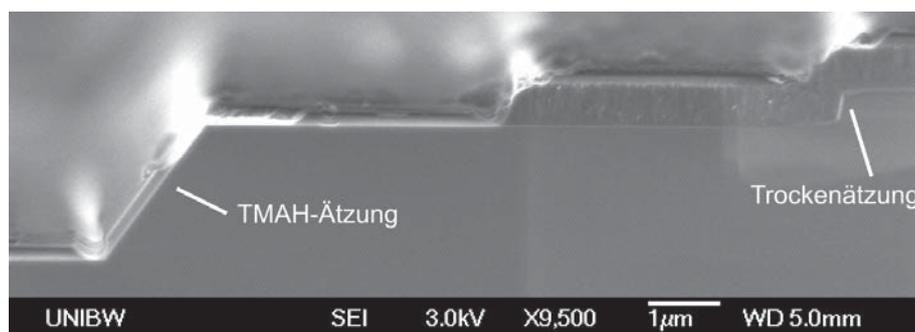
Die Isolation der Bauelemente des FGFET-Sensors erfolgt durch eine Strukturierung des gesamten Schichtstapels bis zum BOX. Hierfür werden zwei Trockenätzprozesse eingesetzt. Aus der begrenzten Abtragtiefe des Prozesses resultiert eine maximale Schichtstapelhöhe von 1500 nm. Da die Dicke des Device Layers der verwendeten BESOI-Substrate deutlich darüber liegt, musste eine aufwändige Dünnung durch zahlreiche Oxidationen erfolgen (vgl. Kapitel 6.1).

Parallel wird daher ein einfacheres Strukturierungsverfahren untersucht, bei dem die BESOI-Substrate direkt verwendet werden können. Hierfür sind zwei Änderungen im Prozessablauf notwendig. Zum einen wird die Reihenfolge der Masken vertauscht und zum anderen wird der zweite Trockenätzprozess durch eine nasschemische TMAH-Ätzung ersetzt. Eine schematische Darstellung des Ablaufs wird in der Abbildung 6.44 dargestellt.



**Abb. 6.44:** Prozessablauf zum Freistellen des Transistors durch TMAH.

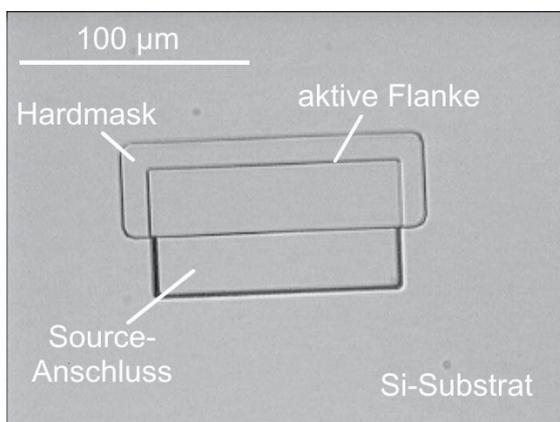
Begonnen wird mit der Maske „Freistellen“, die in Kombination mit einer trockenchemischen Ätzung den Transistorstapel definiert. Anschließend wird mit Hilfe der Maske „Mesa“ die aktive Flanke des MOSFETs geschützt und die Strukturierung durch eine nasschemische TMAH-Ätzung bis zum BOX fortgesetzt. Der Vorteil der TMAH Ätzung liegt in der uneingeschränkten Abtragtiefe und den glatten Ätzflanken. Die Abbildung 6.45 zeigt hierzu exemplarisch die linke Seite einer auf diese Weise strukturierten Mesa.



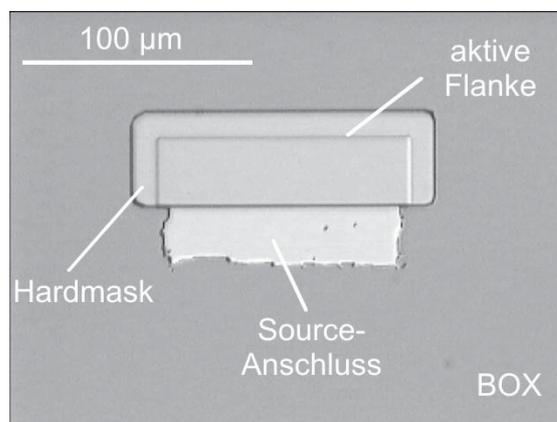
**Abb. 6.45:** Freistellen des Transistors durch Trocken- und Nassätzung.



Die Stufe auf der rechten Mesaseite bildet den Source-Anschluss des Transistors. Die Höhe der Stufe entspricht der Abtragstiefe des Trockenätzprozesses. Aufgrund der homogenen TMAH-Ätzung bleibt die Stufe bei Silizium-Substraten stets erhalten. Bei SOI-Substraten hingegen wird die Stufe nach dem Erreichen des BOX zunehmend abgetragen. Aufgrund der starken Dickenschwankung des Device Layers werden die Transistoren an den unterschiedlichen Positionen auf dem Wafer zu unterschiedlichen Zeiten freigestellt. Dabei verlieren sehr früh freigestellte Transistoren aufgrund der Überätzung ihren Source-Anschluss. Die Abbildungen 6.46 und 6.47 zeigen hierzu das Freistellen auf einem Si- und SOI-Substrat. Bei letzterem senkt die Dickenschwankung des Device Layers die Ausbeute auf unter 10 %. Folglich ist dieses Strukturierungsverfahren zur Herstellung der FGFET-Sensoren ungeeignet.



**Abb. 6.46:** Freistellen des Transistors auf Si-Substrat (Probe FG2).



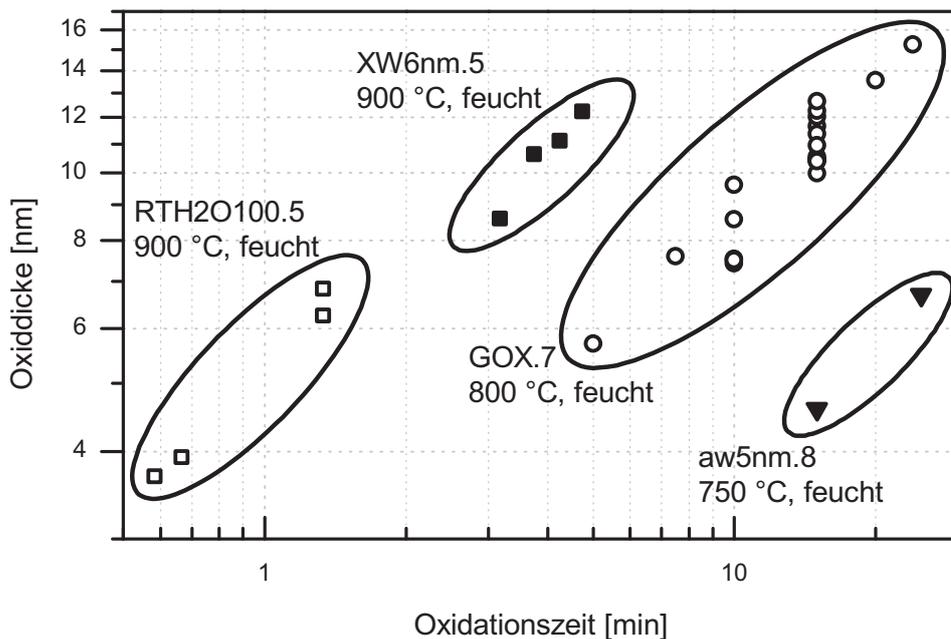
**Abb. 6.47:** Freistellen des Transistors auf SOI-Substrat (Probe AN14).

## 6.5 Gatedielektrikum

Das Wachstum bzw. die Abscheidung eines Gatedielektrikums stellt bei der Herstellung eines MOSFETs einen äußerst kritischen Prozessschritt dar. Für optimale Bauteileigenschaften muss das Dielektrikum eine möglichst niedrige Ladungsdichte, Grenzflächenzustandsdichte  $D_{IT}$  und Leckstromdichte aufweisen [75]. Des Weiteren wird vom Oxidations- bzw. Abscheideprozess ein geringes Temperaturbudget erwartet, um die unerwünschte Diffusion der Dotierstoffe zu unterdrücken.

### 6.5.1 RTO-Prozesse

In dieser Arbeit werden als Gatedielektrikum vorwiegend thermische Siliziumoxidschichten eingesetzt. Hierbei kann auf zahlreiche bereits bestehende RTO-Prozesse zurückgegriffen werden. Aus diesen werden vier Feuchtoxidationen ausgewählt und die resultierenden Schichtdicken für verschiedene Prozesszeiten ermittelt. Das Ergebnis der Ellipsometrie-Messungen zeigt die Abbildung 6.48.



**Abb. 6.48:** Wachstumsdynamik von RTO-Feuchtoxiden bei unterschiedlichen Temperaturen.

In der doppelt-logarithmischen Auftragung liegen die Messpunkte für eine bestimmte Oxidationstemperatur auf einer Geraden. Mit abnehmender Temperatur verschiebt sich die Gerade erwartungsgemäß in Richtung längerer Oxidationszeiten.

Die Gateoxiddicke der hier herzustellenden vertikalen Bauelemente sollte mindestens 10 nm betragen, um im Betrieb den Beitrag des *Fowler-Nordheim*-Leckstroms möglichst zu unterdrücken. Gleichzeitig wird eine niedrige Prozess Temperatur und

-zeit angestrebt, um das scharfe Dotierprofil zu erhalten. Ein Kompromiss zwischen den unterschiedlichen Anforderungen stellt der RTO-Prozess „GOX.7“ mit einer Oxidationszeit von 15 min dar. Für die Prozesstemperatur von 800 °C resultiert eine Schichtdicke von 11.8 nm.

Bevor jedoch der Prozess für das Wachstum von Gateoxiden eingesetzt wird, erfolgt eine weitere Charakterisierung hinsichtlich der Schichtdickenverteilung und der elektrischen Eigenschaften. Für letztere werden CV-Messungen auf niedrig dotierten p-Substraten durchgeführt [75]. Als obere Elektrode dienen Aluminiumpads, die über eine Schattenmaske auf das Oxid aufgedampft werden. Die untere Elektrode wird durch eine ganzflächige Aluminium-Bedampfung realisiert. Die Ergebnisse der untersuchten Probe fasst die Tabelle 6.22 zusammen.

Spektralellipsometrie (225 Pkt.)					CV-Charakterisierung		
$\mu$ nm	$s$ nm	min nm	max nm	Unif. %	$\Delta V_{FB}$ V	Hyst. V	$D_{IT}$ $eV^{-1}cm^{-2}$
11.8	0.24	11.1	12.5	5.94	0	0	$1 \cdot 10^{10}$

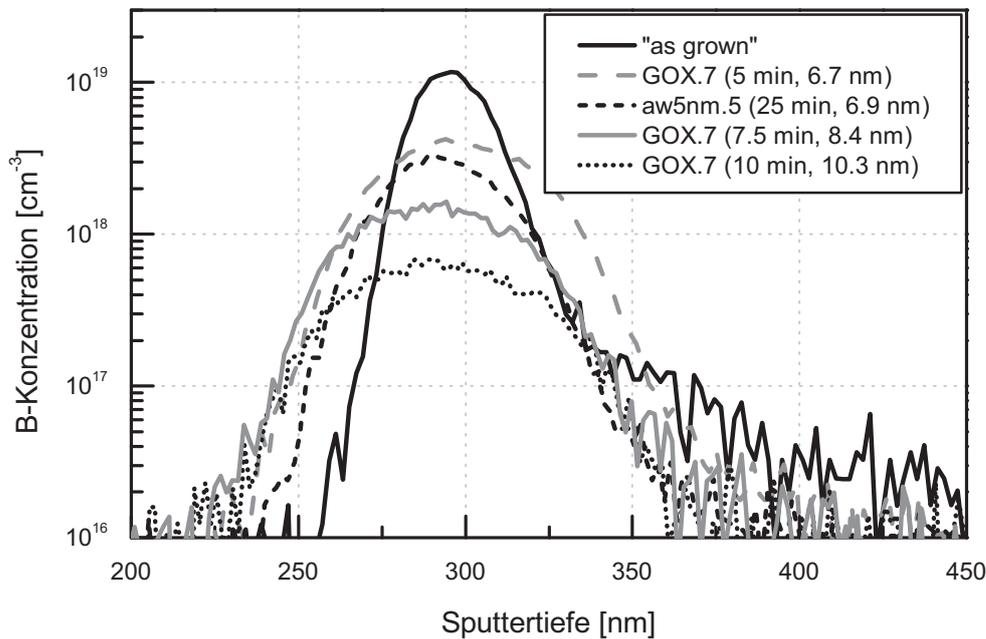
**Tab. 6.22:** Schichtdicken- und CV-Messung am RTP-Feuchtoxid GOX.7.

Aus der Tabelle wird ersichtlich, dass das thermische Oxid eine sehr niedrige Schichtdickenschwankung aufweist. Dies ermöglicht den Vergleich der Bauteile unabhängig von der Position auf dem Substrat. Ein ebenso gutes Resultat liefert die CV-Charakterisierung. Die Messkurven zeigen weder eine Verschiebung der Flachbandspannung noch eine Hysterese. Die niedrige Grenzflächenzustandsdichte der in Wasserstoff-Atmosphäre getemperten Proben lässt auf eine hohe Oxidqualität schließen. Bei der Bewertung ist jedoch zu beachten, dass zur Oxidcharakterisierung unbehandelte Substrate dienen. Die Gateoxide hingegen werden auf vertikalen, trockenchemisch geätzten Flanken gewachsen. Mit einer Einbuße in der Oxidqualität ist in jedem Fall zu rechnen.

### 6.5.2 Thermisches Budget

Trotz der Verwendung einer niedrigen Oxidationstemperatur führen RTO-Prozesse stets zur Diffusion der Dotierstoffe. Bei den vertikalen npn-Transistoren äußert sich dies durch unscharfe pn-Übergänge. Bei Kurzkanal-MOSFETs kann zusätzlich die Kanaldotierung abnehmen, was die Temperaturbeständigkeit reduziert. Gleicher Effekt tritt in verschärfter Form bei den nipin-Transistoren auf. Aufgrund der geringen Ausdehnung der p-Zone wird bereits bei einem niedrigen Temperaturbudget eine erhebliche Abnahme der maximalen Dotierstoffkonzentration beobachtet.

Zur Untersuchung des Diffusionsverhaltens werden vier gleiche nipin-Schichtstapel unterschiedlichen RTO-Prozessen ausgesetzt. Bei den Prozessen handelt es sich um drei Feuchtoxidationen bei 800 °C (GOX.7; 5, 7.5, 10 min) und eine bei 750 °C (aw5nm; 25 min). Die resultierenden Oxiddicken liegen im Bereich zwischen 6.7 und 10.3 nm. Anschließend werden SIMS-Tiefenprofile der Proben angefertigt. Ausschnitte dieser werden in der Abbildung 6.49 dargestellt.



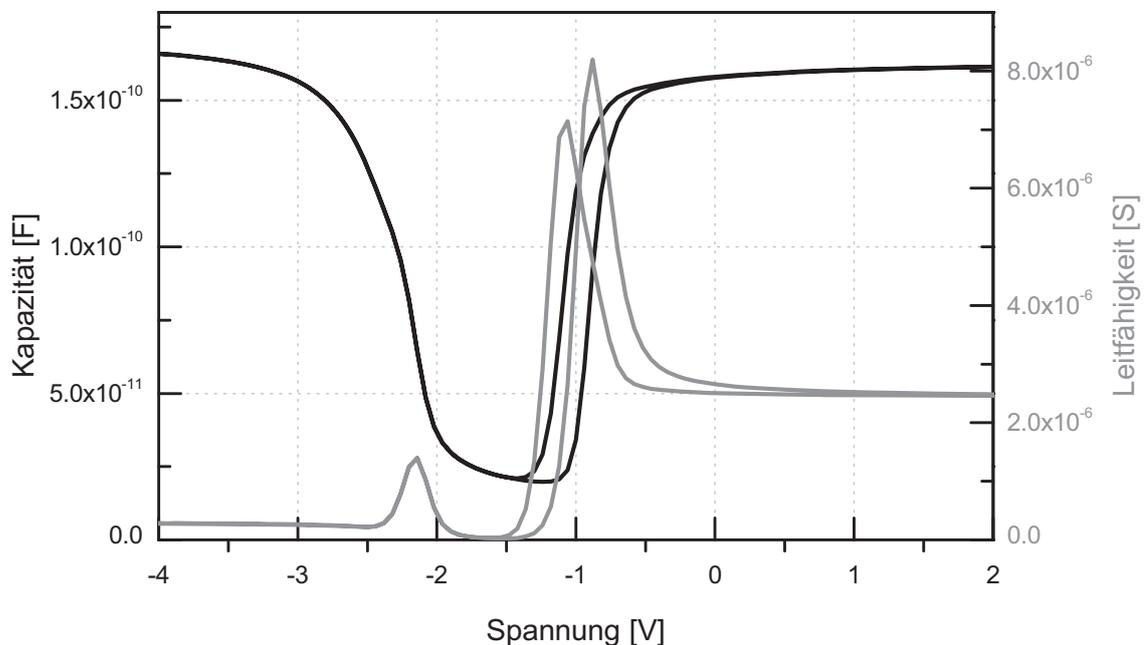
**Abb. 6.49:** Ausdiffusion der Bor-Dotierung für unterschiedliche RTO-Prozesse (Probe 10087\_1 A-D).

Die Tiefenprofile zeigen mit zunehmenden Temperaturbudget ein stärkeres Verlaufen des Bor-Profiles. Dabei sinkt bereits für den 10-minütigen GOX.7-Prozess, der als einziger die angestrebte Oxiddicke von 10 nm liefert, das Maximum der Dotierstoffkonzentration auf  $5 \cdot 10^{18} \text{ cm}^{-3}$ . Eine deutliche Einbuße in der Temperaturbeständigkeit des Bauteils ist die Folge. Um eine hohe Bor-Konzentration nach dem RTO-Prozess sicherzustellen, kann entweder die Ausgangsdotierung oder die Länge der p-Zone erhöht werden. Eine Erhöhung der Bor-Ausgangsdotierung auf  $10^{20} \text{ cm}^{-3}$  steigert jedoch primär den Anteil des elektrisch inaktiven Bors. Und auch die Verlängerung der p-Zone erfordert gleichzeitig schmalere intrinsische Bereiche, da andernfalls die maximale Ätztiefe überschritten wird. Bei kurzen i-Gebieten besteht jedoch die Gefahr der vollständigen Bor-Flutung. Ein Ausweg besteht daher nur in einer weiteren Senkung des thermischen Budgets.

### 6.5.3 Zwei-Schicht Gatedielektrikum

Neben dem thermisch gewachsenen Siliziumoxid besteht auch die Möglichkeit, Siliziumnitrid als Gatedielektrikum einzusetzen [16]. Das thermische Budget der Nitridabscheidung ist zwar nicht gravierend geringer, dennoch verläuft das Dotierprofil deutlich schwächer im Vergleich zur Oxidation. Der Grund hierfür liegt in einer verstärkten Diffusion durch die Präsenz des Sauerstoffs (Oxidation Enhanced Diffusion, OED). Da die Nitridabscheidung ohne Sauerstoff erfolgt, bleibt das Dotierprofil weitestgehend erhalten.

Aus der direkten Abscheidung des Siliziumnitrids auf das Siliziumsubstrat resultiert aufgrund der hohen Ladungsdichte im Nitrid eine starke Verschiebung der Flachbandspannung (vgl. Tabelle 6.23), die sich auf die Einsatzspannung der Bauelemente auswirkt. Um die unerwünschte Verschiebung möglichst zu unterdrücken und gleichzeitig einen definierten Zustand der Oberfläche vor der Nitridabscheidung herzustellen, bietet sich das Wachstum eines dünnen Suboxids an. Ein derartiges Zwei-Schicht-System wird auf niedrig p-dotiertem Substrat aufgebracht und mit Hilfe von CV-Messungen charakterisiert. Der Schichtstapel besteht aus einer 5 nm dicken thermischen Siliziumoxidschicht, die mit einer 40 nm dicken Siliziumnitridschicht überwachsen wird. Als Elektroden dienen wie zuvor aufgedampfte Aluminiumkontakte. Das Ergebnis der Messung wird in der Abbildung 6.50 dargestellt.



**Abb. 6.50:** CV-Messung eines Zweischichtsystems aus 5 nm thermischem Siliziumoxid und 40 nm Siliziumnitrid (Probe 10097\_5).

Der theoretische Wert der Flachbandspannung liegt bei 0.9 V [75]. Folglich resultiert für das Zwei-Schicht-System eine Verschiebung von etwa 1.8 V. Die CV-Kurve zeigt im Akkumulationsbereich keine Hysterese. Damit ist das Zwei-Schicht-System frei von beweglichen Ladungen. Die Hysterese in der Inversion wird auf Zeiteffekte zurückgeführt.

Aus der CV-Charakterisierung geht hervor, dass das Zwei-Schicht-System über eine ausreichende Qualität verfügt, um als Gatedielektrikum für den nipin-Transistor eingesetzt zu werden. Die moderate Flachbandverschiebung, sowie das Temperaturbudget des dünnen Suboxids müssen dabei in Kauf genommen werden.

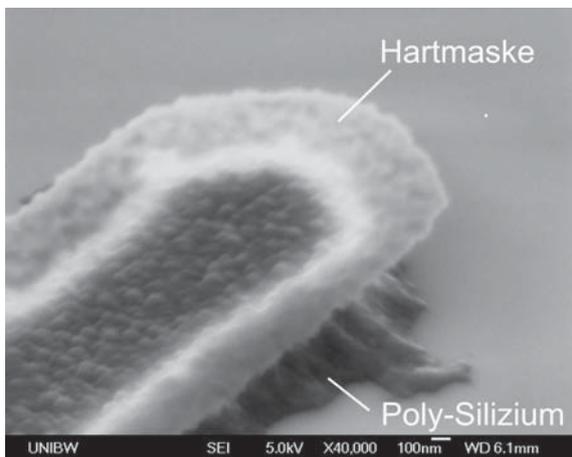
## 6.6 Poly-Silizium Gateelektrode

Nach dem Wachstum bzw. der Abscheidung des Gatedielektrikums werden die Substrate mit einer n-dotierten Poly-Siliziumschicht überwachsen. Hierzu wird der im Anhang A.3 aufgeführte LPCVD-Prozess verwendet.

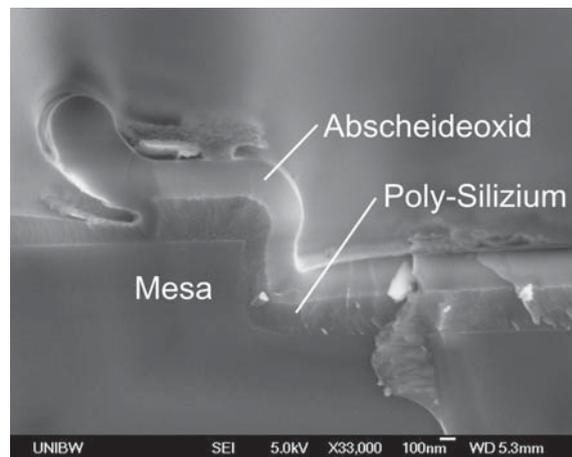
Zur Strukturierung des Poly-Siliziums dient entweder eine saure Poly-Ätze oder eine basische TMAH-Lösung (vgl. hierzu Anhang A.7). Der Abtrag durch die Poly-Ätze erfolgt sehr inhomogen. In Kombination mit der geringen Selektivität gegenüber Siliziumoxid wird stellenweise eine starke Unterätzung des Gateoxides und ein Abtrag der darunter liegenden Siliziumschicht beobachtet. Folglich wird die Poly-Ätze zur Strukturierung nicht weiter eingesetzt.

Die alternative Ätzung mit TMAH erfordert eine Hartmaske. Hierfür eignen sich thermische oder Abscheideoxide. Da erstere mit einem hohen thermischen Budget verbunden sind, wird insbesondere bei den nipin-Strukturen auf ein Abscheideoxid ausgewichen. Hierzu dient ein TEOS-Prozess, dessen Abscheidetemperatur auf 690 °C verringert wird. Für die Prozesszeit von 10 min resultiert dabei eine Oxiddicke von 50 nm.

Nach der Strukturierung der Hartmaske durch eine BHF-Ätzung wird zunächst der Lack entfernt. Anschließend erfolgt die Poly-Silizium-Strukturierung mit Hilfe der TMAH-Lösung. Die verwendeten Gatedielektrika bilden dabei eine widerstandsfähige Ätzbarriere für das Medium. Das Ätzprofil ist stark isotrop und führt folglich zur Unterätzung der Hartmaske. Ein Beispiel zeigt hierzu die Abbildung 6.51.



**Abb. 6.51:** Unterätzte Hartmaske (Probe 03038/1).



**Abb. 6.52:** Abscheideoxid über einer unterätzten Hartmaske (Probe STB3).

Die Entfernung der Hartmaske kann durch eine HF-Ätzung erfolgen. Wird jedoch Siliziumoxid als Gatedielektrikum verwendet, so wird auch dieses angegriffen. Da im Fall einer Unterätzung die Gefahr eines erhöhten Gate-Leckstroms besteht, wird auf die Entfernung der Hartmaske verzichtet. Die anschließende LPCVD-Abscheidung der Passivierung führt zu einer konformen Bedeckung der unterätzten Hartmaske, wie sie in der Abbildung 6.52 dargestellt wird.

## 6.7 Passivierung

Die Passivierung sorgt für den Schutz der Bauelemente vor äußeren Einflüssen. Als Material kommt dabei entweder ein Abscheideoxid oder -nitrid in Betracht. Da jedoch das Nitrid eine bessere Haftung der Metallisierung ermöglicht, wird es dem TEOS-Oxid vorgezogen.

Zur Abscheidung der Nitridschichten steht zunächst eine LPCVD-Anlage der Firma *Intertherm* zur Verfügung. Diese wird jedoch im Verlauf der Arbeit durch eine Anlage der Firma *ATV* ersetzt. Um nach dem Anlagenwechsel die Schichtqualität zu kontrollieren, werden Nitridschichten beider Anlagen einer Dicken- und CV-Messung unterzogen. Die dabei erzielten Ergebnisse fasst die Tabelle 6.23 zusammen.

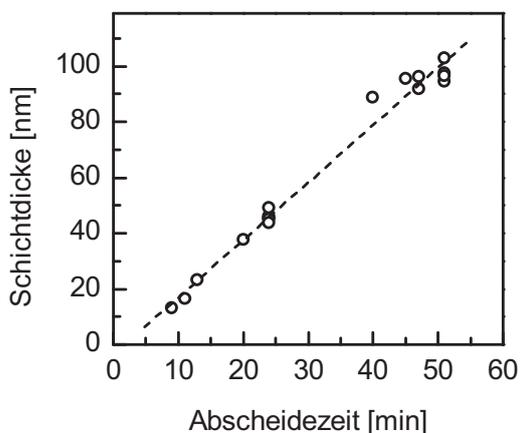
Spektralellipsometrie (81 Pkt.)					CV-Char.	
$\mu$ nm	$s$ nm	min nm	max nm	Unif. %	$V_{FB}$ V	Hyst. V
Nitridationsofen <i>Intertherm</i>						
101.2	3.60	95.3	106.7	5.59	-7	0.6
Nitridationsofen <i>ATV</i>						
88.7	2.90	86.2	97.0	3.81	-7	0.4

**Tab. 6.23:** Schichtdicken- und CV-Messungen an Siliziumnitridschichten.

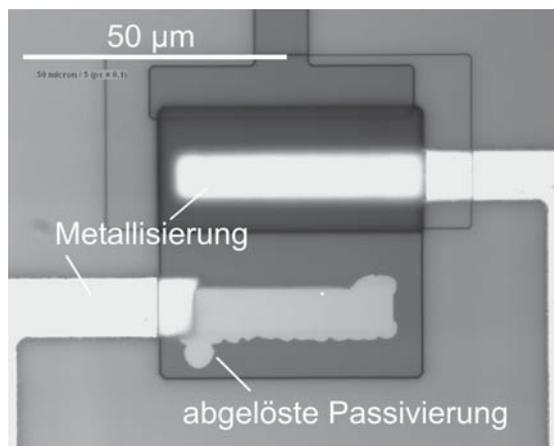
Aus der Tabelle geht für beide Nitridschichten eine niedrige Dickenschwankung hervor. Ferner konnte durch den Wechsel zur *ATV*-Anlage eine Verbesserung der Uniformität erzielt werden. Den CV-Messungen lässt sich die bereits beschriebene starke Verschiebung der Flachbandspannung entnehmen. Die bei beiden Proben auftretende Hysterese deutet auf bewegliche Ladungen im Nitrid hin.

Die Schichtdicke der Nitride lässt sich sehr einfach und exakt über die Abscheidezeit einstellen. Aus zahlreichen Messungen, deren Ergebnisse in der Abbildung 6.53 dargestellt werden, konnte eine Abscheiderate von 1.93 nm/min für die *ATV*-Anlage ermittelt werden.

LPCVD-Nitridschichten müssen aufgrund der hohen Zugspannung auf Padoxiden abgeschieden werden. Dabei sollte, wie im Kapitel 5.3.2 beschrieben, die Schichtdicke des Padoxides mindestens 25 % der Nitriddicke betragen. Als Padoxide werden in der Regel thermische Oxide verwendet. Diese haben jedoch den Nachteil des hohen thermischen Budgets. Eine Alternative wird daher in Abscheideoxiden gesehen. Eine nähere Untersuchung eines Passivierungssystems bestehend aus einem TEOS-Abscheideoxid und einem LPCVD-Nitrid zeigt jedoch eine unzureichende Kompensation der mechanischen Spannungen. Wie es die Abbildung 6.54 darstellt, löst sich ausgehend von Kontaktlöchern die Passivierung samt Metallisierung ab. Der Einsatz eines Abscheideoxides als Padoxid ist daher nicht empfehlenswert.



**Abb. 6.53:** Schichtdicke des LPCVD-Nitrids in Abhängigkeit von der Abscheidezeit.

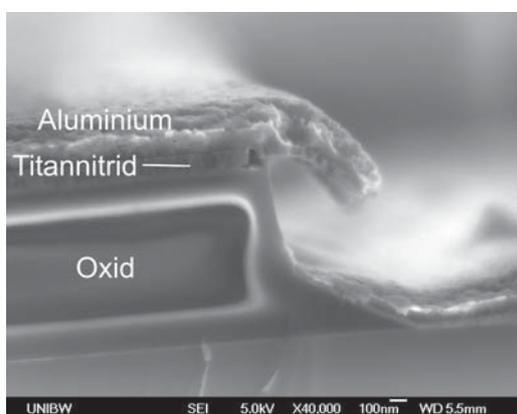


**Abb. 6.54:** Ablösung einer Passivierung bestehend aus einem TEOS-Padoxid (20 nm) und einem LPCVD-Nitrid 45 nm (Probe 11077\_3).

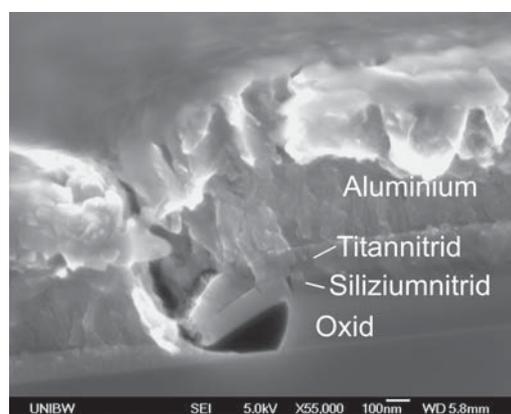
## 6.8 Metallisierung

Die Metallisierung stellt den letzten Schritt in der Bauteilherstellung dar. Die Abscheidung des verwendeten Drei-Schicht-Systems aus Titan, Titannitrid und Aluminium erfolgt durch Sputterprozesse, deren Abscheideparameter im Anhang A.4 aufgelistet werden. Zur Strukturierung des gesamten Schichtstapels werden nasschemische Prozesse verwendet. Die Zusammensetzung der Ätzlösungen sind im Anhang A.7 zu finden.

Sputterprozesse zeichnen sich durch eine niedrige Konformität aus. Insbesondere bei tiefen Kontaktlöchern oder hohen Mesen kann aufgrund der unzureichenden Kantenbedeckung eine Unterbrechung der elektrischen Verbindung auftreten. Ein Beispiel hierzu zeigt die Abbildung 6.55.



**Abb. 6.55:** Durch unzureichende Kantenbedeckung unterbrochene Verbindung (Probe 11107\_6).



**Abb. 6.56:** Kompensation der niedrigen Konformität durch Erhöhung der Schichtdicke (Probe 11107\_2).



Aufgrund des tiefen Kontaktlochs im Dielektrikum des unteren Kondensators sowie der geringen Konformität der Sputterprozesse kann keine leitfähige Verbindung zur unteren Elektrode hergestellt werden. Eine pragmatische Lösung stellt die Verwendung einer dickeren Aluminiumschicht dar. Wie die Abbildung 6.56 zeigt, lässt sich durch die Erhöhung der Schichtdicke von 300 nm auf 1  $\mu\text{m}$  ein sicherer elektrischer Kontakt gewährleisten.



## Kapitel 7

# Prozessentwicklung zum lateralen MOSFET

Neben dem bereits vorgestellten vertikalen MOSFET wird in dieser Arbeit auch eine laterale Variante aufgebaut. Dadurch ergibt sich die Möglichkeit eines direkten Vergleichs beider Bauteilkonzepte hinsichtlich ihrer Temperaturbeständigkeit. Die maximale Einsatztemperatur lateraler MOSFETs lässt sich, wie im Kapitel 2.2.3 beschrieben, durch den Aufbau auf SOI-Substraten erheblich steigern. Zur Untersuchung der Temperaturstabilität werden die Bauelemente sowohl auf Silizium als auch auf SOI-Substraten aufgebaut. Beide MOSFET-Varianten werden entsprechend dem in der Tabelle 7.1 dargestellten Prozessablauf gefertigt.

1.	Isolation
2.	Gateoxid und Poly-Silizium-Elektrode
3.	Dotierung durch Spin On Dopant
4.	Passivierung
5.	Metallisierung

**Tab. 7.1:** Prozessschritte zur Herstellung von lateralen MOSFETs auf Si- und SOI-Substraten.

Analog zum vorhergehenden Abschnitt wird nachfolgend die Prozessentwicklung zu den einzelnen Schritten vorgestellt. Dabei können zahlreiche Schritte direkt aus dem Prozessablauf des vertikalen MOSFETs übernommen werden.

Der erste Abschnitt befasst sich mit der Isolation der diskreten Bauelemente. Abhängig vom verwendeten Substrat wird diese durch ein Feldoxid oder durch Freistellen realisiert. Im gleichen Unterkapitel wird auch das Wachstum des Gateoxides sowie die Abscheidung und Strukturierung der Poly-Silizium-Elektrode behandelt. Die Entwicklung beider Prozesse wurde bereits im Kapitel zum vertikalen MOSFET ausführlich behandelt. Die nachfolgende Passage beschreibt die Dotierung der Source und Drain-Gebiete. Hierzu dient die Diffusion aus Spin On Dopants, auf die näher eingegangen wird. Der letzte Abschnitt behandelt die Abscheidung und Strukturierung



rung der Passivierung und Metallisierung. Beide Prozesse werden unverändert aus dem Prozessablauf des vertikalen MOSFETs übernommen.

## 7.1 Substrate

Der Aufbau der lateralen n-Kanal MOSFETs erfolgt auf Bor-dotierten Silizium- und SOI-Substraten. Weitere Kenndaten der verwendeten 100 mm-Wafer fasst die Tabelle 7.2 zusammen.

	SOI-Substrat		Si-Substrat
Dicke:	Device Layer	$340 \pm 50 \text{ nm}$	$525 \pm 0.5 \text{ }\mu\text{m}$
Dotierung:		p(B)	p(B)
Leitfähigkeit:		$14 - 22 \text{ }\Omega\text{cm}$	$20 - 30 \text{ }\Omega\text{cm}$
Orientierung:		(100)	(100)
Dicke:	BOX	$100 \pm 22.5 \text{ nm}$	
Dicke:	Handle	$525 \pm 15 \text{ }\mu\text{m}$	
Dotierung:		p(B)	
Leitfähigkeit:		$14 - 22 \text{ }\Omega\text{cm}$	
Orientierung:		(100)	

**Tab. 7.2:** Spezifikation der Substrate zum Aufbau lateraler MOSFETs.

Bei den SOI-Substraten handelt es sich um UNIBOND-Wafer der Firma *Soi-tec*. Wie der Tabelle entnommen werden kann, lassen sich mit diesem SOI-Herstellungsverfahren im Vergleich zum BESOI-Verfahren deutlich dünnere Device Layer mit einer geringen Schichtdickenschwankung fertigen [18].

## 7.2 Isolation und Poly-Silizium Gate

Der Aufbau der Transistoren auf Siliziumsubstraten beginnt mit dem Wachstum eines Feldoxides. Hierzu dient eine Feuchtoxidation bei  $950 \text{ }^\circ\text{C}$ , die zu einer Oxiddicke von  $123 \text{ nm}$  führt. Weitere Parameter des Prozesses sind im Anhang A.1 zu finden. Die anschließende Strukturierung des Oxids erfolgt durch eine nasschemische Ätzung.

Die Isolation der Transistoren auf den SOI-Substraten wird analog zu dem FGFET Sensor durch einen Abtrag des Device Layers realisiert. Zur Maskierung der Schicht dient eine  $9 \text{ nm}$  dicke Siliziumoxid Hartmaske, die mit Hilfe eines Negativ-Lacks strukturiert wird. Die Freistellung der Transistorinseln erfolgt durch eine anisotrope TMAH-Ätzung.

Die klassische LOCOS-Technologie [114] wird in beiden Fällen nicht eingesetzt, da die notwendige nasschemische Nitrid-Ätzung nicht zur Verfügung steht.

Nach einer RCA-Reinigung folgt das Wachstum des Gatedielektrikums. Hierzu wird der bereits im vorhergehenden Kapitel beschriebene RTO-Prozess „GOX.7“ eingesetzt. Die Oxidation bei  $800 \text{ }^\circ\text{C}$  führt zu einer Schichtdicke von  $12.5 \text{ nm}$ . Als Gateelektrode wird auch in diesem Fall eine Phosphor-dotierte Poly-Siliziumschicht

verwendet. Die Parameter der Abscheidung und Strukturierung sind im Anhang A.2 und A.7 zu finden.

## 7.3 Dotierung durch Spin On Dopants

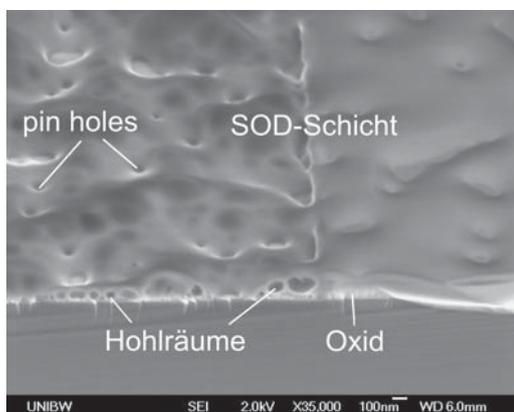
Die Realisierung der Source- und Drain-Wannen erfolgt mithilfe der Diffusion durch Spin On Dopants. Im Vergleich zur gängigeren Ionenimplantation ist dieses Dotierverfahren einfacher und kostengünstiger.

Der Prozessablauf beginnt mit dem Aufschleudern der flüssigen Spin On Dopant Lösung auf das mit einer Hartmaske strukturierte Substrat. Als Hartmaske eignen sich sowohl Oxid- als auch Nitridschichten. Es folgt eine Niedertemperatur-Temperung, bei der die Lösungsmittel ausgetrieben werden und der Dopant zu einer festen Schicht vernetzt. Anschließend sorgt ein Hochtemperatur-Diffusionsschritt für den Eintrieb des Dotierstoffes. Nach dem Dotierprozess kann die SOD-Schicht mit Hilfe von Flusssäure wieder entfernt werden.

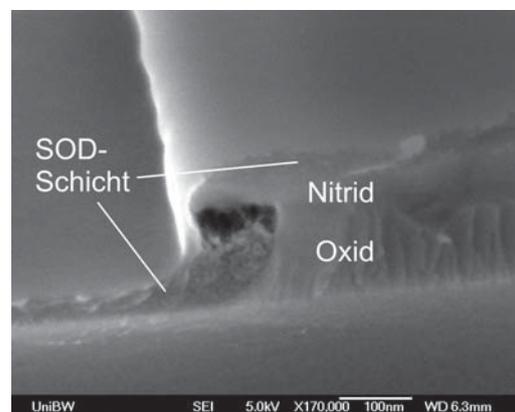
### 7.3.1 Niedertemperatur-Temperung

Die Parameter der Niedertemperatur-Temperung haben einen starken Einfluss auf die Struktur der SOD-Schicht. Um eine möglichst homogene Dotierung zu erzielen, wird eine konforme Bedeckung des Substrates angestrebt.

Für eine erste Untersuchung werden zunächst die vom Hersteller *Honeywell* empfohlenen Prozessparameter übernommen. Demnach soll der mit 3500 r/min aufgebraute Dopant in einem einstufigen Tempersschritt bei einer Temperatur von 150 °C 60 s ausgebacken werden. Anschließend folgt ein Diffusionsprozess bei einer Temperatur von 950 °C. Die Bruchkante einer auf diese Weise präparierten Probe zeigt die Abbildung 7.1.



**Abb. 7.1:** Stark zerklüftete SOD-Schicht nach einer einstufigen Temperung.



**Abb. 7.2:** Optimale Bedeckung der SOD-Schicht durch den optimierten Temperprozess.

Die aufgebrauchte SOD-Schicht weist eine sehr inhomogene Bedeckung der Oberfläche auf. Stellenweise tritt das blanke Substrat zum Vorschein (pin holes). Zudem sind in der Schicht zahlreiche Hohlräume zu erkennen. Die stark poröse Schicht führt zu einer inhomogenen Dotierung der frei liegenden Siliziumflächen.

Die Ursache für die zerklüftete Oberfläche wird in einer unzureichenden Entfernung der Lösungsmittel gesehen. Weitere Versuche zeigen jedoch, dass die alleinige Verlängerung der Temperzeit zu keiner deutlichen Verbesserung der Oberflächenstruktur führt. Erst durch eine stufenartige Erhöhung der Temperatur während des Temperprozesses (vgl. Anhang A.5) lässt sich eine homogene und konforme Bedeckung erzielen [101]. Ein Resultat eines optimierten Ausheizprozesses zeigt die Abbildung 7.2. Die dargestellte SOD-Schicht ist frei von Hohlräumen und weist eine geringe Rauigkeit auf. An der unterätzten Diffusionsmaske, die aus einem 120 nm dickem Siliziumoxid und einer 50 nm dicken Nitrid-Deckschicht besteht, wird eine optimale Bedeckung beobachtet.

### 7.3.2 Hochtemperatur-Diffusion

Die Parameter der Diffusion definieren die Tiefe der Dotierung. Getreu den im Kapitel 5.5 vorgestellten *Fickschen* Gesetzen lässt sich über die Diffusionszeit und -temperatur das gewünschte Dotierprofil einstellen.

Anhand vom Hersteller bereitgestellter Daten werden bei vier unterschiedlichen Diffusionstemperaturen Proben präpariert. Um eine konstante Dotiertiefe zu erzielen, wird die Diffusionszeit mit zunehmender Temperatur verkürzt. Die entsprechenden SIMS-Tiefenprofile der Proben stellt Abbildung 7.3 dar. Bei der Bewertung der Profile ist zu beachten, dass diese durch den *knock on*-Effekt überlagert werden. Dadurch erscheint die Dotiertiefe größer, als sie tatsächlich ist. Zudem wird bei der SIMS-Messung sowohl der aktive als auch der inaktive Dotierstoff erfasst.

Die Dotierprofile zeigen mit zunehmender Diffusionstemperatur größere Abklinglängen. Des weiteren wird mit steigender Temperatur nahe der Grenzfläche ein sich ausweitender Bereich beobachtet, der eine konstante Dotierstoffkonzentration aufweist. Diese entspricht dabei der Löslichkeitsgrenze des Dotierstoffs im Siliziumkristall.

Für die Dotierung der Source- und Drain-Wanne wird der Diffusionsprozess mit der höchsten Temperatur verwendet. Das dazugehörige Konzentrationsplateau ermöglicht auch bei einer Überätzung der Kontaktlöcher einen niedrigen Übergangswiderstand. Eine detaillierte Auflistung aller verwendeten Parameter der Temperung ist im Anhang A.1 zu finden.

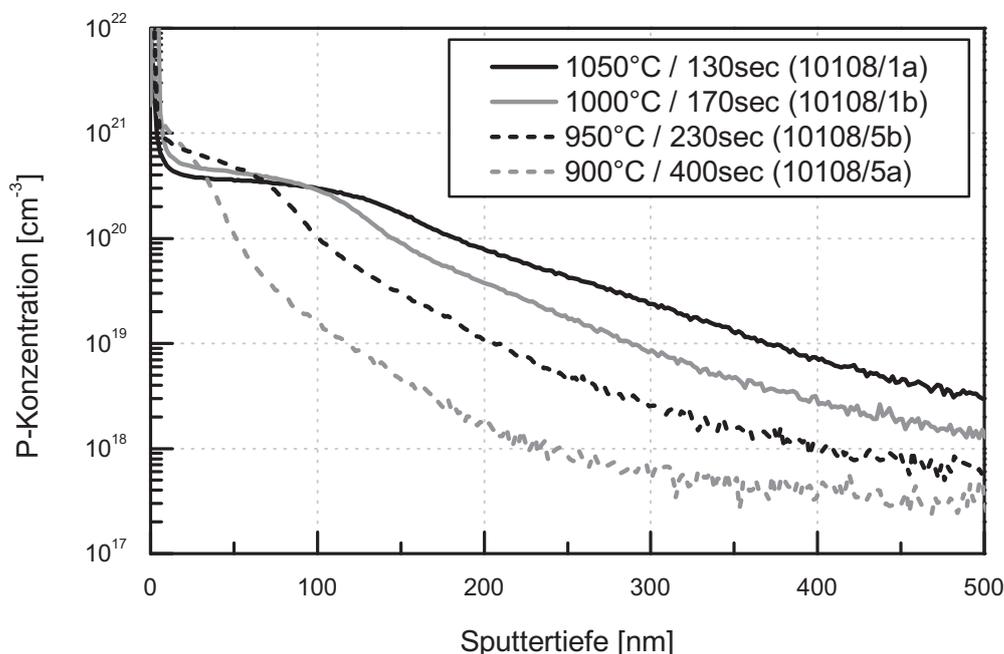


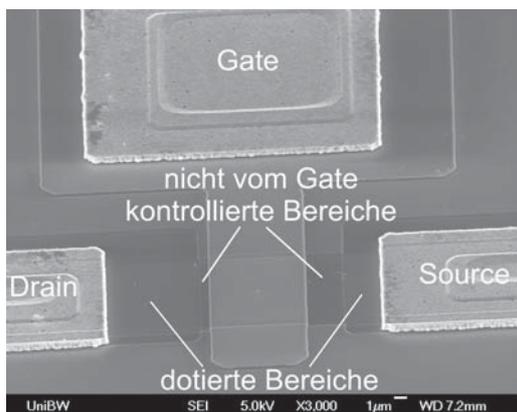
Abb. 7.3: Dotierprofile unterschiedlich getemperter SOD-Schichten.

### 7.3.3 Diffusionsmaske

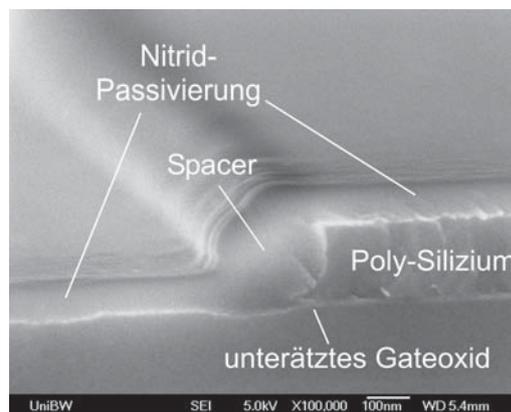
Die Source- und Drain-Bereiche werden bei dem gewählten Prozessablauf durch eine Hartmaske definiert. Dabei ist die Maske so konzipiert, dass kein Überlapp zum Gate-Bereich besteht. Der Vorteil dieses Konzeptes liegt in der sicheren Entfernung der SOD-Schicht ohne eine Unterätzung des Gate-Bereiches zu riskieren. Einen Nachteil stellen jedoch die beiden nicht vom Gate kontrollierten Bereiche dar. Die Abbildung 7.4 veranschaulicht dieses Konzept.

Die vom Gate unbedeckten Bereiche führen zu einem veränderten Bauteilverhalten. So wird beispielsweise eine von der Drain-Spannung abhängige Einsatzspannung des Transistors beobachtet [101]. Ein einfacher Ansatz zur Behebung dieses Problems liegt in der Unterdiffusion. Mit der Ausweitung der Source- und Drain-Gebiete lässt sich das erwartete MOSFET-Verhalten erzielen.

Die alternative Dotierung ohne Maske birgt die Gefahr der Unterätzung des Gate-Bereiches. Wie die Abbildung 7.5 zeigt, kann während der SOD-Schichtentfernung das Gateoxid angegriffen werden. Die Folge sind Leckstrompfade, die zu einem Gate-Drain- bzw. Gate-Source-Kurzschluss führen. Abhilfe kann hier die Spacer-Technologie darstellen [114]. Der Einsatz dieser bedarf jedoch weiterer Untersuchungen, bevor eine Implementierung in den Prozessablauf erfolgen kann. In diesem Zusammenhang ist zu bemerken, dass der in Abbildung 7.5 sichtbare Nitrid-Spacer



**Abb. 7.4:** Dotierung der Source- und Drain-Bereiche über eine Diffusionsmaske (Probe 04128\_3).



**Abb. 7.5:** Unterätztes Gateoxid bei der Entfernung der SOD-Schicht (Probe 01128\_6).

durch eine Fehlprozessierung bei der Abscheidung der Passivierung entstand und nicht als Schutz für das Gateoxid dienen sollte.

## 7.4 Passivierung und Metallisierung

Nach der Abätzung der SOD-Schicht folgt die Passivierung der Bauelemente durch eine 100 nm dicke Nitrid-Schicht. Die Parameter des hierfür verwendeten LPCVD-Prozesses sind im Anhang A.3 zu finden. Zur Öffnung der Kontaktlöcher dient ein Trockenätzprozess, dessen Parameter im Anhang A.8 aufgeführt werden.

Abschließend folgt die Abscheidung und Strukturierung des bereits im vorhergehenden Kapitel vorgestellten Metallisierungssystems. Die entsprechenden Prozessparameter sind im Anhang A.4 und A.7 aufgelistet.





# Kapitel 8

## Charakterisierung der Transistoren

Nach der vollständigen Prozessierung kann die elektrische Charakterisierung der Bauelemente erfolgen. Die hierbei erzielten Ergebnisse werden in diesem Kapitel vorgestellt und diskutiert.

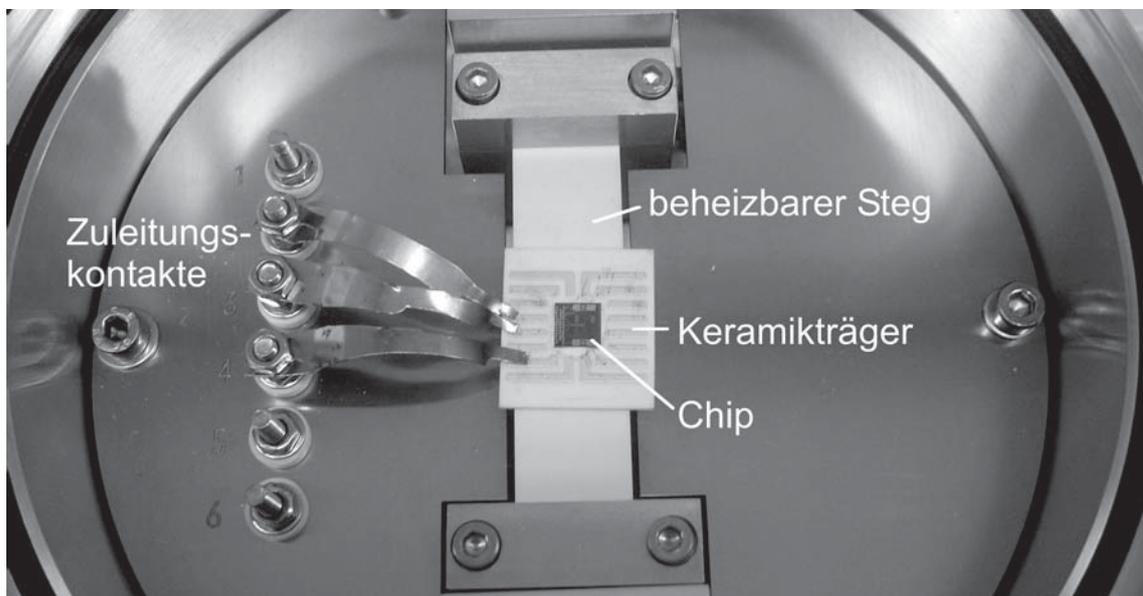
Zu Beginn wird zunächst der Messaufbau beschrieben. Anschließend folgen Unterkapitel zum lateralen MOSFET, vertikalen npn- und nipin-MOSFET. In jedem der Abschnitte werden Ergebnisse sowohl zu Messungen bei Raumtemperatur als auch bei erhöhten Temperaturen vorgestellt. Die Charakterisierung erfolgt anhand typischer MOSFET-Parameter, die sich aus den Transfer- und Ausgangskennlinienfeldern ableiten.

Die Messungen werden zum großen Teil automatisiert durchgeführt. Dadurch lässt sich zu jedem MOSFET-Typ eine Vielzahl an Bauelementen charakterisieren. Die im Folgenden diskutierten Messungen beziehen sich auf repräsentative Bauelemente. Die entsprechenden Positionen der für die Messung ausgewählten Transistoren können im Anhang B nachgeschlagen werden.

## 8.1 Messaufbau

Die Messungen bei Raumtemperatur erfolgen auf ungesägten Substraten an einem manuellen Spitzenmessplatz. Zur Charakterisierung der Bauelemente bei höheren Temperaturen dient ein weiterer Messplatz, der mit einem bis zu 200 °C beheizbaren Chuck ausgestattet ist. Zu beiden Messplätzen gehören die baugleichen Parameteranalysatoren HP4155A der Firma *Hewlett Packard*.

Temperaturmessungen über 200 °C können nur auf einzelnen Chips erfolgen. Diese werden mittels Keramikkleber auf Aluminiumoxidplättchen aufgebracht. Für die elektrische Kontaktierung sorgen Aluminiumbonddrähte, die die Kontaktpads auf Chip und Keramikplättchen verbinden. Die auf diese Weise präparierten Proben werden in die RTA-Anlage AO 500 der Firma *MBE-Komponenten* eingebaut. In dieser sind Messungen bis zu einer Temperatur von 500 °C möglich. Der Temperatureintrag erfolgt durch einen resistiv geheizten Steg auf dem die Proben aufliegen. Als Zuleitungen dienen Kontaktnadeln aus Federstahl, die auf die Goldpads der Aluminiumoxidplättchen platziert werden. Um eine Oxidation der Kontaktnadeln bei erhöhten Temperaturen zu verhindern wird die Ofenkammer mit Argon gespült und im Unterdruck betrieben. Eine Draufsicht der eingebauten Probe zeigt die Abbildung 8.1.



**Abb. 8.1:** Im RTA-Ofen eingebaute Probe zur Charakterisierung bei hohen Temperaturen.

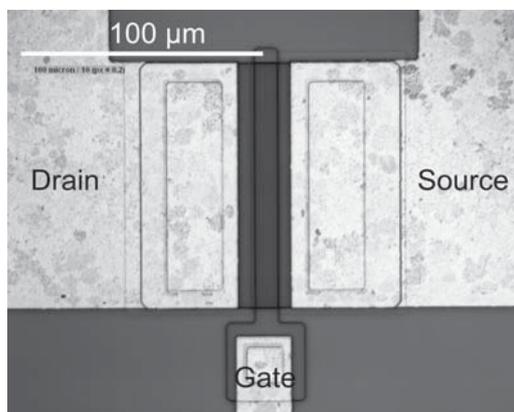
## 8.2 Laterale Transistoren

Im ersten Schritt werden laterale MOSFETs auf Silizium und SOI-Substraten elektrisch charakterisiert. Die Messung der Bauteilparameter der beiden Transistortypen wird zunächst bei Raumtemperatur durchgeführt. Anschließend folgt die Charakterisierung bei erhöhten Temperaturen.

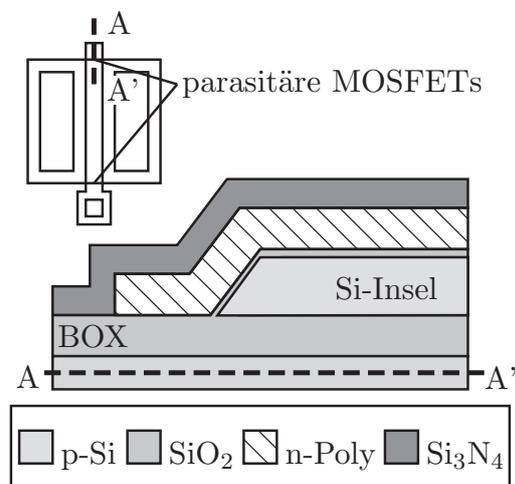
### 8.2.1 Messungen bei Raumtemperatur

Für die Charakterisierung werden Transistoren ausgewählt, die sich lediglich im Substratmaterial und der damit verbundenen Bauteilisolation unterscheiden. Alle weiteren Prozessschritte, die zur Herstellung dienen, sind identisch.

Eine lichtmikroskopische Aufnahme eines MOSFETs auf dem SOI-Substrat zeigt die Abbildung 8.2. Das W/L-Verhältnis der untersuchten Transistoren beträgt 100/5. Die Gateoxiddicke wurde während der Prozessierung an einem Begleitwafer mit 12.5 nm bestimmt. Von beiden Bauelementen werden Transfer- und Ausgangskennlinienfelder aufgezeichnet. Während der Messungen wird das Bulk über die metallisierte Rückseite geerdet. Die Gate-Leckströme liegen bei beiden Transistoren unter der Auflösungsgrenze des Messgerätes.



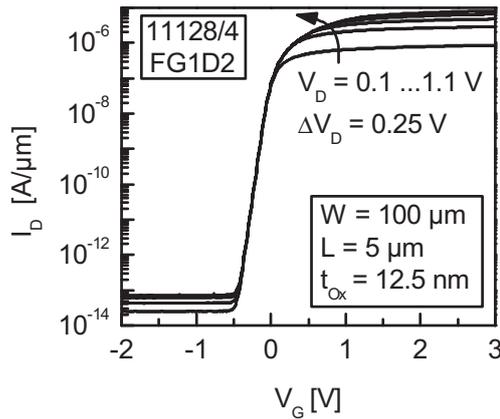
**Abb. 8.2:** Lateraler MOSFET auf SOI-Substrat.



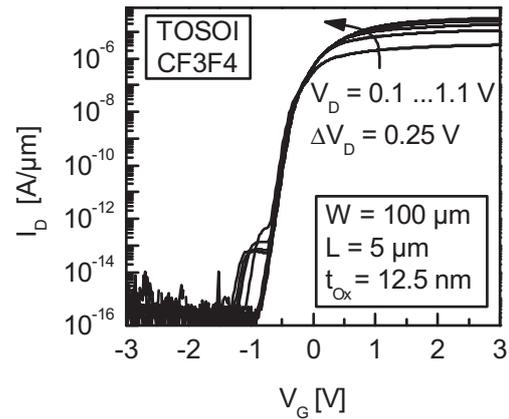
**Abb. 8.3:** Parasitäre MOSFETs an der Transistorinsel.

Die Abbildungen 8.4 und 8.5 stellen Transferkennlinienfelder der MOSFETs dar. In beiden Diagrammen sind neben den Bauteilbezeichnungen auch die Geometrieparameter aufgelistet. Aufgrund der kleineren pn-Übergangsfläche des Transistors auf dem SOI-Substrat wird für diesen ein um mindestens drei Dekaden niedrigerer OFF-Strom beobachtet. Der tatsächliche OFF-Strom liegt sogar unter dem Messbereich des Gerätes. Ein weiterer Unterschied besteht in der zusätzlich auftretenden Stufe im Unterschwellbereich des SOI-Transistors. Diese wird auf zwei parasitäre MOSFETs

am Rand der Siliziuminsel zurückgeführt, die in der Abbildung 8.3 veranschaulicht werden. Beide parasitären Bauelemente verfügen offenbar über ein dünneres Gateoxid, was zu einer niedrigeren Einsatzspannung führt. Gleicher Effekt kann auch bei der Isolation durch den LOCOS-Prozess auftreten [112]. In diesem Fall bilden sich die parasitären Transistoren zwischen „Vogelschnabel“ und BOX. Die Einsatzspannung des gesamten SOI-Transistors liegt bei  $-0.3\text{ V}$  und ist damit vergleichbar mit der des Transistors auf dem Si-Substrat.

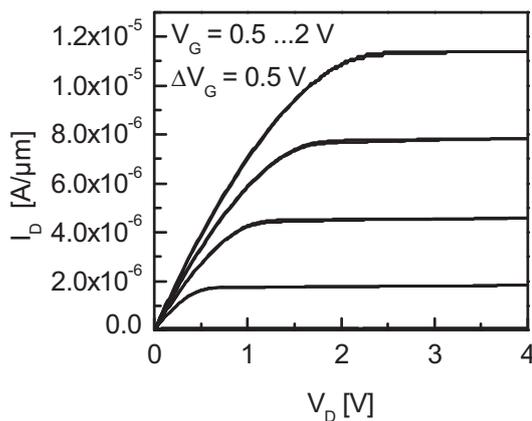


**Abb. 8.4:** Lateraler MOSFET auf Si-Substrat: Transferkennlinienfeld.

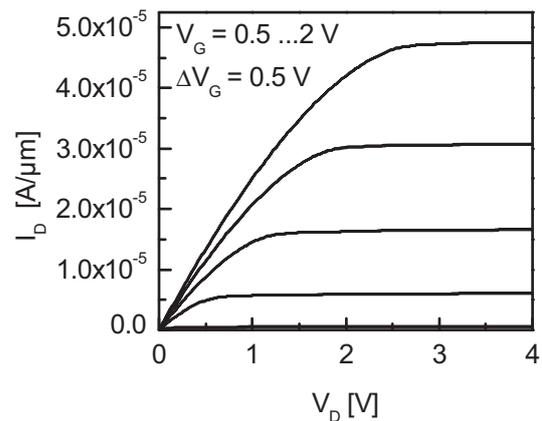


**Abb. 8.5:** Lateraler MOSFET auf SOI-Substrat: Transferkennlinienfeld.

Die Ausgangskennlinienfelder zeigen in den Abbildungen 8.6 und 8.7 einen ausgeprägten Sättigungsbereich. Für den MOSFET auf dem SOI-Substrat wird kein *Kink*-Effekt beobachtet. Bei den gewählten elektrischen Parametern erfolgt keine Aufladung des Body-Bereichs.



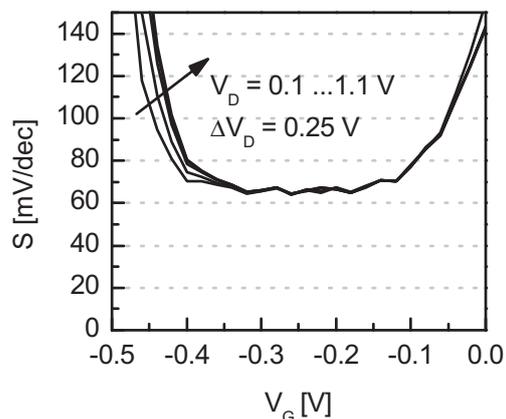
**Abb. 8.6:** Lateraler MOSFET auf Si-Substrat: Ausgangskennlinienfeld.



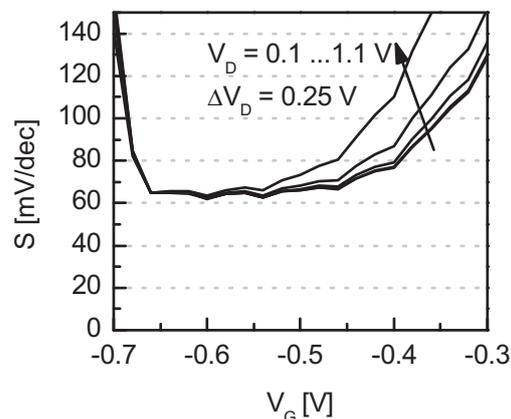
**Abb. 8.7:** Lateraler MOSFET auf SOI-Substrat: Ausgangskennlinienfeld.



Ein wichtiger Bauteilparameter, der das Einschaltverhalten charakterisiert, ist die lokale Unterschwellsteigung  $S$ . Diese wird in den Abbildungen 8.8 und 8.9 dargestellt. Beide MOSFETs erreichen für alle gewählten Drain-Spannungen annähernd das theoretische Minimum von 60 mV/dec.

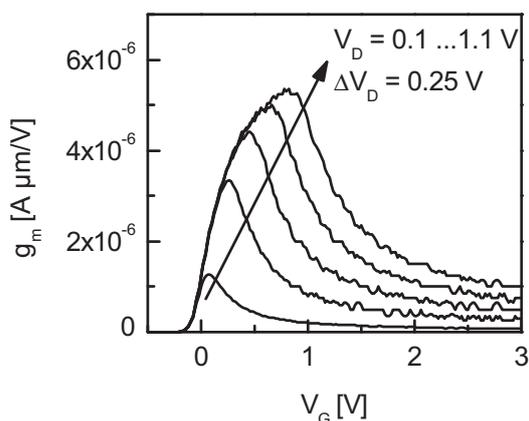


**Abb. 8.8:** Lateraler MOSFET auf Si-Substrat: Unterschwellsteigung  $S$ .

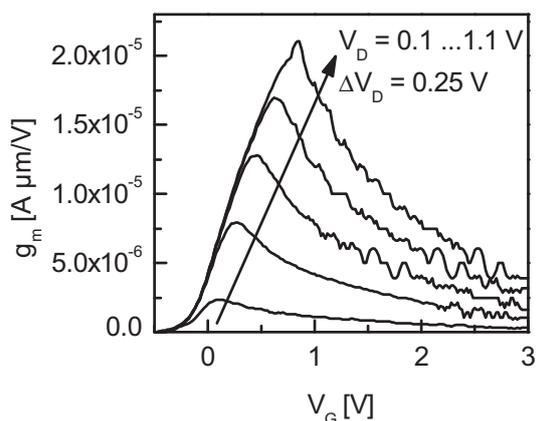


**Abb. 8.9:** Lateraler MOSFET auf SOI-Substrat: Unterschwellsteigung  $S$ .

Zuletzt wird die Steilheit  $g_m$  der Transistoren in den Abbildungen 8.10 und 8.11 verglichen. Aus den Diagrammen geht für beide MOSFETs eine Verschiebung des Maximums mit zunehmender Drain-Spannung hervor. Der absolute Wert des Maximums ist bei dem MOSFET auf SOI circa um einen Faktor 2 größer.



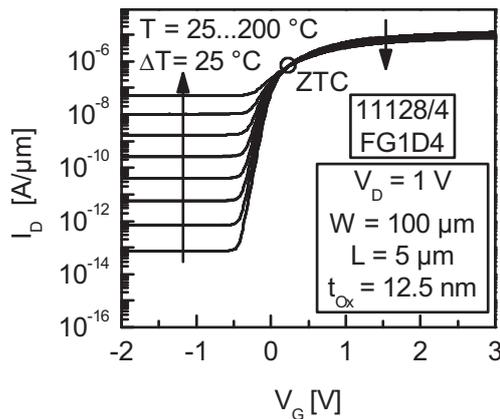
**Abb. 8.10:** Lateraler MOSFET auf Si-Substrat: Steilheit  $g_m$ .



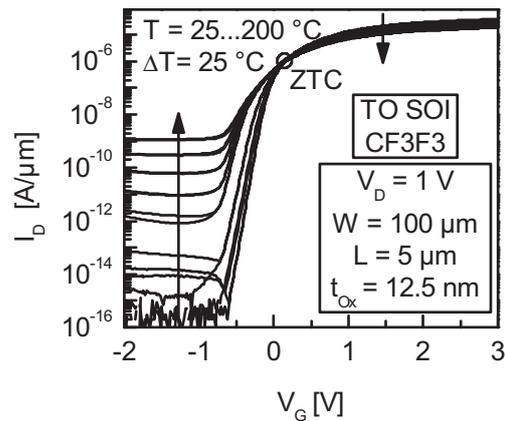
**Abb. 8.11:** Lateraler MOSFET auf SOI-Substrat: Steilheit  $g_m$ .

### 8.2.2 Temperaturverhalten lateraler MOSFETs

Die Untersuchung des Temperaturverhaltens erfolgt an MOSFETs gleicher Geometrie, wie sie auch für die Raumtemperaturmessungen gewählt wurde. Aufgezeichnet werden Transferkennlinien bei einer konstanten Source-Drain-Spannung von  $V_D = 1V$  und sieben unterschiedlichen Temperaturen im Bereich zwischen  $25\text{ }^\circ\text{C}$  und  $200\text{ }^\circ\text{C}$ . Die Abbildungen 8.12 und 8.13 stellen die aufgezeichneten Messdaten dar.



**Abb. 8.12:** Lateraler MOSFET auf Si-Substrat: Temperaturverhalten der Transferkennlinie.

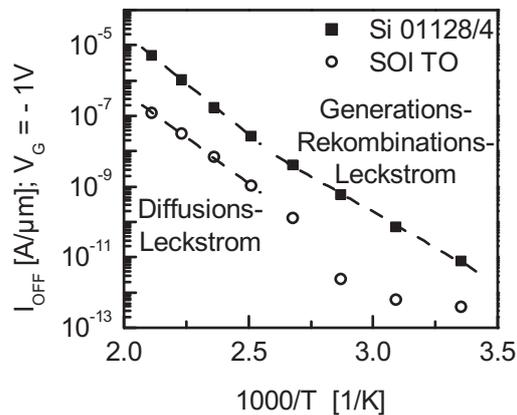


**Abb. 8.13:** Lateraler MOSFET auf SOI-Substrat: Temperaturverhalten der Transferkennlinie.

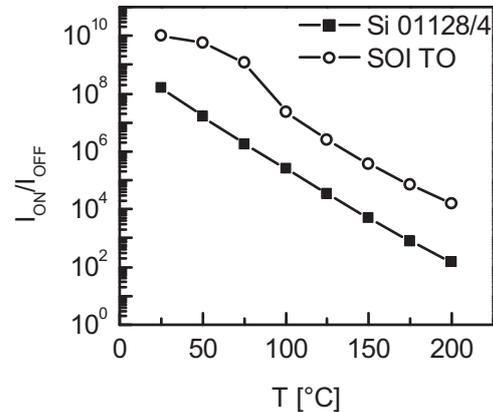
Die Kennlinien beider Transistoren zeigen die im Kapitel 2.2.2 beschriebenen Temperatureffekte. So wird mit zunehmender Temperatur eine Abnahme des ON-Stroms bedingt durch die geringere Ladungsträgerbeweglichkeit beobachtet. Daneben steigt der OFF-Strom aufgrund zunehmender Leckströme am pn-Übergang. Beide Kurven enthalten den charakteristischen ZTC-Punkt, bei dem der Drain-Strom für alle Temperaturen nahezu konstant bleibt (vgl. Kapitel 2.2.2). Die Transferkennlinien des MOSFETs auf dem SOI-Substrat zeigen bei niedrigen Temperaturen einen Hysterese-Effekt im OFF-Strom-Bereich. Die Ursache hierfür wird im Nicht-Abschalten der parasitären Transistoren gesehen.

Der OFF-Strom von MOSFETs wird bis zu einer Temperatur von  $125\text{ }^\circ\text{C}$  durch den Generations-Rekombinationsstrom und darüber durch den Diffusionsstrom dominiert. Dies führt zu einer unterschiedlichen Steigung in der logarithmischen Auftragung des OFF-Stroms in Abhängigkeit von der reziproken Temperatur. Wie der Abbildung 8.14 entnommen werden kann, lässt sich die unterschiedliche Steigung nur für den MOSFET auf dem Si-Substrat nachweisen. Aufgrund des bereits erwähnten Hysterese-Effekts ist die Auftragung einer Ausgleichsgeraden im Generations-Rekombinationsstrom des MOSFETs auf dem SOI-Substrat nicht sinnvoll.

Aus der Darstellung des  $I_{ON}/I_{OFF}$ -Verhältnisses in der Abbildung 8.15 wird ersichtlich, dass der Aufbau auf dem SOI-Substrat zu einem niedrigeren Leckstrom führt. Die in diesem Fall deutlich geringere Fläche des pn-Übergangs senkt das  $I_{ON}/I_{OFF}$ -Verhältnis um zwei Dekaden.



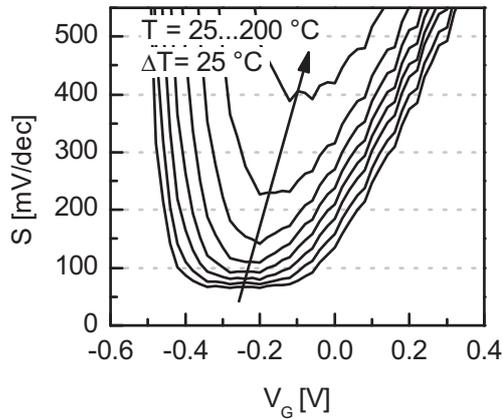
**Abb. 8.14:** Laterale MOSFETs: Temperaturverhalten des OFF-Stroms  $I_{OFF}$ .



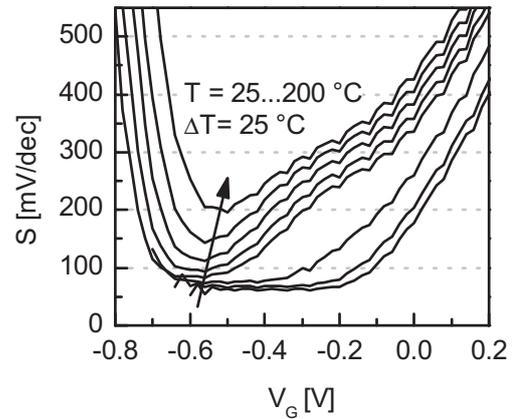
**Abb. 8.15:** Laterale MOSFETs: Temperaturverhalten des  $I_{ON}/I_{OFF}$ -Verhältnisses.

Ausgehend von dem theoretischen Minimum kann in den Abbildungen 8.16 und 8.17 mit zunehmender Temperatur ein Anstieg der lokalen Unterschwellsteigung verzeichnet werden. Dabei erreicht bei einer Temperatur von  $200^{\circ}C$  der MOSFET auf dem Si-Substrat mit  $390\text{ mV/dec}$  etwa den doppelten Wert im Vergleich zum Transistor auf dem SOI-Substrat. Der Wert der Unterschwellsteigung setzt sich getreu der im Kapitel 2.2.2 behandelten Gleichung 2.25 aus dem linearen und exponentiellen Anteil [29, 83] zusammen. Wie die Abbildung 8.18 zeigt, lassen sich beide Anteile in den Kennlinien der untersuchten Bauelemente wiederfinden. Da dem exponentiellen Term die Zunahme des Leckstroms zu Grunde liegt, wird für den Transistor auf dem SOI-Substrat ein geringerer Anstieg der Unterschwellsteigung beobachtet.

Die temperaturbedingte Verschiebung der Einsatzspannung ist abhängig vom Transistortyp. Bei den hergestellten n-Kanal MOSFETs nimmt  $V_T$  mit zunehmender Temperatur ab. Dabei kann, wie im Kapitel 2.2.2 beschrieben, näherungsweise eine lineare Abhängigkeit zwischen Einsatzspannung und Temperatur angenommen werden [95, 97]. Diese kann anhand der Abbildung 8.19 für den MOSFET auf dem Si-Substrat bis zu einer Temperatur von  $150^{\circ}C$  nachgewiesen werden. Bei höheren Temperaturen verliert die Näherung ihre Gültigkeit und  $V_T$  weicht von der Ausgleichsgeraden ab. Der Transistor auf dem SOI-Substrat zeigt hingegen einen zweigeteilten Verlauf. Bis zu einer Temperatur von  $50^{\circ}C$  liegt Einsatzspannung nahe an der Geraden des MOSFETs auf dem Si-Substrat und verläuft anschließend über der Temperatur von  $100^{\circ}C$  entlang einer Geraden mit einem niedrigeren Achsenabschnittspunkt jedoch annähernd gleicher Steigung. Der Grund für die Zweiteilung wird auch in diesem Fall in den parasitären Transistoren gesehen. Ab der Temperatur von  $100^{\circ}C$  steigt der Strombeitrag der parasitären MOSFETs stark an, sodass sich dieser als Verschiebung der Einsatzspannung des gesamten Bauteils äußert.

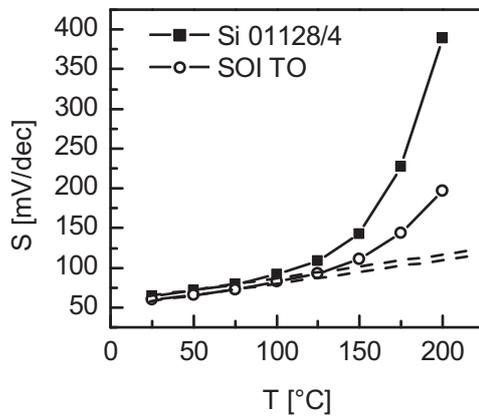


**Abb. 8.16:** Lateraler MOSFET auf Si-Substrat: Temperaturverhalten der lokalen Unterschwellsteigung  $S$ .

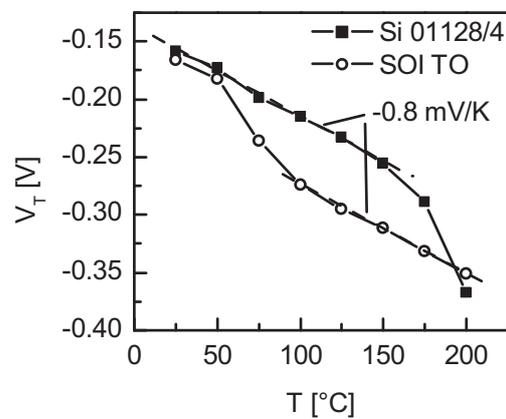


**Abb. 8.17:** Lateraler MOSFET auf SOI-Substrat: Temperaturverhalten der lokalen Unterschwellsteigung  $S$ .

Die lineare Abhängigkeit der Einsatzspannung von der Temperatur wird bis  $200 \text{ }^\circ\text{C}$  nachgewiesen. Die Steigung liegt bei beiden Bauelementen aufgrund ähnlicher Substratdotierung bei  $-0.8 \text{ mV/K}$  [115].



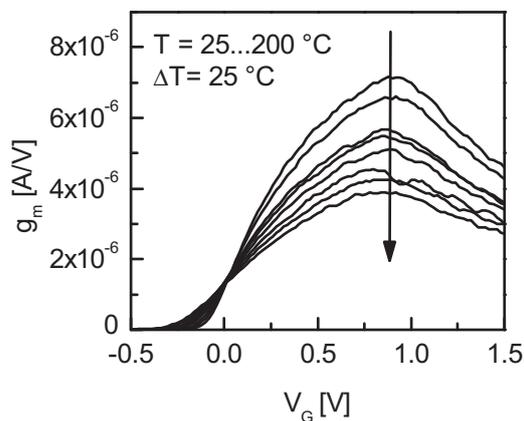
**Abb. 8.18:** Laterale MOSFETs: Temperaturverhalten der Unterschwellsteigung  $S$ .



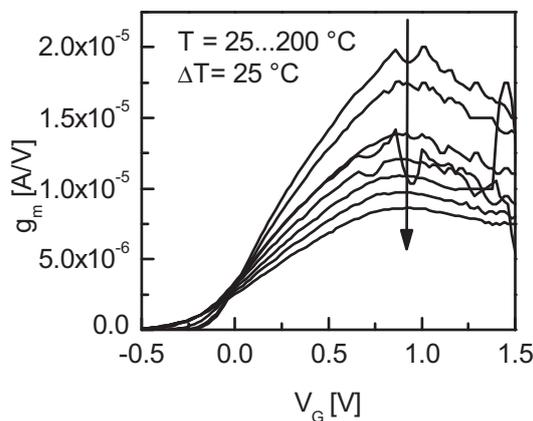
**Abb. 8.19:** Laterale MOSFETs: Temperaturverhalten der Einsatzspannung  $V_T$ .



Die Steilheit der Transistoren nimmt mit zunehmender Temperatur ab. Die Abbildungen 8.20 und 8.21 stellen hierzu die entsprechenden Kennlinien dar. Bei beiden Transistoren bewirkt die Erhöhung der Temperatur von 25 °C auf 200 °C etwa eine Halbierung von  $g_m$ . Die Position des Maximums bleibt dabei nahezu konstant.



**Abb. 8.20:** Lateraler MOSFET auf Si-Substrat: Temperaturverhalten der Steilheit  $g_m$ .



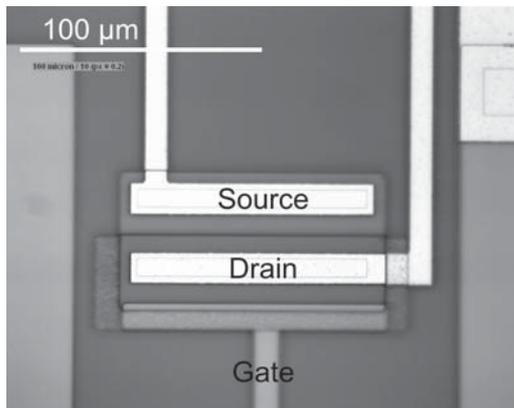
**Abb. 8.21:** Lateraler MOSFET auf SOI-Substrat: Temperaturverhalten der Steilheit  $g_m$ .

## 8.3 Vertikaler npn-MOSFET

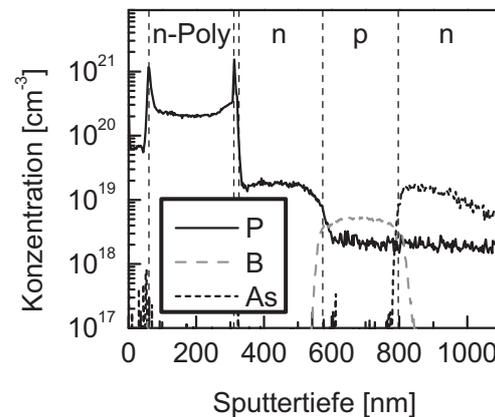
Der vertikale n-Kanal-MOSFET befindet sich als Referenz-Bauelement auf jedem Chip des FGFET Sensors. Im Gegensatz zum Sensor verfügt jedoch das Referenz-Bauelement über einen von außen kontaktierbaren Gate-Anschluss. Dadurch wird eine exakte Charakterisierung ermöglicht. Im Folgenden werden hierzu die Ergebnisse vorgestellt.

### 8.3.1 Messungen bei Raumtemperatur

Analog zu den lateralen MOSFETs wird zunächst die Charakterisierung bei Raumtemperatur durchgeführt. Die Geometrieparameter des untersuchten MOSFETs lassen sich der lichtmikroskopischen Aufnahme in Abbildung 8.22 sowie dem in Abbildung 8.23 dargestellten SIMS-Tiefenprofil des vollständigen Transistorstapels entnehmen. Aus den Abbildungen geht ein W/L-Verhältnis von 110/0.22 hervor. Die Dicke des Gateoxids wurde während der Prozessierung ermittelt und beträgt 12 nm.



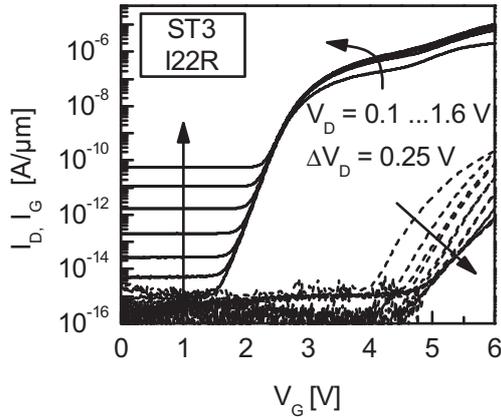
**Abb. 8.22:** Vertikaler npn-MOSFET auf SOI-Substrat (Probe MO19).



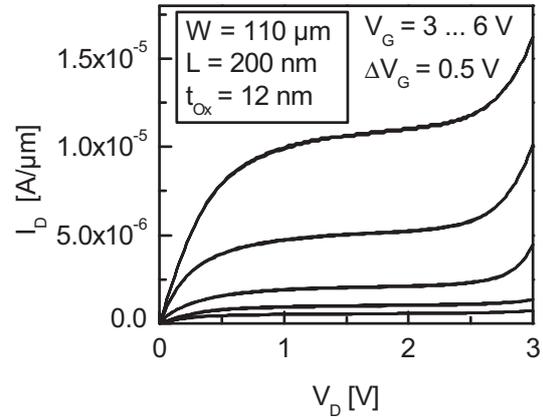
**Abb. 8.23:** SIMS-Tiefenprofil des npn-Transistorstapels (Probe ST3).

Im Transferkennlinienfeld, welches die Abbildung 8.24 darstellt, wird mit zunehmender Drain-Spannung ein Anstieg des OFF-Stroms verzeichnet. Die Ursachen hierfür liegen zum einen im *Zener*-Durchbruch des hoch dotierten pn-Übergangs und zum anderen in Leckstrompfaden, die sich als Folge von Grenzflächenverunreinigungen ergeben. Eine ausführliche Diskussion zu Grenzflächenverunreinigungen wurde im Kapitel 6.3.7 geführt. Ferner wird aufgrund der geringen Gateoxiddicke bei zunehmender Gate-Spannung ein ansteigender *Fowler-Nordheim*-Tunnelstrom verzeichnet. Der Leckstrom fließt dabei primär über den teilweise durch die Gate-Elektrode bedeckten Drain-Bereich. Mit zunehmender Drain-Spannung sinkt die Potenzialdifferenz zwischen Gate und Drain, so dass auch der Leckstrom abnimmt. Gleichzeitig bewirkt der Gate-Leckstrom den im Kapitel 2.2.3 beschriebenen Gate induzierten floating body Effekt (GIFBE) [31]. Dabei führt ein einsetzender Tunnelstrom zur Aufladung des nicht kontaktierten p-Bereichs. Die Folge ist ein ausgeprägter Knick in der Transferkennlinie.

Das Ausgangskennlinienfeld des Transistors zeigt die Abbildung 8.25. Diesem lässt sich ein linear ansteigender Sättigungsstrom entnehmen. Der Grund hierfür liegt in der *Kanallängenmodulation*. Bei diesem Kurzkanaleffekt führt die zunehmende Drain-Spannung zu einer Ausweitung der Raumladungszone und damit zur Verkürzung der effektiven Kanallänge. Des weiteren zeigt das Ausgangskennlinienfeld bei hohen Drain-Spannungen einen stark ansteigenden, vom Gate unkontrollierten, Stromfluss. Dieses Verhalten deutet auf den *Felddurchgriff* (Punch-Through), d.h. auf eine Berührung der Raumladungszonen, hin. Tatsächlich ist aufgrund der hohen Kanaldotierung mit dem *Punch-Through* erst bei deutlich höheren Drain-Spannungen zu rechnen. Die Ursache für den Durchbruch wird daher in den Leckströmen am pn-Übergang gesehen.



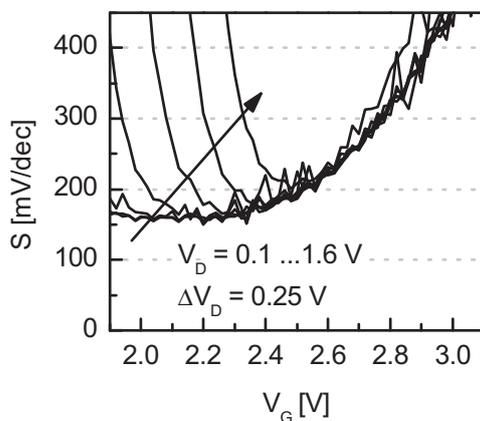
**Abb. 8.24:** Vertikaler npn-MOSFET auf SOI-Substrat: Transferkennlinienfeld.



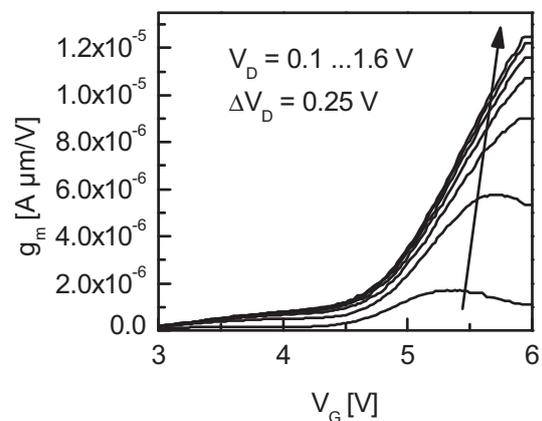
**Abb. 8.25:** Vertikaler npn-MOSFET auf SOI-Substrat: Ausgangskennlinienfeld.

Aus der Abbildung 8.26 geht für den untersuchten vertikalen MOSFET eine Unterschwellsteigung von etwa 150 mV/dec hervor. Wie im Kapitel 2.2.1 beschrieben, führt die hohe Kanaldotierung zu einer nicht mehr vernachlässigbaren Sperrschichtkapazität. Dadurch liegt die ermittelte Unterschwellsteigung deutlich über dem theoretischen Minimum von 60 mV/dec. Ferner wird aufgrund des zunehmenden OFF-Stroms bei höheren Drain-Spannungen ein weiterer Anstieg der Unterschwellsteigung verzeichnet.

Das Maximum der Steilheit des vertikalen Transistors kann nur bis zu einer Drain-Spannung von 0.6 V bestimmt werden. Wie die Abbildung 8.27 zeigt, verschiebt sich bei höheren Drain-Spannungen das Maximum der Steilheit über den untersuchten Gate-Spannungsbereich von 6 V hinaus. Da jedoch der stark ansteigende Leckstrom bei höheren Gate-Spannungen zur Schädigung oder zum Durchbruch des Gateoxides führt, kann eine exakte Bestimmung der maximalen Steilheit nicht erfolgen.



**Abb. 8.26:** Vertikaler npn-MOSFET auf SOI-Substrat: Unterschwellsteigung  $S$ .



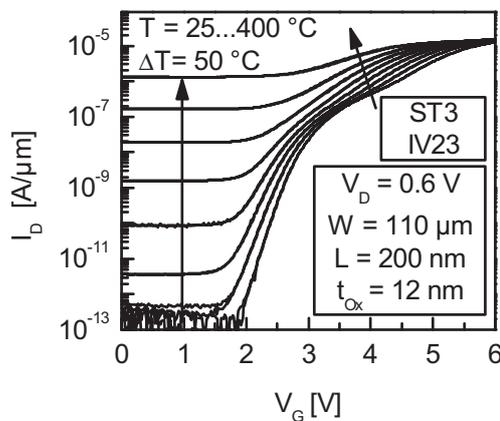
**Abb. 8.27:** Vertikaler npn-MOSFET auf SOI-Substrat: Steilheit  $g_m$ .

### 8.3.2 Temperaturverhalten vertikaler npn-MOSFETs

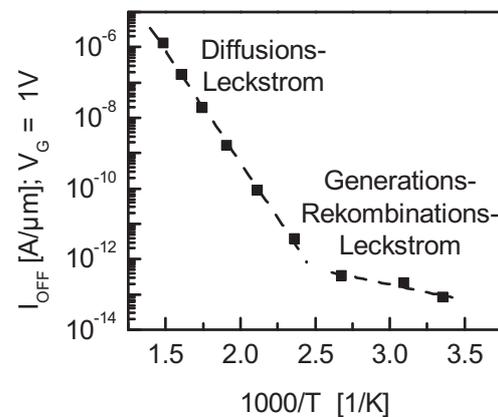
Die höhere Temperaturstabilität des vertikalen MOSFETs ermöglicht die Charakterisierung bis zu einer Temperatur von 400 °C. Hierfür wird der am Anfang dieses Kapitels beschriebene Aufbau verwendet. Die Messungen erfolgen an einem MOSFET der selben Geometrie wie sie bereits für die Raumtemperaturmessung gewählt wurde. Aufgezeichnet werden Transferkennlinien bei einer konstanten Drain-Spannung von 0.6 V. Die Temperatur wird, beginnend bei 25 °C bis zur maximal untersuchten Temperatur von 400 °C erhöht.

Die in der Abbildung 8.28 dargestellten Kennlinien weisen die charakteristischen Temperatureffekte auf. Der mit ansteigender Temperatur abnehmende ON-Strom sowie der in diesem Fall nur schwach ausgeprägte ZTC-Punkt sind in einer aus Redundanzgründen nicht dargestellten linearen Auftragung deutlicher erkennbar.

Der OFF-Strom des Transistors zeigt in der Abbildung 8.29 die bereits diskutierte Zweiteilung. Obwohl die Strom-Auflösungsgrenze des verwendeten Hochtemperatur-Messaufbaus im Vergleich zum Spitzen-Messplatz niedriger ist, lässt sich eine Separation der beiden Leckstrommechanismen durchführen.



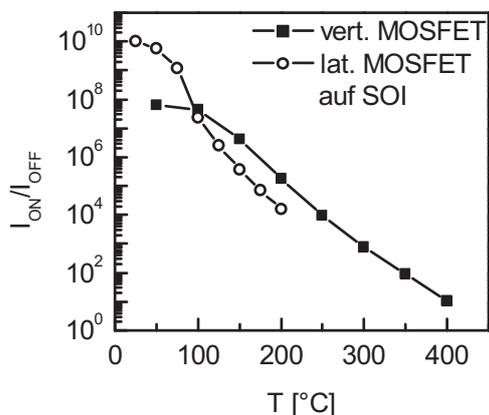
**Abb. 8.28:** Vertikaler npn-MOSFET auf SOI-Substrat: Temperaturverhalten der Transferkennlinie.



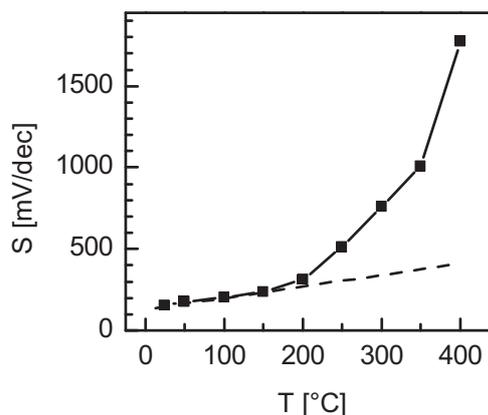
**Abb. 8.29:** Vertikaler npn-MOSFET auf SOI-Substrat: Temperaturverhalten des OFF-Stroms  $I_{OFF}$ .

Das  $I_{ON}/I_{OFF}$ -Verhältnis in Abhängigkeit der Temperatur stellt die Abbildung 8.30 dar. In der halblogarithmischen Auftragung sind sowohl die Messpunkte des vertikalen als auch des lateralen Transistors auf dem SOI-Substrat eingezeichnet. Aus dem Diagramm geht für die vertikale Variante aufgrund der höheren Kanaldotierung ein um eine Dekade höheres  $I_{ON}/I_{OFF}$ -Verhältnis hervor.

Die in der Abbildung 8.31 dargestellte lokale Unterschwellsteigung zeigt die bereits diskutierte Kombination aus einem linearen und exponentiellen Anstieg. Letzterer dominiert ab einer Temperatur von etwa 200 °C.



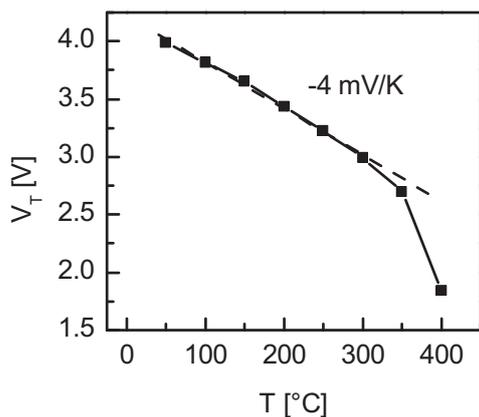
**Abb. 8.30:** Vertikaler und lateraler npn-MOSFET auf SOI-Substrat: Temperaturverhalten des  $I_{ON}/I_{OFF}$ -Verhältnisses.



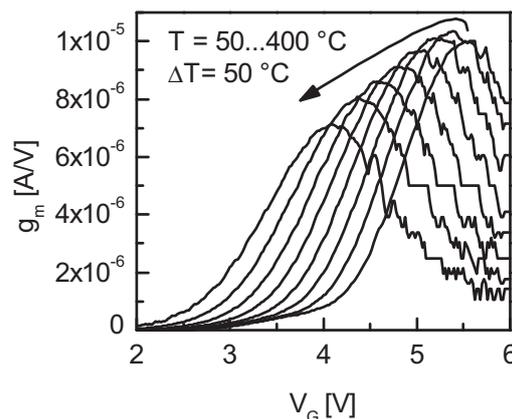
**Abb. 8.31:** Vertikaler npn-MOSFET auf SOI-Substrat: Temperaturverhalten der Unterschwellsteigung  $S$ .

Die Temperaturabhängigkeit der Einsatzspannung lässt sich der Abbildung 8.32 entnehmen. Der lineare Verlauf wird bis zu einer Temperatur von 350 °C beobachtet. Die Steigung beträgt  $-4$  mV/K. Damit ist sie im Vergleich zu den lateralen Transistoren, die über eine niedrigere Substratdotierung verfügen, deutlich geringer.

Die Auftragung der Steilheit  $g_m$  gegen die Temperatur zeigt die Abbildung 8.33. Dieser lässt sich eine Abnahme und Verschiebung des Maximums entnehmen. Insbesondere die starke Verschiebung wirkt sich negativ beim Betrieb des MOSFETs im FGFET-Sensor aus. Denn bereits geringe Temperaturwechsel führen zu einer starken Änderung der Empfindlichkeit.



**Abb. 8.32:** Vertikaler npn-MOSFET auf SOI-Substrat: Temperaturverhalten der Einsatzspannung  $V_T$ .



**Abb. 8.33:** Vertikaler npn-MOSFET auf SOI-Substrat: Temperaturverhalten der Steilheit  $g_m$ .

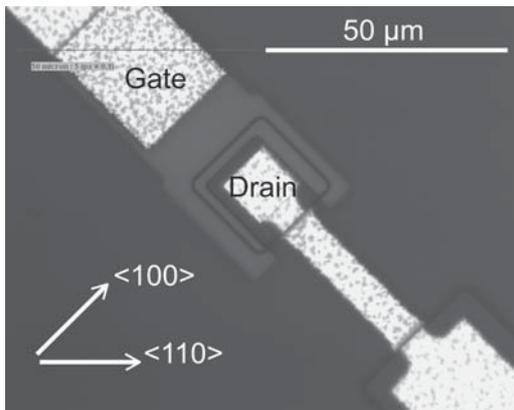
## 8.4 Vertikaler nipin-MOSFET

Die intrinsischen Zonen des nipin-MOSFETs separieren den hoch dotierten p-Bereich vom Source- und Drain-Gebiet und unterdrücken damit den Zener-Durchbruch. Die zusätzlichen intrinsischen Schichten verändern jedoch auch das Bauteilverhalten. Wie im Kapitel 2.3.2 beschrieben, wird bei einem nipin-Transistor neben dem MOS-Modus auch ein Ionisations-Modus beobachtet.

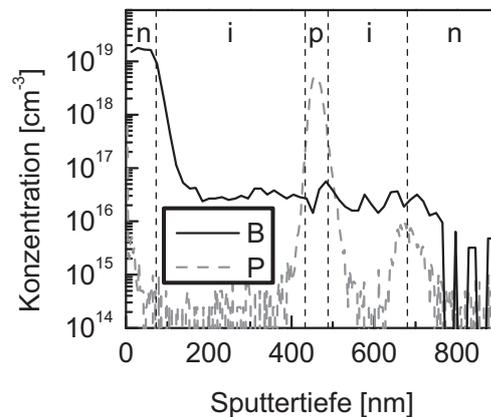
Im Folgenden werden Ergebnisse der elektrischen Charakterisierung bei Raumtemperatur sowie erhöhten Temperaturen vorgestellt. Das Bauteilverhalten zeigt eine Abhängigkeit von der Orientierung des Transistors auf dem Substrat. Daher werden sowohl nipin-MOSFETs parallel zur  $\langle 110 \rangle$  als auch zur  $\langle 100 \rangle$ -Richtung (um  $45^\circ$  gedreht) untersucht.

### 8.4.1 Messungen bei Raumtemperatur

Zur Charakterisierung dienen diskrete Bauelemente auf Silizium-Substraten. Die Abbildung 8.34 zeigt hierzu eine lichtmikroskopische Aufnahme eines in  $\langle 100 \rangle$ -Richtung orientierten Transistors. Die Poly-Silizium-Gate-Elektrode bedeckt drei Seiten der quadratischen Mesa, sodass eine Kanalweite von  $65 \mu\text{m}$  resultiert. Der Drain-Kontakt befindet sich auf der Mesa und wird genau wie der Gate-Anschluss über eine Metallbahn zu den Kontaktflächen geführt. In unmittelbarer Nähe der Mesa ist auch der Bulk-Anschluss zu finden, der gleichzeitig den Source-Anschluss des Transistors bildet. Die Kanallänge setzt sich aus dem hoch dotierten p-Gebiet sowie den beiden intrinsischen Zonen zusammen. Die Abbildung 8.35 zeigt das SIMS-Tiefenprofil eines identisch prozessierten Transistorstapels. Diesem lässt sich die asymmetrische Einbettung des p-Gebietes entnehmen. Die Dicke der unteren intrinsischen Zone beträgt etwa  $190 \text{ nm}$ . Damit ist sie nur etwa halb so dick im Vergleich zur oberen. Das p-Gebiet verfügt über eine Schichtdicke von etwa  $60 \text{ nm}$ , was zu einer Gesamtkanallänge von etwa  $620 \text{ nm}$  führt. Ferner lässt sich dem SIMS-Tiefenprofil eine maximale Dotierstoffkonzentration des p-Gebietes von  $5 \cdot 10^{18} \text{ cm}^{-3}$  und eine Phosphor-Hintergrunddotierung in den intrinsischen Zonen von  $3 \cdot 10^{16} \text{ cm}^{-3}$  entnehmen. Zudem kann an der Substrat-Grenzfläche infolge einer Kontamination eine Anhäufung von Bor beobachtet werden. Das Gatedielektrikum setzt sich, wie im Kapitel 6.5.3 beschrieben, aus einem thermischen Suboxid und einer Siliziumnitridschicht zusammen. Die Wachstumsrate thermischer Oxide zeigt eine Abhängigkeit von der Kristallebene. So erfolgt das Oxidwachstum auf  $[110]$ -Flächen um einen Faktor 1.3 schneller als auf  $[100]$ -Flächen. Folglich resultiert für den gedrehten MOSFET mit  $4.7 \text{ nm}$  ein dünneres Suboxid im Vergleich zur nicht gedrehten Variante, deren Oxiddicke  $6.1 \text{ nm}$  beträgt.

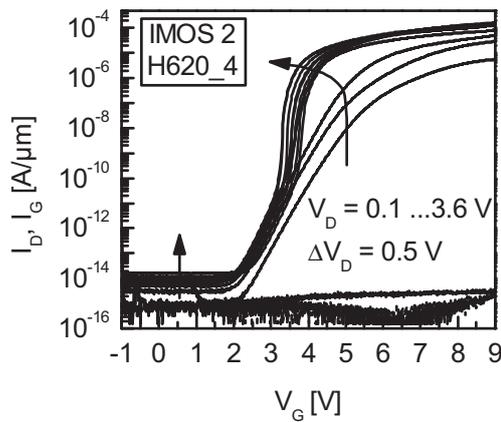


**Abb. 8.34:** Vertikaler nipin-MOSFET in  $\langle 100 \rangle$ -Richtung orientiert.

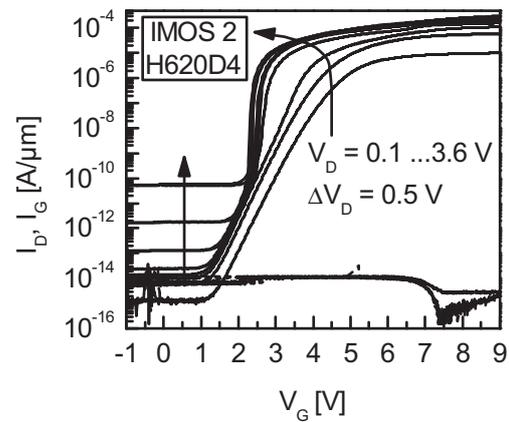


**Abb. 8.35:** SIMS-Tiefenprofil des nipin-Transistorstapels (Probe IMOS4).

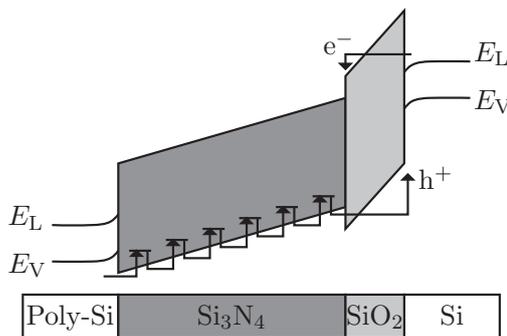
Die Transferkennlinienfelder der untersuchten nipin-MOSFETs werden in den Abbildungen 8.36 und 8.37 dargestellt. Beide Bauelemente zeigen den Übergang vom MOS- zum Ionisations-Modus, der sich durch eine niedrige Unterschwellsteigung auszeichnet. Im Ionisations-Modus wird bei beiden MOSFETs im Unterschwellbereich eine Hysterese beobachtet. Dabei erfolgt die Abschaltung des in  $\langle 110 \rangle$ -Richtung orientierten Transistors um 0.3 V und des in  $\langle 100 \rangle$ -Richtung orientierten Transistors um 0.2 V verzögert. Die Ursache für die Hysterese wird in der Zeitkonstante der Anreicherung bzw. Verarmung der Löcher im p-Gebiet gesehen. Der OFF-Strom des nipin-MOSFETs weist eine Abhängigkeit von der Orientierung auf. Während sich die in  $\langle 110 \rangle$ -Richtung orientierte Variante durch einen konstant niedrigen OFF-Strom auszeichnet, wird für den gedrehten MOSFET mit zunehmender Drain-Spannung ein ansteigender OFF-Strom beobachtet. Da der Anstieg des OFF-Stroms trotz gleicher Mesa-Grundflächen lediglich bei der gedrehten Variante auftritt, ist von einem Oberflächenleckstrom auszugehen. Eine mögliche Erklärung stellen die unterschiedlichen Bindungsdichten der Meso-oberflächen dar, die sich auf den Strukturierungsprozess auswirken. Die Gate-Leckstromdichte liegt bei beiden nipin-MOSFETs unter dem niedrigen Wert von  $10^{-14}$  A/ $\mu\text{m}$ . Auffällig ist jedoch der bis zu einer Gate-Spannung von 7 V über der Messschwelle liegende Gate-Leckstrom des in  $\langle 100 \rangle$ -Richtung orientierten Transistors. Eine mögliche Erklärung stellen auch hier die bereits erwähnten Oberflächenleckströme dar. Beide Transistoren zeigen den Gate induzierten floating body Effekt. Dem in der Abbildung 8.38 dargestellten Banddiagramm [64] führen Löcher zur zusätzlichen Aufladung der p-Zone [24]. Die Folge ist ein Knick im Transferkennlinienfeld, der in der linearen Auftragung für den  $\langle 100 \rangle$ -Richtung orientierten Transistor in Abbildung 8.39 dargestellt wird.



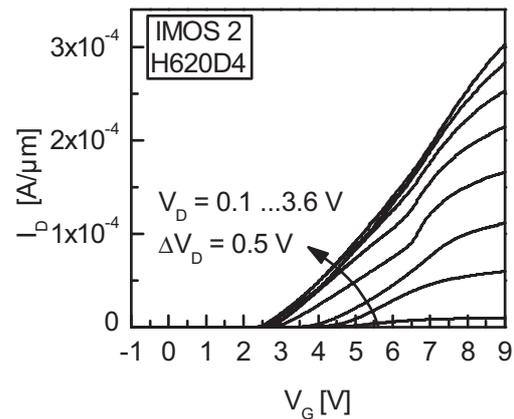
**Abb. 8.36:** Vertikaler n-pin-MOSFET in  $\langle 110 \rangle$ -Richtung orientiert: Transferkennlinienfeld.



**Abb. 8.37:** Vertikaler n-pin-MOSFET in  $\langle 100 \rangle$ -Richtung orientiert: Transferkennlinienfeld.

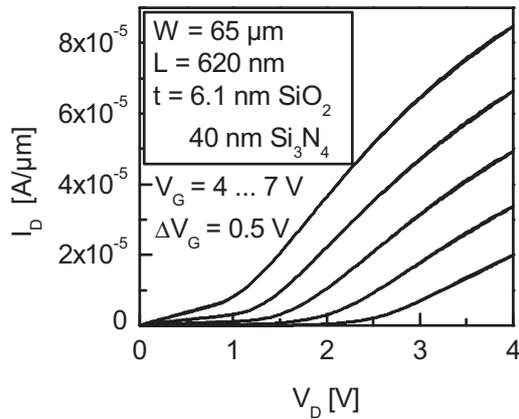


**Abb. 8.38:** Schematische Darstellung des Dielektrikum-Banddiagramms und des Tunnel-Ladungstransports bei angelegter Gate-Spannung.

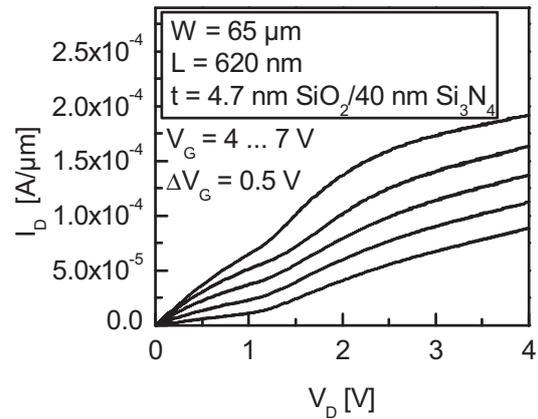


**Abb. 8.39:** Vertikaler n-pin-MOSFET in  $\langle 100 \rangle$ -Richtung orientiert: Transferkennlinienfeld (lineare Auftragung).

Die Ausgangskennlinienfelder der n-pin Transistoren werden in den Abbildungen 8.40 und 8.41 dargestellt. Beide MOSFETs zeigen den *Kink*-Effekt. Wie im Kapitel 2.2.3 beschrieben, führen hierbei durch Stoßionisation generierte Ladungsträger zur Aufladung des nicht angeschlossenen Body-Bereichs. Hierdurch sinkt die Einsatzspannung und verursacht einen Knick im Ausgangskennlinienfeld. Ferner wird für den in  $\langle 100 \rangle$ -Richtung orientierten Transistor ein etwa doppelt so hoher ON-Strom im Vergleich zur nicht gedrehten Variante beobachtet. Eine Erklärung hierfür liefert die in der  $\langle 100 \rangle$ -Kristallebene höhere Elektronenbeweglichkeit [117].

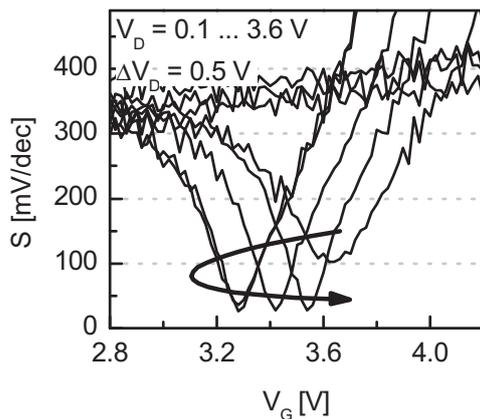


**Abb. 8.40:** Vertikaler nipin-MOSFET in  $\langle 110 \rangle$ -Richtung orientiert: Ausgangskennlinienfeld.

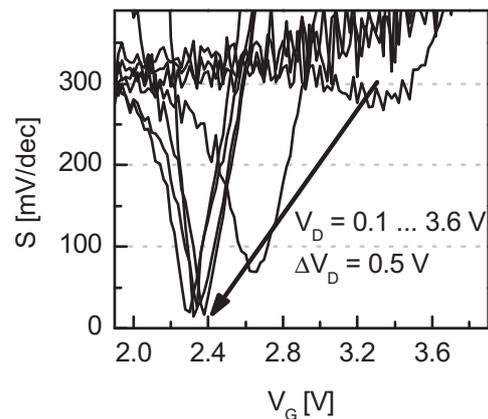


**Abb. 8.41:** Vertikaler nipin-MOSFET in  $\langle 100 \rangle$ -Richtung orientiert: Ausgangskennlinienfeld.

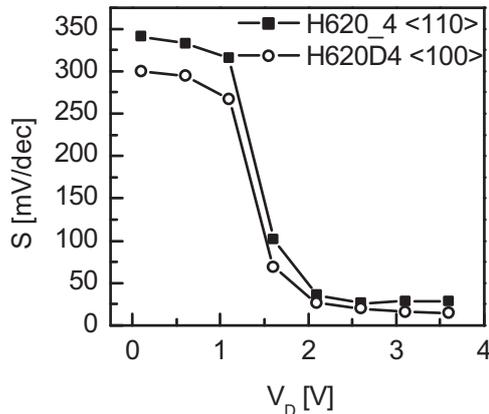
Der Übergang zum Ionisations-Modus ermöglicht eine deutliche Absenkung der Unterschwellsteigung. Diese lässt sich den Abbildungen 8.42 und 8.43 entnehmen. Zusätzlich zeigt die Abbildung 8.44 einen Vergleich der minimalen Unterschwellsteigung beider Transistoren. Im MOS-Betrieb wird aufgrund der hohen p-Gebiet-Dotierung und der damit verbundenen großen Sperrschichtkapazität eine Unterschwellsteigung  $S$  von über 300 mV/dec verzeichnet. Nach dem Einsatz der Stoßionisation sinkt  $S$  unabhängig von der Kristallorientierung auf einen Wert unter 30 mV/dec und liegt damit deutlich unter dem theoretischen Minimalwert konventioneller MOSFETs. Die Verschiebung der Minima bei dem in  $\langle 110 \rangle$ -Richtung orientierten Transistor wird auf einen Einfahreffekt zurückgeführt.



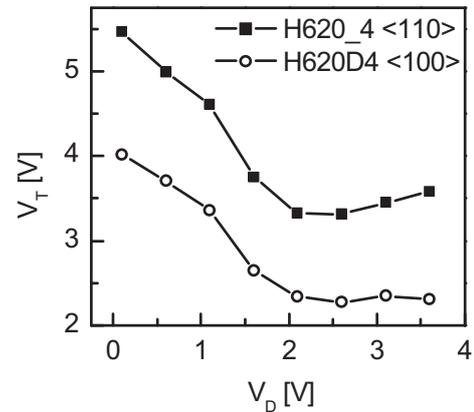
**Abb. 8.42:** Vertikaler nipin-MOSFET in  $\langle 110 \rangle$ -Richtung orientiert: Unterschwellsteigung  $S$ .



**Abb. 8.43:** Vertikaler nipin-MOSFET in  $\langle 100 \rangle$ -Richtung orientiert: Unterschwellsteigung  $S$ .



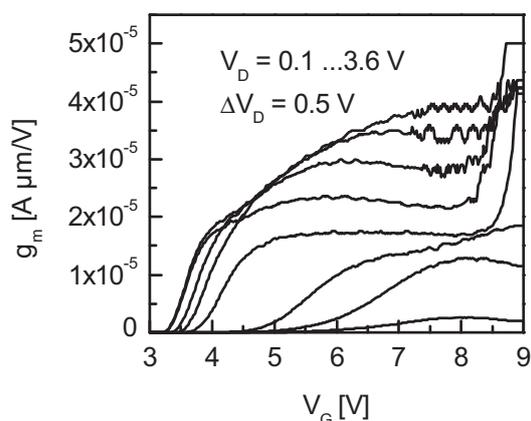
**Abb. 8.44:** Vertikale nipin-MOSFETs: Unterschwellsteigung in Abhängigkeit vom Drain-Strom.



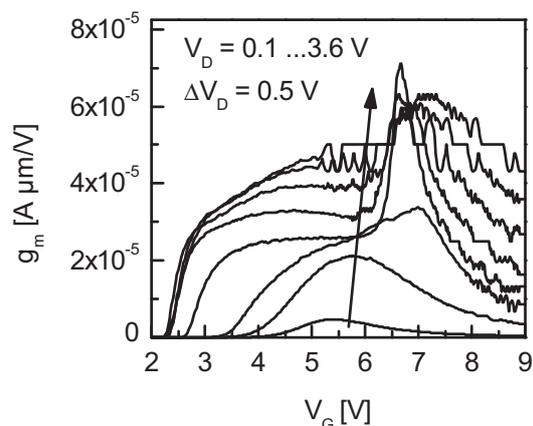
**Abb. 8.45:** Vertikale nipin-MOSFETs: Einsatzspannung in Abhängigkeit vom Drain-Strom.

Die in der Abbildung 8.45 dargestellte Einsatzspannung in Abhängigkeit von der Drain-Spannung zeigt für beide MOSFET-Varianten einen ähnlichen Verlauf. Dabei nimmt  $V_T$  über die Drain-Spannung zunächst linear ab, bevor mit einsetzender Stoßionisation ein deutlicher Einbruch verzeichnet wird. Letzteres bestätigt den im Ausgangskennlinienfeld beobachteten Kink-Effekt. Die Absolutwerte der Einsatzspannung weisen eine Abhängigkeit von der Orientierung auf. Wie sich der Abbildung entnehmen lässt, ist die Kurve des in  $\langle 110 \rangle$ -Richtung orientierten Transistors im Vergleich zur gedrehten Variante um ca. 1.5 V zu höheren Spannungen verschoben. Der Grund hierfür liegt in der bereits diskutierten unterschiedlichen Dicke des Suboxides im Gateoxid-Stapel. Die Anisotropie der Stoßionisation [104] ist vernachlässigbar, da die Verschiebung zwischen beiden Kurven im MOS- und Ionisations-Bereich annähernd gleich ausfällt.

Die Steilheit der untersuchten nipin-MOSFETs wird in den Abbildungen 8.46 und 8.47 gezeigt. In beiden Diagrammen taucht mit einsetzender Stoßionisation ein ausgeprägtes Steilheitsmaximum auf, dessen Ursprung im Gate induzierten floating body Effekt liegt. Offensichtlich wird dieser Effekt durch die Aufladung des Substrats begünstigt, was sich mit dem im Kapitel 2.2.3 vorgestellten AHI-Modell nach *Dai et al* [31] deckt. Das Steilheitsmaximum liegt bei dem in  $\langle 110 \rangle$ -Richtung orientierten Transistor bei etwa 9 V und bei der gedrehten Variante bei 7 V. Die Spannungsdifferenz kann mit der unterschiedlichen Suboxididicke und der damit verbundenen Tunnelweite erklärt werden.



**Abb. 8.46:** Vertikaler nipin-MOSFET in  $\langle 110 \rangle$ -Richtung orientiert: Steilheit  $g_m$ .

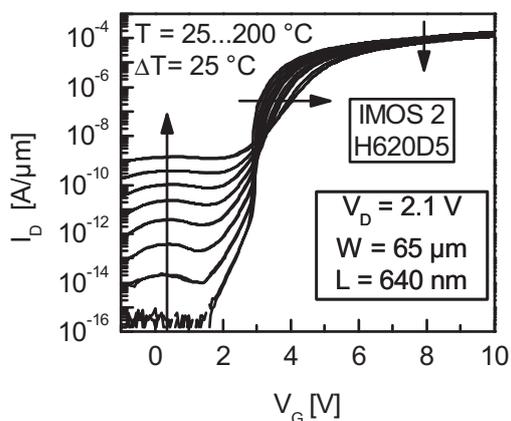


**Abb. 8.47:** Vertikaler nipin-MOSFET in  $\langle 100 \rangle$ -Richtung orientiert: Steilheit  $g_m$ .

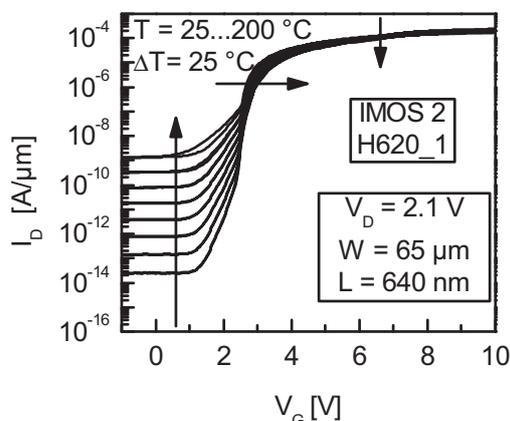
## 8.4.2 Temperaturverhalten vertikaler nipin-MOSFETs

Analog zu allen bisher diskutierten Bauelementen wird auch das Temperaturverhalten der nipin-MOSFETs untersucht. Die Messungen erfolgen an baugleichen Transistoren, die auch für die Raumtemperaturmessungen verwendet wurden. Beginnend bei Raumtemperatur wird in 25 °C-Schritten die Temperatur bis 200 °C erhöht und jeweils eine Transferkennlinie gemessen. Die Drain-Spannung beträgt 2.1 V, folglich werden beide MOSFETs im Ionisations-Modus betrieben.

Die aufgezeichneten Transferkennlinien zeigen die Abbildungen 8.48 und 8.49. Auch diese beiden Transistoren weisen zahlreiche typische Temperatureffekte auf. So bewirkt die Temperaturerhöhung einen Anstieg des OFF-Stroms und die Abnahme des ON-Stroms. Ein anderes Verhalten wird bei der Verschiebung der Einsatzspannung verzeichnet. Im Gegensatz zu den npn-MOSFETs, deren Einsatzspannung mit der Temperatur abnimmt, werden für die nipin-MOSFETs höhere  $V_T$ -Werte festgestellt.



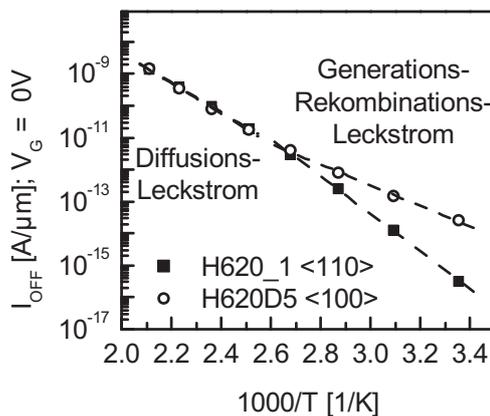
**Abb. 8.48:** Vertikaler nipin-MOSFET in  $\langle 110 \rangle$ -Richtung orientiert: Temperaturverhalten der Transferkennlinie.



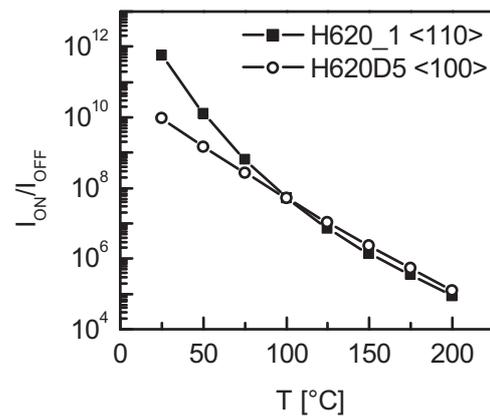
**Abb. 8.49:** Vertikaler nipin-MOSFET in  $\langle 100 \rangle$ -Richtung orientiert: Temperaturverhalten der Transferkennlinie.

Anhand einer *Arrhenius*-Auftragung der OFF-Ströme lässt sich die Separation des Diffusions-Leckstroms vom Generations-Rekombinations-Leckstrom erzielen. Die Abbildung 8.50 stellt hierzu ein entsprechendes Diagramm dar. Dabei wird für den in  $\langle 100 \rangle$ -Richtung orientierten Transistor ein höherer Leckstrom und eine geringere Steigung im Generations-Rekombinations-Bereich festgestellt. Dieses Verhalten wird auf den zusätzlichen Beitrag des im vorhergehenden Kapitel identifizierten Oberflächenleckstroms zurückgeführt. Über der Temperatur von  $125\text{ °C}$  dominiert ein von der Orientierung unabhängiger Diffusions-Leckstrom.

Die Abbildung 8.51 zeigt das  $I_{ON}/I_{OFF}$ -Verhältnis der nipin-MOSFETs. Diesem lässt sich bei der Temperatur von  $200\text{ °C}$  ein Verhältnis von fünf Dekaden entnehmen. Damit liegt der Wert aufgrund ähnlicher Kanaldotierung nahe dem des vertikalen npn-MOSFETs. Um das Potenzial des nipin-MOSFETs als temperaturstabiles Bauelement nutzen zu können, muss eine deutlich höhere Dotierstoffkonzentration im p-Gebiet erzielt werden.

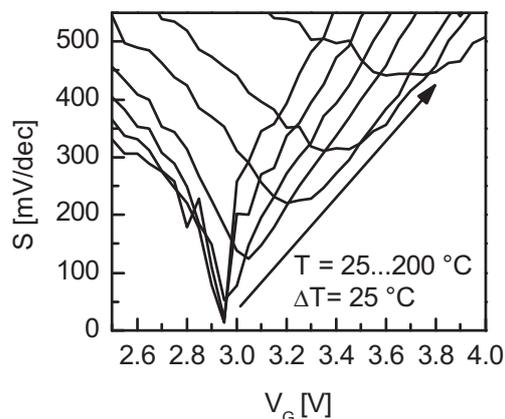


**Abb. 8.50:** Vertikale nipin-MOSFETs: Temperaturverhalten des OFF-Stroms  $I_{OFF}$ .

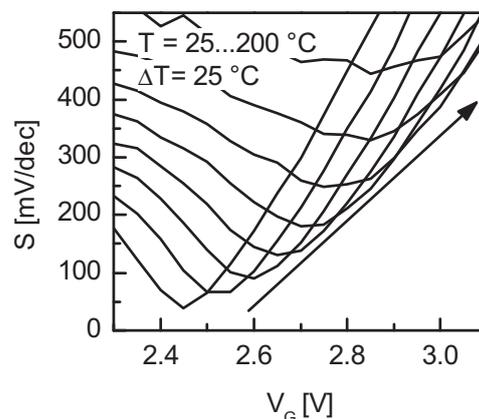


**Abb. 8.51:** Vertikale nipin-MOSFETs: Temperaturverhalten des  $I_{ON}/I_{OFF}$ -Verhältnisses.

Die Erhöhung der Temperatur bewirkt bei beiden nipin-MOSFETs einen Einbruch in der Unterschwellsteigung. Diese wird in den Abbildungen 8.52 und 8.53 veranschaulicht. Des weiteren stellt die Abbildung 8.54 die Minima der lokalen Unterschwellsteigung in Abhängigkeit von der Temperatur dar. Beide Bauelemente zeigen bei niedrigen Temperaturen einen linearen Anstieg, der zunehmend in einen exponentiellen übergeht. Insofern verhalten sich die nipin-MOSFETs in gleicher Weise, wie die bereits untersuchten npn-MOSFETs.

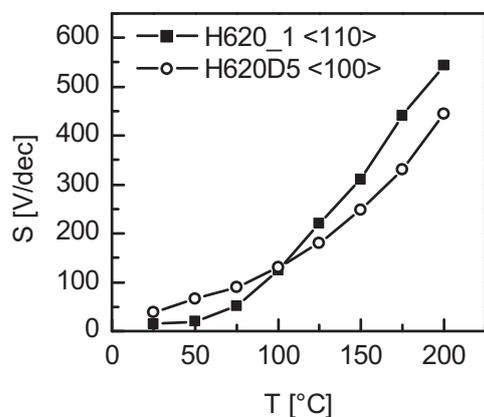


**Abb. 8.52:** Vertikaler nipin-MOSFET in  $\langle 110 \rangle$ -Richtung orientiert: Temperaturverhalten der lokalen Unterschwellsteigung  $S$ .

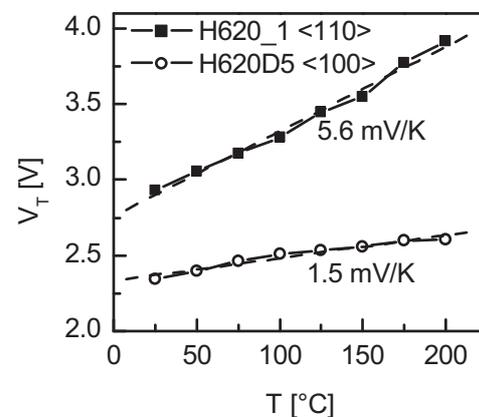


**Abb. 8.53:** Vertikaler nipin-MOSFET in  $\langle 100 \rangle$ -Richtung orientiert: Temperaturverhalten der lokalen Unterschwellsteigung  $S$ .

Die in der Abbildung 8.55 dargestellte Einsatzspannung in Abhängigkeit von der Temperatur zeigt für beide nipin-MOSFETs einen positiven Koeffizienten. Der Grund hierfür ist das Temperaturverhalten des Avalanche-Effekts, der dem Ionisations-Modus zu Grunde liegt. Wie im Kapitel 2.1.5 beschrieben, führt eine zunehmende Temperatur zu einer stärkeren Gitterschwingung und damit zur Unterdrückung des Lawinen-Effekts. Die Folge ist ein bei höherer Spannung einsetzender Ionisations-Modus und somit ein positiver Temperaturkoeffizient der Einsatzspannung. Der Absolutwert des Temperaturkoeffizienten zeigt eine Abhängigkeit von der Orientierung. Während der in  $\langle 110 \rangle$ -Richtung orientierte MOSFET lediglich einen Wert von  $1.5 \text{ mV}/^\circ\text{C}$  aufweist, wird für den gedrehten Transistor ein etwa viermal so hoher Wert beobachtet. Eine mögliche Erklärung liefert der orientierungsabhängige Temperaturkoeffizient der Ionisationsrate [104].

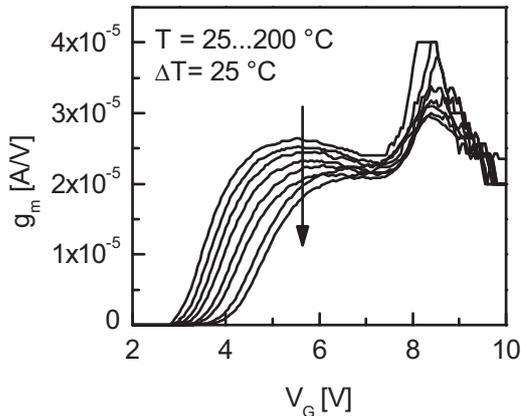


**Abb. 8.54:** Vertikale nipin-MOSFETs: Temperaturverhalten der Unterschwellsteigung  $S$ .

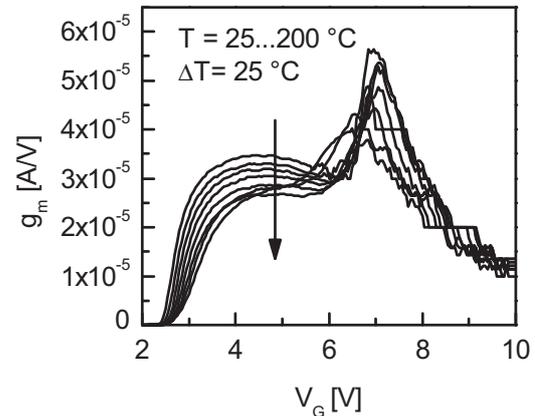


**Abb. 8.55:** Vertikale nipin-MOSFETs: Temperaturverhalten der Einsatzspannung  $V_T$ .

Abschließend wird das Temperaturverhalten der Steilheit in den Abbildungen 8.56 und 8.57 dargestellt. Beide Diagramme weisen ein ausgeprägtes Maximum auf, welches auf den GIFBE zurückgeführt wird. Die Temperaturerhöhung bewirkt eine Abnahme der Steilheit, wobei das Maximum weitestgehend erhalten bleibt.



**Abb. 8.56:** Vertikaler n-pin-MOSFET in  $\langle 110 \rangle$ -Richtung orientiert: Temperaturverhalten der Steilheit  $g_m$ .



**Abb. 8.57:** Vertikaler n-pin-MOSFET in  $\langle 100 \rangle$ -Richtung orientiert: Temperaturverhalten der Steilheit  $g_m$ .

## 8.5 Vergleich der Bauelemente

Zum Abschluss dieses Kapitels werden die wichtigsten Kenndaten aller Transistoren verglichen. Dazu zeigt die Tabelle 8.1 die bei Raumtemperatur ermittelten Parameter.

	$I_{ON}$ A/ $\mu\text{m}$	$I_{OFF}$ A/ $\mu\text{m}$	$I_{ON}/I_{OFF}$ dec	$V_{th}$ V	S mV/dec	$g_m$ A/V $\mu\text{m}$
laterale npn-MOSFETs auf Si- und SOI-Substraten ( $V_D = 1.1$ V)						
Si	$8.1 \cdot 10^{-6}$	$7.1 \cdot 10^{-14}$	8.0	-0.17	64	$5.3 \cdot 10^{-6}$
SOI	$3.2 \cdot 10^{-5}$	$< 10^{-16}$	$> 11$	-0.22	62	$1 \cdot 10^{-5}$
vertikaler npn-MOSFET ( $V_D = 1.1$ V)						
	$1.1 \cdot 10^{-5}$	$1.7 \cdot 10^{-12}$	6.8	2.77	158	-
vertikale n-pin-MOSFETs in $\langle 110 \rangle$ - und $\langle 100 \rangle$ -Richtung ( $V_D = 2.6$ V)						
$\langle 110 \rangle$	$1.5 \cdot 10^{-4}$	$1.6 \cdot 10^{-16}$	12.0	3.31	27	$2.9 \cdot 10^{-3}$
$\langle 100 \rangle$	$2.5 \cdot 10^{-4}$	$2.1 \cdot 10^{-15}$	11.1	2.27	20	$4.1 \cdot 10^{-3}$

**Tab. 8.1:** Bauteilparameter der bei Raumtemperatur charakterisierten lateralen Transistoren auf Si- und SOI-Substraten ( $V_D = 1.1$  V).

Aus der Tabelle geht für beide lateralen Transistoren ein vergleichsweise niedriger ON-Strom hervor. Der Grund hierfür liegt in den vom Gate unbedeckten Kanalbereichen, die als zusätzlicher Widerstand fungieren. Der ebenfalls niedrigere ON-Strom



des vertikalen npn-MOSFETs hat seine Ursache in dem dünnen, strombegrenzenden Source-Anschlussgebiet. Der OFF-Strom ist lediglich bei dem lateralen MOSFET auf dem Si-Substrat und dem vertikalen npn-MOSFET erhöht. Während beim Ersteren die großen pn-Übergänge für den hohen Leckstrom verantwortlich sind, dominiert beim Letzteren der *Zener*-Tunnelleckstrom. Beide Effekte spiegeln sich auch in dem ebenfalls aufgeführten  $I_{ON}/I_{OFF}$ -Verhältnis wider. Die Einsatzspannung der lateralen Bauelemente liegt aufgrund der niedrigen Substratdotierung bei etwa  $-0.2$  V. Alle anderen Bauelemente verfügen über höhere Kanaldotierung und damit über eine höhere Einsatzspannung. Die Unterschwellsteigung der lateralen MOSFETs bewegt sich nahe dem theoretischen Minimum. Der vertikale npn-MOSFET erreicht aufgrund der größeren Sperrschichtkapazität einen moderaten Wert von  $158$  mV/dec. Die Unterschwellsteigung der nipin-MOSFETs lässt sich im Ionisationsmodus auf einen Wert unter  $30$  mV/dec drücken. Die aufgelistete Steigung der Transistoren verhält sich in ähnlicher Weise, wie die ON-Ströme.

Zur Bewertung der Temperaturstabilität werden ausgewählte Parameter der untersuchten Bauelemente in der Tabelle 8.2 zusammengefasst:

	$\frac{I_{ON}(200\text{ }^\circ\text{C})}{I_{OFF}(200\text{ }^\circ\text{C})}$ dec	S(200 °C) mV/dec	$\frac{S(25\text{ }^\circ\text{C})}{S(200\text{ }^\circ\text{C})}$	$\frac{\partial V_T}{\partial T}$ mV/K	$\frac{g_m(25\text{ }^\circ\text{C})}{g_m(200\text{ }^\circ\text{C})}$
laterale npn-MOSFETs auf Si- und SOI-Substraten ( $V_D = 1.1$ V)					
Si	2.2	389	6.0	-0.8	0.55
SOI	4.2	196	3.6	-0.8	0.43
vertikaler npn-MOSFET ( $V_D = 0.6$ V)					
	5.2	316	2.0	-4.2	0.96
vertikale nipin-MOSFETs in $\langle 110 \rangle$ - und $\langle 100 \rangle$ -Richtung ( $V_D = 2.6$ V)					
$\langle 110 \rangle$	4.9	545	38.6	+5.6	0.74
$\langle 100 \rangle$	5.1	445	11.5	+1.5	0.71

**Tab. 8.2:** Kenndaten der bei erhöhten Temperaturen charakterisierten Bauelemente.

Der Aufbau des lateralen MOSFETs auf einem SOI-Substrat ermöglicht ein um zwei Dekaden niedrigeres  $I_{ON}/I_{OFF}$ -Verhältnis im Vergleich zum MOSFET auf reinem Si-Substrat. Die ebenfalls hohe Temperaturstabilität der vertikalen Bauelemente geht einerseits auf das ebenfalls isolierte Kanalgebiet und andererseits auf die hohe Kanaldotierung zurück. Durch die hohe Dotierung lässt sich eine weitere Dekade im  $I_{ON}/I_{OFF}$ -Verhältnis im Vergleich zum lateralen SOI-MOSFET gewinnen.

Der vertikale Transistor verdankt seine hohe Temperaturstabilität in erster Linie der hohen Kanaldotierung von  $4 \cdot 10^{18}$  cm $^{-3}$ . Diese ermöglicht einen sicheren Betrieb bis zu einer Temperatur von  $350$  °C. Die Nachteile der hohen Kanaldotierung sind *Zener*-Durchbruch am pn-Übergang und die niedrige Steilheit.





## Kapitel 9

# Charakterisierung des FGFET Gassensors

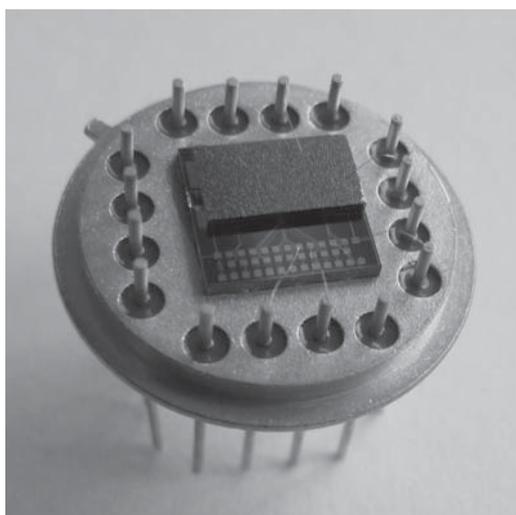
Das letzte Kapitel dieser Arbeit befasst sich mit der Charakterisierung des FGFET-Gassensors.

Nach einer kurzen Beschreibung des Messaufbaus wird die Methode zur Bestimmung des Arbeitspunktes des Sensors erläutert. Anschließend werden Ergebnisse zu Stabilitätsmessungen vorgestellt und interpretiert. Zuletzt folgt die Untersuchung des FGFET-Sensors bei Gasbeaufschlagung.

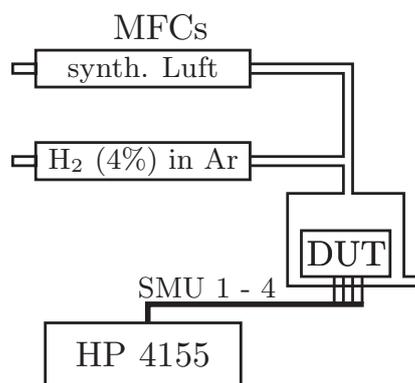
## 9.1 Messaufbau

Die Charakterisierung der Gassensoren erfordert zunächst das Vereinzeln der Chips. Anschließend wird durch einen Flip Chip Bondprozess die separat hergestellte Gegenelektrode auf den Transducer aufgebracht. Erfolgt die Gasmessung lediglich bei Raumtemperatur, so werden die Sensoren mittels Silberleitlack auf einen TO8-Träger aufgeklebt und durch Aluminiumbonddrähte elektrisch kontaktiert. Die Abbildung 9.1 zeigt hierzu einen vollständig aufgebauten Sensor. Für Hochtemperaturmessungen ist der im Kapitel 8.1 beschriebene Aufbau auf Aluminiumoxid-Substraten notwendig.

Die Gasmessung erfolgt in einer kleinen Kammer, an die zum einen synthetische Luft und zum anderen ein Gemisch aus 4% Wasserstoff in Argon angeschlossen sind. Der Durchfluss der Gase lässt sich über zwei unabhängige MFCs einstellen. Der Sensor wird in die Kammer einbaut, kann jedoch von aussen elektrisch kontaktiert und durch einen Parameteranalysator angesteuert werden. Die Abbildung 9.2 zeigt schematisch den verwendeten Messaufbau.



**Abb. 9.1:** FGFET Gassensor aufgebaut auf einem TO8-Sockel.



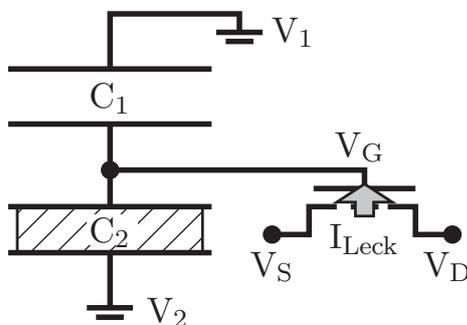
**Abb. 9.2:** Messaufbau zur Charakterisierung des FGFET Gassensors bei Raumtemperatur.

Als sensitive Schicht wird in allen untersuchten Sensoren Platin eingesetzt. Platin reagiert auf das verwendete Testgas Wasserstoff mit einer starken Verschiebung des Oberflächenpotenzials um  $-0.6\text{ V}$  [93].

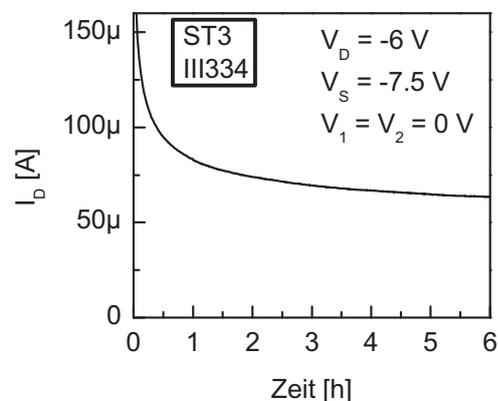
## 9.2 Arbeitspunkt

Der optimale Arbeitspunkt des Gassensors liegt bei der maximalen Steilheit. So wird sichergestellt, dass bereits geringe Schwankungen der Gate-Spannung große Änderung des Drain-Stroms bewirken. Zur Ermittlung des Arbeitspunktes ist es notwendig, eine Transferkennlinie des Sensors aufzuzeichnen. Dazu werden die beiden kontaktierbaren Anschlüsse des kapazitiven Spannungsteilers, wie es die Abbildung 9.3 zeigt, auf Masse gelegt. Gleichzeitig wird an Source und Drain die Spannung in negativer Richtung durchfahren. Dabei bleibt die Spannungsdifferenz zwischen Source und Drain konstant. Der aufgezeichnete Drain-Strom liefert die Transferkennlinie des Sensors. Die Variation der Spannungsdifferenz ermöglicht die Aufzeichnung eines vollständigen Kennlinienfeldes.

In einem Vorversuch wird zunächst die Stabilität des Sensorsignals ohne Gasbeaufschlagung untersucht. Dazu werden die beiden Anschlüsse des kapazitiven Spannungsteilers auf Masse gelegt. Für die Source- und Drain-Spannung des Auslesetransistors werden  $-7.5\text{ V}$  und  $-6\text{ V}$  gewählt. Damit wird der Sensor annähernd im optimalen Arbeitspunkt betrieben. Zur Stabilitätsmessung wird der zeitliche Verlauf des Drain-Stroms aufgezeichnet. Die Abbildung 9.4 stellt hierzu das Ergebnis einer Messung dar.



**Abb. 9.3:** Beschaltung des FG-FET-Sensors zur Bestimmung des Arbeitspunktes.

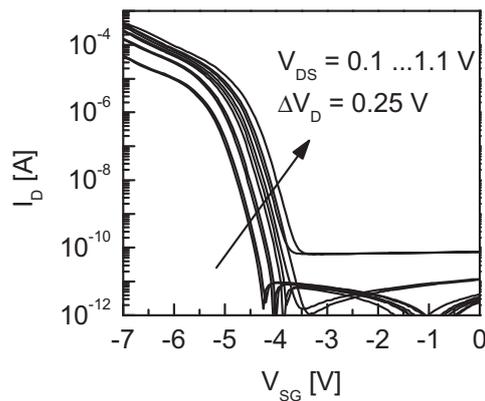


**Abb. 9.4:** Instabilität der Basislinie aufgrund von Gate-Leckströmen.

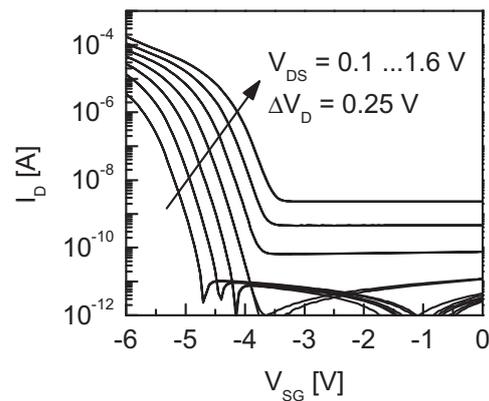
Nach dem Anlegen der Spannung fließt zunächst ein moderater Drain-Strom von etwa  $200\ \mu\text{A}$ , der mit der Zeit logarithmisch abnimmt. Erst nach etwa 6 Stunden ist eine Stabilisierung bei etwa  $60\ \mu\text{A}$  zu beobachten. Damit ist der Sensor zur Gasdetektion zunächst nicht geeignet.

Die Ursache für die Drift des Drain-Stroms liegt in der Dimensionierung der Gateoxiddicke. Denn das zu dünne Gateoxid ermöglicht in Kombination mit der angelegten Drain-Spannung die Beladung des Floating Gate durch einen *Fowler-Nordheim*-Tunnelstrom. Dies führt zur Verschiebung des Arbeitspunktes und damit zur stetigen Abnahme des Drain-Stroms bis der Tunnelstrom weitestgehend abebbt.

Bereits das Transferkennlinienfeld, welches die Abbildung 9.5 zeigt, offenbart die Aufladung des Floating Gates. Mit zunehmender Drain-Spannung wird eine stärker ausgebildete Hysterese sowie eine Verschiebung der Kennlinien in Richtung höherer Source-Gate-Spannung beobachtet. Während der erstere Effekt durch den unterschiedlichen Beladungszustand zwischen den Messzeitpunkten der abnehmenden und zunehmenden Source-Gate-Spannung entsteht, geht der Letztere Effekt auf die niedrigere Spannungsdifferenz zwischen Floating Gate und Source-Gate-Spannung zurück.



**Abb. 9.5:** Beladung des Floating Gates während der Aufzeichnung des Transferkennlinienfeldes (Probe ST3 III33 Sens4).



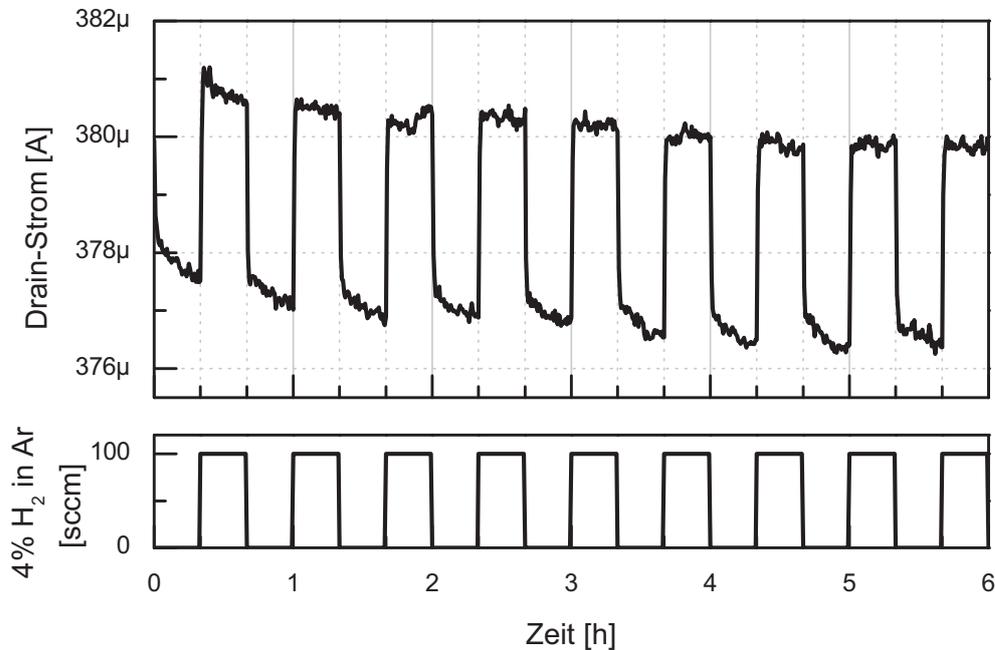
**Abb. 9.6:** Transferkennlinienfeld des FGFET-Sensors bei beladenem Floating Gate (Probe ST3 III33 Sens4).

Der gesamte Sensor ist vergleichbar mit einem Flash-Speicher der genau zwischen der Be- und Entladung betrieben wird. Um einen zumindest quasi-stabilen Zustand des Sensors zu erreichen, wird zunächst eine betragsmäßig hohe Source-Gate-Spannung von  $-7\text{ V}$  für einige Sekunden angelegt. Während dieser Zeit fließt ein moderater Tunnelstrom, der das Floating Gate zügig belädt. Anschließend wird der Sensor ausschließlich über der Source-Gate-Spannung von  $-6\text{ V}$  betrieben. Nach diesem Konditionierungsvorgang wird ein Transferkennlinienfeld aufgezeichnet, welches die Abbildung 9.6 darstellt. Erwartungsgemäß zeigen die Kennlinien keine Hysteresen mehr, sondern lediglich die Verschiebung mit zunehmender Source-Drain-Spannung. Somit kann ein annähernd stabiler Zustand für den Betrieb des Sensors gefunden werden.

### 9.3 Gasmessung

Nach der im vorhergehenden Kapitel beschriebenen Konditionierung des Sensors beginnt eine sechsstündige Gasmessung bei Raumtemperatur. Bei dieser wird in 20-Minuten-Takt der FGFET abwechselnd mit synthetischer Luft und dem Wasserstoff-Argon-Gemisch beaufschlagt. Die Anschlüsse des kapazitiven Spannungsteilers bleiben dabei weiterhin geerdet und gleichzeitig wird am Source- und Drain-Anschluss

–6.0 V und –4.9 V angelegt. Den zugehörigen zeitlichen Verlauf des Drain-Stroms zeigt die Abbildung 9.7.



**Abb. 9.7:** Reaktion des Sensors bei Gasbeaufschlagung (Probe ST3 III33 Sens4).

Das Sensorsignal gibt eindeutig den Verlauf der Gasbeaufschlagung wieder. Zwischen den beiden unterschiedlichen Gaspulsen wird eine Drain-Strom-Änderung von etwa  $3 \mu\text{A}$  beobachtet. Die Basislinie des Signals nimmt während der gesamten Messung stetig ab, was auf die langsame Entladung des Floating Gates zurückgeführt werden kann.

Die Änderung der Temperatur führt zu einer starken Drift der Basislinie. Bereits kleine Temperaturschwankungen rufen eine starke Änderung des Drain-Stroms hervor, die deutlich über dem zu messenden Gassignal liegen. Die Ursache hierfür ist durch die bereits diskutierte starke Temperaturabhängigkeit der Steilheit gegeben.





# Kapitel 10

## Schlussfolgerungen und Ausblick

In der vorliegenden Arbeit wurde ein laterales und vertikales MOSFET-Konzept hinsichtlich der Temperaturstabilität charakterisiert und optimiert. Die Temperaturfestigkeit lateraler MOSFETs ließ sich durch die Verwendung von SOI-Substraten erheblich steigern. Die vertikalen MOSFETs erwiesen sich gleich zu Anfang aufgrund einer optimierten Dotierung des Kanalgebietes als temperaturbeständiger. Für eine weitere Steigerung der Temperaturstabilität des vertikalen Transistors wurde ein Konzept mit einem modifizierten Transistorstapelaufbau erarbeitet. Aufgrund von technologischen Hürden konnte jedoch der Vorteil dieses Konzepts nicht vollständig herausgearbeitet werden. Ein weiteres Ergebnis dieser Arbeit war die Integration eines temperaturstabilen vertikalen MOSFETs in einen Gassensor. Die Funktion des Sensors konnte nachgewiesen werden.

Die technologischen Schwerpunkte dieser Arbeit lagen in der epitaktischen Abscheidung des Transistorschichtstapels, der trockenchemischen Strukturierung der Transistormesa und der Herstellung von Niedertemperatur-Gatedielektrika.

Das epitaktische Wachstum des Transistorstapels stand und fiel mit der Vorreinigung der Substrate. Diese entschied maßgeblich über die Funktion der Bauelemente. Zwar wurden in dieser Arbeit zahlreiche unterschiedliche Ansätze zur Vorreinigung untersucht, aber kein Verfahren konnte absolut zuverlässige und reproduzierbare Ergebnisse liefern. Das beste Resultat konnte bisher mit einem HF-Dip und einer anschließenden *in situ* Chlorwasserstoff-Reinigung erzielt werden. Dieser Prozess stellt jedoch nur die Basis für weitere Untersuchungen dar. Die *in situ* Dotierung der Schichten gelang bei dem Dotanden Bor problemlos. Es ließen sich sogar sehr scharfe Delta-Schichten abscheiden, um nipin-MOSFETs herzustellen. Die Phosphor-Dotierung hingegen litt an Segregationseffekten, die eine Abscheidung von homogenen und scharfen Dotierprofilen nicht ermöglichten. Ein erfolgversprechender Ansatz, der in dieser Arbeit untersucht wurde, bestand in der Dotierung durch Belegung. Damit ließen sich die Segregationseffekte soweit kontrollieren, dass die Abscheidung einer pnp-Struktur gelang.

Die anschließende trockenchemische Strukturierung des Transistorstapels bildete einen weiteren Schwerpunkt dieser Arbeit. Die große Herausforderung bei der Optimierung dieses Ätzprozesses lag in dem umfangreichen und stark vernetzten Pa-

rametersatz. Dabei gelang es, die einzelnen Wirkungsprinzipien der Parameter zu entflechten und deren Einfluss auf das Ätzergebnis zu ermitteln. Das Resultat waren optimierte Prozessparameter, die eine Herstellung von scharfen und glatten Mesaflanken garantieren. Optimierungspotenzial besteht noch in der derzeit auf 750 nm beschränkten Ätztiefe. Hierfür ist jedoch das Einfahren eines komplett neuen Dicklacksystems erforderlich.

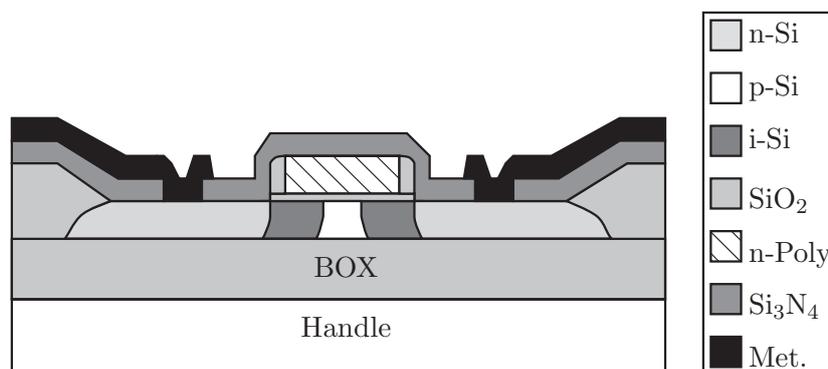
Die hergestellten vertikalen Kurzkanal-Bauelemente waren auf ein niedriges Temperaturbudget beim Wachstum bzw. der Abscheidung des Gatedielektrikums angewiesen. Bei zu hohen Prozesstemperaturen oder zu langen Prozesszeiten zerfloss das Dotierprofil und die Bauelemente verloren ihre Temperaturstabilität. Die zunächst untersuchten thermisch gewachsenen Niedertemperatur-Siliziumoxide wiesen hervorragende Qualität auf, jedoch lag das thermische Budget der Prozesse immer noch zu hoch, um ausreichend dicke Oxidschichten herzustellen. Ein alternativer Ansatz bestand daher in der Kombination eines dünnen Siliziumoxids mit einem Siliziumnitrid. Hiermit ließ sich zwar das Temperaturbudget reduzieren, jedoch sank zugleich die Qualität des Gatedielektrikums. Neben einer Verschiebung der Flachbandspannung wurde auch eine Beladung der Grenzfläche zwischen den Dielektrika beobachtet. Langfristig sollte daher ein qualitativ hochwertiges Abscheide-Gatedielektrikum, wie Aluminium- oder Hafniumoxid, zum Einsatz kommen.

Die Herstellung der lateralen Bauelemente gestaltete sich deutlich einfacher. Die Prozessierung kam ohne die besonders kritische epitaktische Abscheidung und die Mesaätzung aus. Zugleich lieferten die Bauelemente hervorragende Resultate bei der elektrischen Charakterisierung bei Raumtemperatur. Bei höheren Temperaturen trat der Nachteil der niedrigen Kanaldotierung und der großen Flächen der pn-Übergänge zum Vorschein. Ein stark mit der Temperatur zunehmender OFF-Strom beschränkte die Einsatztemperatur auf 200 °C. Eine Verkleinerung der pn-Übergänge ließ sich durch den Einsatz der etwa zehn mal teureren SOI-Substrate erzielen. Die maximale Einsatztemperatur konnte auf etwa 300 °C angehoben werden. Störend wirkten die parasitären Transistoren an der Kante der Siliziuminsel. Diese sollten künftig durch eine Aufoxidation des Device-Layers definiert werden.

Ein wesentlicher Vorteil der vertikalen Bauelemente liegt in der einfachen Herstellung von Kurzkanal-Bauelementen. Dies bedeutet jedoch auch, dass die Bauelemente von den meist unerwünschten *Kurzkanaleffekten* betroffen sind. Im Hinblick auf die Temperaturstabilität ließen sich mit dem vertikalen Konzept prozessbedingt sehr einfach die notwendigen hohen Dotierungen realisieren. Diese waren jedoch aufgrund der kurzen Kanallängen bei der anschließenden Gate-Oxidation schwer zu halten. Insbesondere bei dem nipin-Transistor wurde ein Absacken der p-Dotierung und gleichzeitig eine Flutung der beiden intrinsischen Gebiete mit Bor beobachtet. Die große Herausforderung bei der Herstellung vertikaler MOSFETs besteht daher in der Entwicklung eines Niedertemperatur-Dielektrikums.

Die maximale Einsatztemperatur der hergestellten vertikalen npn-MOSFETs und nipin-MOSFETs betrug etwa 350 °C. Damit lag sie um 50 °C höher im Vergleich zum lateralen MOSFET auf dem SOI-Substrat. Der deutlich einfachere und zuverlässigere Prozessablauf des lateralen Konzepts stellt jedoch einen wesentlichen

Vorteil dar und ist daher besser für die Herstellung temperaturstabiler MOSFETs geeignet. Ferner besteht bei diesem Konzept noch Optimierungspotenzial in der Kanaldotierung. Aber auch die n<sub>ipin</sub>-Struktur lässt sich auf das laterale Konzept übertragen. Mithilfe der Ionenimplantation kann der in der Abbildung 10.1 dargestellte laterale n<sub>ipin</sub>-MOSFET realisiert werden.



**Abb. 10.1:** Lateraler n<sub>ipin</sub>-MOSFET auf SOI-Substrat.

Der in dieser Arbeit ebenfalls hergestellte FGFET-Sensor beinhaltete einen vertikalen MOSFET als Auslesetransistor. Das dabei verwendete dünne Gateoxid wurde bei Betrieb des Sensors durchtunnelt und führte zur Instabilität des Signals. Nur in einem quasistabilen Zustand, bei dem das Floating Gate beladen wurde, konnte die Gasmessung erfolgen. Temperaturwechsel führten dabei zu massiven Verschiebungen des Arbeitspunktes. Auch in diesem Fall muss künftig ein dickeres Niedertemperatur-Gatedielektrikum verwendet werden, um einen dauerhaft stabilen Zustand des Sensors zu gewährleisten. Die bessere Alternative stellt jedoch ein Wechsel zu einem lateralen Konzept auf einem SOI-Substrat dar.



# Anhang A

## Parameter verwendeter Prozesse

### A.1 Oxidation und Temperung

Gas	Reinheit
Sauerstoff (O <sub>2</sub> )	5.6
Wasserstoff (H <sub>2</sub> )	5.6
Stickstoff (N <sub>2</sub> )	5.0

Tab. A.1: Prozessgase der Oxidation.

#	Schritt	Zeit min	Temp. °C	N <sub>2</sub> slm	O <sub>2</sub> slm	H <sub>2</sub> slm
Programm: OX1050 (Oxiddicke: 500 nm)						
1	Spülen	5	600	5		
2	Rampe 10 °C/min	42	1020	5		
3	Rampe 5 °C/min		6		5	5
4	Oxidation	60	1050		2.8	5
5	Post Ox Anneal	60	1050	5		
6	Abkühlen		600		5	
Programm: OX950Wet (Oxiddicke: 116 nm)						
1	Spülen N <sub>2</sub>	10	600	9.5		
2	Spülen O <sub>2</sub>	5	600		5	
3	Rampe 10 °C/min	35	950		5	
4	Oxidation	27	950		3	5
5	Post Ox Anneal	1	950	8		
6	Abkühlen		600	8		
Programm: FG350 (Formiergas-Temperung)						
1	Spülen N <sub>2</sub>	0.5	350	5		
2	Temperung	35	350	5		0.25

Tab. A.2: Ofenprozesse.



#	Schritt	Zeit s	Temp. °C	N <sub>2</sub> slm	O <sub>2</sub> slm	H <sub>2</sub> O slm
Programm: GOX.7 (Oxiddicke: 10 nm)						
1	Rampe	5	650		10	
2	Stabilisierung	100	650			5
3	Rampe	1	690			5
4	Stabilisierung	5	690			5
5	Rampe	2.12	800			1.82
6	Oxidation	600	800			1.82
7	Abkühlen	500		20		

Tab. A.3: RTO-Prozess.

#	Schritt	Zeit s	Temp. °C	N <sub>2</sub> slm	O <sub>2</sub> slm	Pow. %
Programm: P8545_1050 (Diffusionstiefe: 300 nm)						
1	Spülen	60	25	1.5		
2	Rampe	30	800	4	0.5	100
3	Stabilisierung	30	800	4	0.5	
4	Rampe	2	1050	4	0.5	45
5	Diffusion	130	1050	4	0.5	
6	Abkühlen	60	100	4		
7	Abkühlen	600	25			

Tab. A.4: RTA-Prozess für den Dotierstoffeintrieb.

## A.2 Gasphasenabscheidung von Silizium

Gas	Konzentration	Reinheit	MFC
Disilan (Si <sub>2</sub> H <sub>6</sub> )	5 % in H <sub>2</sub>	3.0 / 5.0	1 slm
Dichlorsilan (SiCl <sub>2</sub> H <sub>2</sub> )	unverdünnt	3.0	1 slm
Diboran (B <sub>2</sub> H <sub>6</sub> )	500 ppm in H <sub>2</sub>	4.0 / 5.0	30 sccm(low) 500 sccm(high)
Phosphin (PH <sub>3</sub> )	1 % in H <sub>2</sub>	4.5 / 5.0	10 sccm (low) 100 sccm(high) 500 sccm (ausgebaut)
German (GeH <sub>4</sub> )	20 % in H <sub>2</sub>	5.0 / 5.0	100 sccm
Chlorwasserstoff (HCl)	unverdünnt	5.5	300 sccm (low) 10 slm (high)
Wasserstoff (H <sub>2</sub> )	unverdünnt	6.0	10 slm
Stickstoff (N <sub>2</sub> )	unverdünnt	6.0	20 slm

Tab. A.5: Prozessgase zur Gasphasenabscheidung von Silizium.

#	Schritte	Zeit s	Temp. °C	Druck Torr	H <sub>2</sub> slm	DS slm	PH <sub>3</sub> sccm
Programm: A-N-POLY-640 (Schichtdicke: 225 nm)							
1	Rampe	29	640	10	20:10		
2	Temp. stabilisieren	30	640	10	6.5-2		
3	Fluss stabilisieren	15	640	10	6.5-2	1	50
4	Abscheiden	320	640	10	6.5-2	1	50
5	Rampe	30	700	10	6.5-2		
6	Tempern	30	700	10	6.5-2		
7	Abkühlen	20	350	10	20:10		

Tab. A.6: CVD-Prozess zur Abscheidung von n-Poly-Silizium.

### A.3 Abscheidedielektrika

Gas	Reinheit
Ammoniak (NH <sub>3</sub> )	5.6
Dichlorsilan (SiCl <sub>2</sub> H <sub>2</sub> )	4.5
Sauerstoff (O <sub>2</sub> )	5.6
Stickstoff (N <sub>2</sub> )	5.0

Tab. A.7: Prozessgase der Abscheidedielektrika.

#	Schritt	Zeit min	Temp. °C	Druck Torr	N <sub>2</sub>			TEOS g/min	O <sub>2</sub> sccm
					front slm	out sccm	back sccm		
Programm: TEOS_740_500mT_20min (Schichtdicke: 300 nm)									
1	Evakuieren	0.5	30	0.4					
2	Evakuieren	10	30	0.4					
3	Spülen	1	30	0.4	0.5	500	500		500
4	Rampe	30	740	0.4					
5	Spülen	1	740	0.4		75	75		75
6	Abscheiden	20	740	0.4		75	75	0.5	75
7	Tempern	10	740	0.4		500	500		
8	Abkühlen	15	250	0.4		500	500		
9	Abkühlen	15	25	0.4	2				

Tab. A.8: LPCVD-Prozess zur Abscheidung von Siliziumoxid.



#	Schritt	Zeit min	Temp. °C	Druck Torr	N <sub>2</sub>			NH <sub>3</sub> sccm	DCS sccm
					front slm	out slm	back sccm		
Programm: Nitrid_750_0.4_53min (Schichtdicke: 100 nm)									
1	Evakuieren	5	25	0.5					
2	Spülen	5	25	0.5	10				
3	Evakuieren	5	25	0.5					
4	Spülen	5	25	0.5	10				
5	Rampe	30	750	0.5	1	0.5	200		
6	Spülen	10	750	0.5	0.2	0.4	200		
7	Ammoniak	10	750	0.5			200	90	
8	Abscheiden	53	750	0.5			200	90	30
9	Ammoniak	10	750	0.5			200	90	
10	Tempern	10	750	0.5	1	0.4	200		
11	Abkühlen	30	100	0.5	2.5	1	500		
12	Abkühlen	10	100	0.5	10	5	500		
13	Abkühlen	10	50	bel.	10	5	500		

Tab. A.9: LPCVD-Prozess zur Abscheidung von Siliziumnitrid.

## A.4 Abscheidung metallischer Schichten

Gas	Reinheit
Argon (Ar)	5.6
Stickstoff (N <sub>2</sub> )	5.0

Tab. A.10: Prozessgase zur Abscheidung metallischer Schichten.

Modus	Leistung kW	Spannung Tar. / Subs. V / V	Zeit min	Restgas- Druck mbar	(Partial)-Druck	
					Ar mbar	N <sub>2</sub> mbar
Titan (Schichtdicke: 30 nm)						
DC	0.5	350 / -	2.5	$< 6 \cdot 10^{-6}$	$8 \cdot 10^{-3}$	-
Titannitrid (Schichtdicke: 100 nm)						
RF	1.5	118 / 50	45	$< 4 \cdot 10^{-7}$	$3 \cdot 10^{-3}$	$2 \cdot 10^{-3}$
Aluminium (AlSi)(Schichtdicke: 500 nm)						
DC	0.5	350 / -	45	$< 6 \cdot 10^{-6}$	$8 \cdot 10^{-3}$	-

Tab. A.11: Sputterprozess zur Abscheidung des Metallisierungssystems.

Modus	Leistung kW	Spannung Target V	Zeit min	Restgas- Druck mbar	Ar- Druck mbar
Platin (Schichtdicke: 30 nm)					
DC	0.5	350	10	$< 6 \cdot 10^{-6}$	$8 \cdot 10^{-3}$

**Tab. A.12:** Sputterprozess zur Abscheidung von Platin.

## A.5 SOD-Abscheidung

SC	SOD:	P-8545	Drehzahl [r/min]:	3000
	Menge:	1.5 ml	Zeit [s]:	20
HB	Zeit [s]:	30	Temperatur [°C]:	50
	Zeit [s]:	30	Temperatur [°C]:	75
	Zeit [s]:	30	Temperatur [°C]:	100
	Zeit [s]:	30	Temperatur [°C]:	125
	Zeit [s]:	120	Temperatur [°C]:	150

**Tab. A.13:** SOD-Schichtabscheidung und Niedertemperatur-Temperatur.

## A.6 Lithographie

SP	Haftvermittler: HMDS	Zeit [min]:	5
SC	Fotolack: AR 3740	Drehzahl [r/min]:	4000
PB	Zeit [min]: 1	Temperatur [°C]:	120
EXP	Zeit [s]: 5.5	Modus:	hard contact
PEB	Zeit [min]: 2	Temperatur [°C]:	120
DEV	Zeit [s]: 35	Entwickler:	AR 300-475
HB	Zeit [min]: 5	Temperatur [°C]:	120

**Tab. A.14:** Lithographie für nasschemische Prozesse.

SP	-		
SC	Fotolack: AR 3740	Drehzahl [r/min]:	4000
PB	Zeit [min]: 1	Temperatur [°C]:	120
EXP	Zeit [s]: 5.5	Modus:	hard contact
PEB	Zeit [min]: 5	Temperatur [°C]:	120
DEV	Zeit [s]: 40	Entwickler:	AR 300-475
HB	-		

**Tab. A.15:** Lithographie für trockenchemische Prozesse.

SP	-		
SC	Fotolack:	AR 3840	Drehzahl [r/min]: 4000
PB	Zeit [min]:	1	Temperatur [°C]: 120
EXP	Zeit [s]:	5.5	Modus: hard contact
PEB	Zeit [min]:	2	Temperatur [°C]: 120
DEV	Zeit [s]:	35	Entwickler: AR 300-475
HB	Zeit [min]:	5	Temperatur: 120

**Tab. A.16:** Lithographie für die nasschemische Strukturierung der Metallisierung.

SP	Haftvermittler: HMDS	Zeit [min]:	5
SC	Fotolack:	ARN 4340	Drehzahl [r/min]: 4000
PB	Zeit [min]:	3	Temperatur [°C]: 110
EXP	Zeit [s]:	6.5	Modus: proximity (gap: 10 µm)
PEB	Zeit [min]:	2	Temperatur [°C]: 120
DEV	Zeit [s]:	60	Entwickler: AR 300-47:H <sub>2</sub> O = 11:1
HB	Zeit [min]:	5	Temperatur: 120

**Tab. A.17:** Lithographie für nasschemische Prozesse mit Negativlack.

SP	Haftvermittler: HMDS	Zeit [min]:	5
SC	Fotolack:	AR 3740	Drehzahl [r/min]: 1500
HB	Zeit [min]:	5	Temperatur: 130

**Tab. A.18:** Schutzlack für Rückseitenprozesse.

## A.7 Nasschemische Prozesse

Chemikalie	Konzentration	Reinheit
Aceton ( $C_3H_6O$ )	100 %	VLSI
Ammoniak-Lösung ( $NH_4OH$ )	28 - 30 %	VLSI
Ammoniumfluorid Ätzmischung (Oxidätze 7:1)	-	VLSI
Ammoniumfluoridlösung ( $NH_4F$ )	-	VLSI
Essigsäure ( $CH_3COOH$ )	100 %	VLSI
Flusssäure (HF)	50 %	VLSI
Isopropanol ( $C_3H_8O$ )	100 %	VLSI
Kieselsäure ( $Si(OH)_4$ )	100 %	gefällt, reinst
Kupferdinitrat ( $Cu(NO_2)_3$ )	100 %	suprapur
ortho-Phosphorsäure ( $H_3PO_4$ )	85 %	VLSI
Phosphorsäureätzmischung	-	VLSI
Salpetersäure ( $HNO_3$ )	69 %	VLSI
Salzsäure (HCl)	min. 37 %	VLSI
Schwefelsäure ( $H_2SO_4$ )	95 - 97 %	VLSI
Tetramethylammoniumhydroxidlösung ( $C_4H_{13}NO$ )	25 %	VLSI
Wasserstoffperoxid ( $H_2O_2$ )	30 %	VLSI

Tab. A.19: Chemikalien der Nasschemie.

Anteil	Chemikalie	Temp. [°C]	Ätzrate [nm/min]	Bemerkung
1:100 HF-Ätze				
1 100	HF $H_2O$	23	4	natives Oxid
1:10 HF-Ätze				
1 10	HF $H_2O$	23	100	Spin on Dopants
BHF-Ätze				
22 2 13	$NH_4F$ HF $H_2O$	80	100	für Dickoxide

Tab. A.20: Siliziumoxid-Ätzlösungen.

Anteil	Chemikalie	Temp. [°C]	Ätzrate [nm/min]	Bemerkung
Anisotrope Siliziumätzung mit TMAH				
1	C <sub>4</sub> H <sub>13</sub> NO	80	800-900	Ätzrate stark Temperaturabhängig
Polysiliziumätzlösung				
24	HNO <sub>3</sub>	23	300	stark exotherm
1	NH <sub>4</sub> F			
12	H <sub>2</sub> O			

Tab. A.21: Silizium-Ätzlösungen.

Anteil	Chemikalie	Temp. °C	Ätzrate nm/min	Bemerkung
Aluminium-Ätze				
16	H <sub>3</sub> PO <sub>4</sub>	35	2.8	Ultraschall
1	HNO <sub>3</sub>			
1	CH <sub>3</sub> COOH			
2	H <sub>2</sub> O			
Titan- / Titanitrid-Ätze				
1	NH <sub>4</sub> OH	55	0.07	Ultraschall
1	H <sub>2</sub> O <sub>2</sub>			
7	H <sub>2</sub> O			
50 g/l	Si(OH) <sub>4</sub>			

Tab. A.22: Metallisierungs-Ätzlösungen.

Anteil	Chemikalie	Temp. [°C]	Ätzzeit [s]	Bemerkung
MEMC-Ätze				
36	HF	35	10	starke Blasenbildung
25	HNO <sub>3</sub>			
18	CH <sub>3</sub> COOH			
21	H <sub>2</sub> O			
0.1 g/l	Cu(NO <sub>2</sub> ) <sub>3</sub>			

Tab. A.23: Defektätzlösung „MEMC“.

Anteil	Chemikalie	Temp. [°C]	Ätzzeit [s]	Bemerkung
Aceton-Isopropanol-Lösung				
1	C <sub>3</sub> H <sub>6</sub> O	25	60	Ultraschall
1	C <sub>3</sub> H <sub>8</sub> O			

Tab. A.24: Nasschemische Entlackung.

Anteil	Chemikalie	Temp. [°C]	Ätzzeit [min]	Bemerkung
RCA-Clean				
1 1 7	NH <sub>4</sub> OH H <sub>2</sub> O <sub>2</sub> H <sub>2</sub> O	80	10	RCA 1
1 1 7	HCl H <sub>2</sub> O <sub>2</sub> H <sub>2</sub> O	80	10	RCA 2
Caro-Clean				
1 1	H <sub>2</sub> SO <sub>4</sub> H <sub>2</sub> O <sub>2</sub>	80°C	15	Selbsterhitzung auf über 130 °C

Tab. A.25: Nasschemische Reinigung.

## A.8 Trockenchemische Ätzprozesse

Gas	Reinheit	MFC
Schwefelhexafluorid (SF <sub>6</sub> )	5.0	10 sccm (low) 100 sccm (high)
Sauerstoff (O <sub>2</sub> )	5.6	50 sccm
Argon (Ar)	5.6	50 sccm
Trifluormethan (CHF <sub>3</sub> )	5.0	50 sccm
Stickstoff (N <sub>2</sub> )	5.0	50 sccm

Tab. A.26: Gase der Trockenätzung.

Zeit s	Temp. °C	Druck mTorr	Ätzgase			Helium Druck mTorr	Leistung	
			SF <sub>6</sub> sccm	O <sub>2</sub> sccm	Ar sccm		ICP W	RF W
Programm: UNIBW Mesa -120								
70	-110	3	16	2	12	2	60	300

Tab. A.27: Trockenchemische Siliziumätzung.

Zeit s	Temp. °C	Druck mTorr	Ätzgase		Helium Druck mTorr	Leistung		
			CHF <sub>3</sub> sccm	O <sub>2</sub> sccm		ICP W	RF W	
Programm: UNIBW 100 nm Si <sub>3</sub> N <sub>4</sub>								
120	25	50	50	4	50	0	150	

Tab. A.28: Trockenchemische Siliziumnitridätzung.



Zeit s	Temp. °C	Druck mTorr	Ätz- gas O <sub>2</sub> sccm	Helium Druck mTorr	Leistung	
					ICP W	RF W
UNIBW Lack Veraschen						
240	25	100	50	50	300	20

**Tab. A.29:** Fotolackveraschung.



# Anhang B

## Masken

### B.1 Maskensätze

1	OXIDFENSTER	Dunkelfeld
2	GATE	Hellfeld
3	IMPLANTATION	Dunkelfeld
4	KONTAKTLOCH	Hellfeld
5	METALLISIERUNG	Hellfeld

**Tab. B.1:** Maskensatz lateraler MOSFET 2003.

1	MESA	Hellfeld
2	GATE	Hellfeld
3	KONTAKTLOCH	Dunkelfeld
4	METALLISIERUNG	Hellfeld

**Tab. B.2:** Maskensatz IMOS 2007.

1	OXIDFENSTER	Dunkelfeld
2	MESA	Hellfeld
3	FREISTELLEN	Hellfeld
4	GATE	Hellfeld
5	KONTAKTLOCH 1	Dunkelfeld
6	KONTAKTLOCH 2	Dunkelfeld
7	METALLISIERUNG	Hellfeld

**Tab. B.3:** Maskensatz FGFET 2003.

## B.2 Wafermap lateraler MOSFET 2003

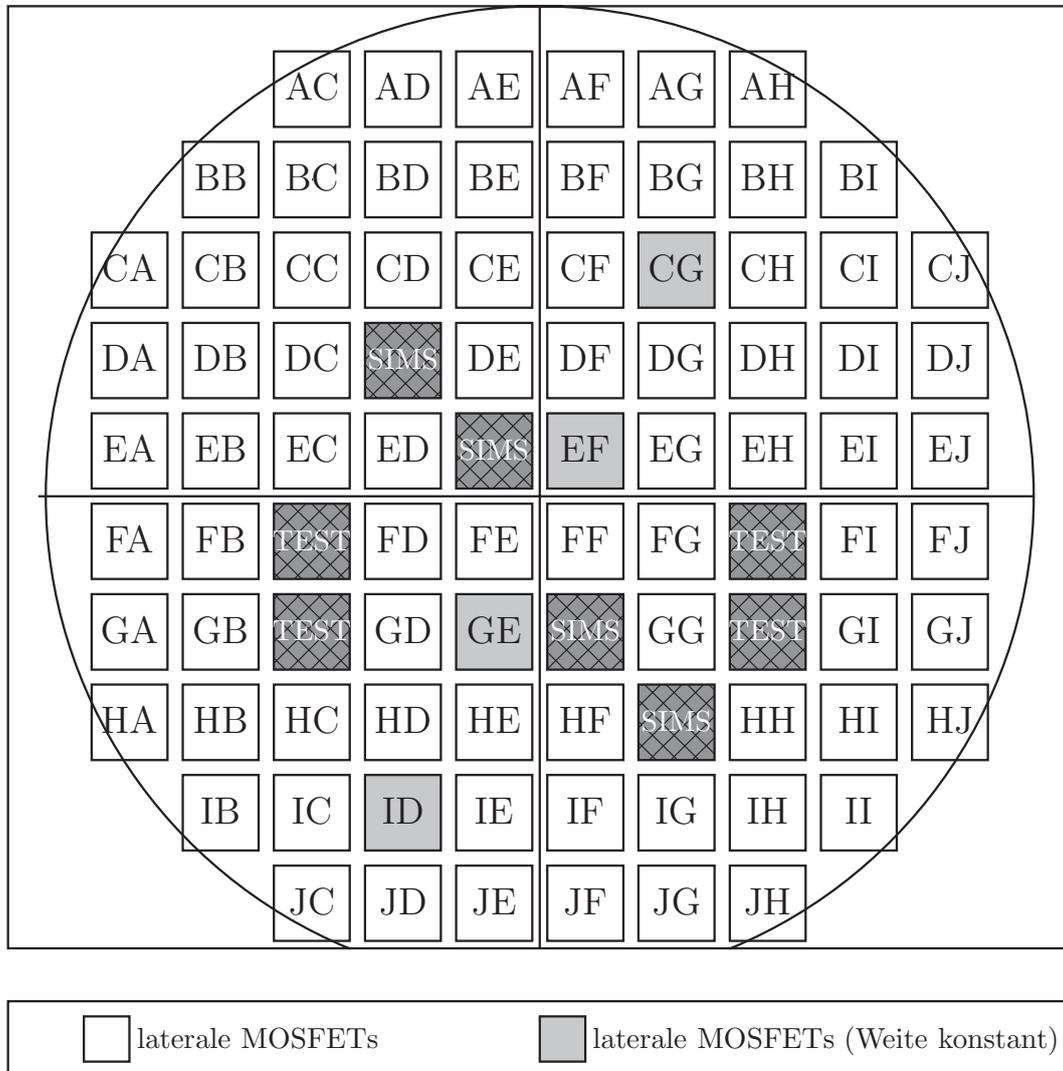


Abb. B.1: Wafer lateraler MOSFET.

L 25 W 100 1   3 2   4	L 12.5 W 50 1   3 2   4	L 5 W 20 1   3 2   4	L 2.5 W 10 1   3 2   4	L 10 W 10 1   3 2   4	L 2.5 W 5 1   3 2   4	L 10 W 20 1   3 2   4	L 25 W 50 5   7 6   8
L 20 W 100 1   3 2   4	L 10 W 50 1   3 2   4	L 4 W 20 1   3 2   4	L 2 W 10 1   3 2   4	L 5 W 10 1   3 2   4	L 1 W 5 1   3 2   4	L 2.5 W 5 5   7 6   8	L 5 W 5 5   7 6   8
L 10 W 100 1   3 2   4	L 5 W 50 1   3 2   4	L 2 W 20 1   3 2   4	L 1 W 10 1   3 2   4	L 2 W 10 5   7 6   8	L 2 W 10 5   7 6   8	L 5 W 10 5   7 6   8	L 10 W 10 5   7 6   8
L 5 W 100 1   3 2   4	L 2.5 W 50 1   3 2   4	L 1 W 20 1   3 2   4	L 2 W 20 5   7 6   8	L 4 W 20 5   7 6   8	L 5 W 20 5   7 6   8	L 10 W 20 5   7 6   8	L 20 W 20 1   3 2   4
L 2 W 100 1   3 2   4	L 1 W 50 1   3 2   4	L 2.5 W 50 5   7 6   8	L 5 W 50 5   7 6   8	L 10 W 50 5   7 6   8	L 12.5 W 50 5   7 6   8	L 25 W 50 1   3 2   4	L 50 W 50 1   3 2   4
L 1 W 100 1   3 2   4	L 2 W 100 5   7 6   8	L 5 W 100 5   7 6   8	L 10 W 100 5   7 6   8	L 20 W 100 5   7 6   8	L 25 W 100 5   7 6   8	L 50 W 100 1   3 2   4	L 100 W 100 1   3 2   4

 W 100	 W 50	 W 20	 W 10	 W 5
---	--	--	---	---

Abb. B.2: Chip lateraler MOSFET.

## B.3 Wafermap IMOS 2007

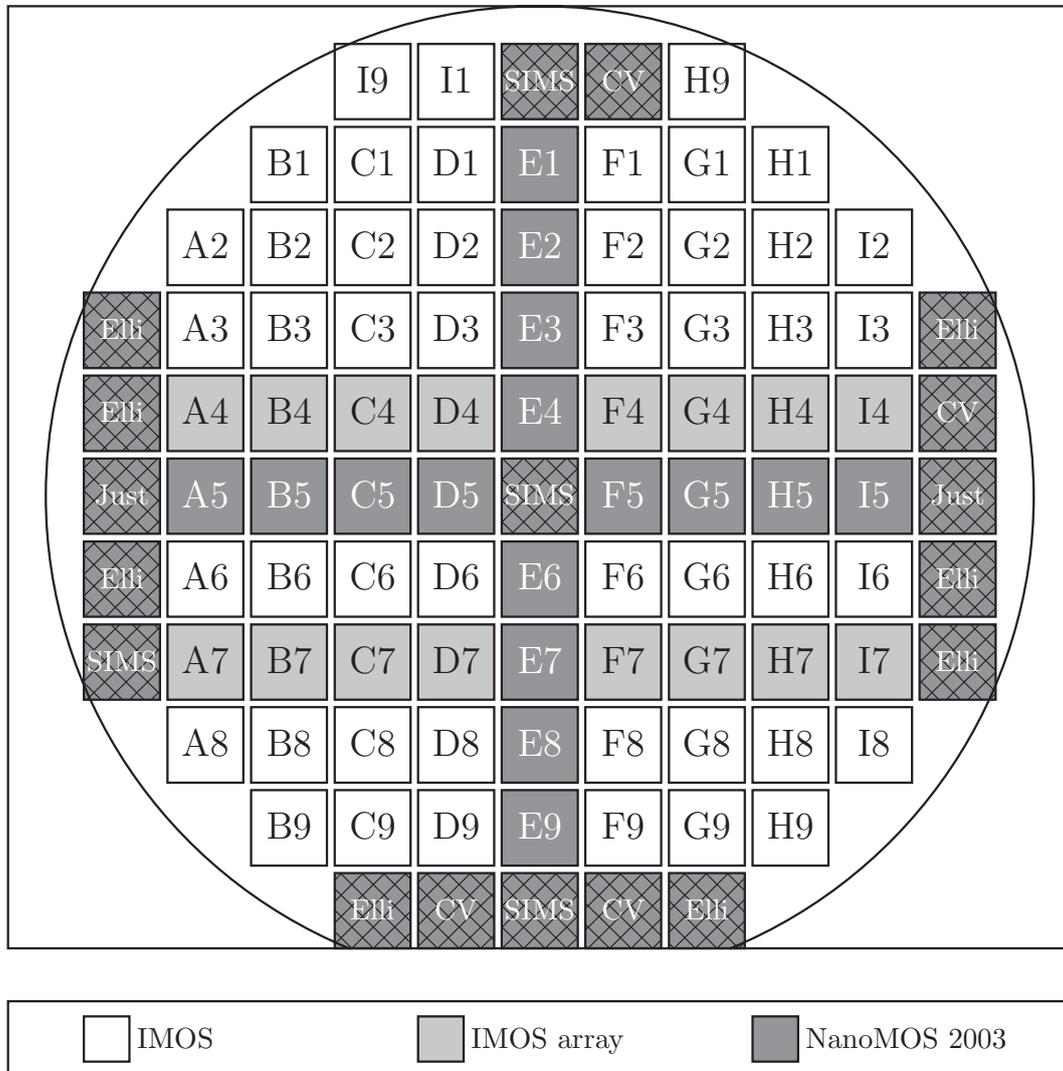


Abb. B.3: Wafer IMOS 2003.

100 1	100 3	100A 1	100A 3	100B 1	100B 3	100C 1	100C 3	100D 1	100D 3	100E 1	100E 3
100 2	100 4	100A 2	100A 4	100B 2	100B 4	100C 2	100C 4	100D 2	100D 4	100E 2	100E 4
80 1	80 3	80A 1	80A 3	80B 1	80B 3	80C 1	80C 3	80D 1	80D 3	80E 1	80E 3
80 2	80 4	80A 2	80A 4	80B 2	80B 4	80C 2	80C 4	80D 2	80D 4	80E 2	80E 4
60 1	60 3	60A 1	60A 3	60B 1	60B 3	60C 1	60C 3	60D 1	60D 3	60E 1	60E 3
60 2	60 4	60A 2	60A 4	60B 2	60B 4	60C 2	60C 4	60D 2	60D 4	60E 2	60E 4
40 1	40 3	40A 1	40A 3	40B 1	40B 3	40C 1	40C 3	40D 1	40D 3	40E 1	40E 3
40 2	40 4	40A 2	40A 4	40B 2	40B 4	40C 2	40C 4	40D 2	40D 4	40E 2	40E 4
20 1	20 3	20 5	20B 1	20B 3	20B 5	20D 1	20D 3	20D 5	20E 1	20E 3	20E 5
20 2	20 4	20 6	20B 2	20B 4	20B 6	20D 2	20D 4	20D 6	20E 2	20E 4	20E 6
10B 1	10B 3	10B 5	10B 7	10D 1	10D 3	10D 5	10D 7	10E 1	10E 3	10E 5	10E 7
10B 2	10B 4	10B 6	10B 8	10D 2	10D 4	10D 6	10D 8	10E 2	10E 4	10E 6	

		Elektrode offen		Mesaecken abgerundet
		breites Poly-Gate		Mesa gedreht
		Elektrode geschlossen		ohne Gate

Abb. B.4: Chip IMOS 2007.

### B.4 Wafermap FGFET 2003

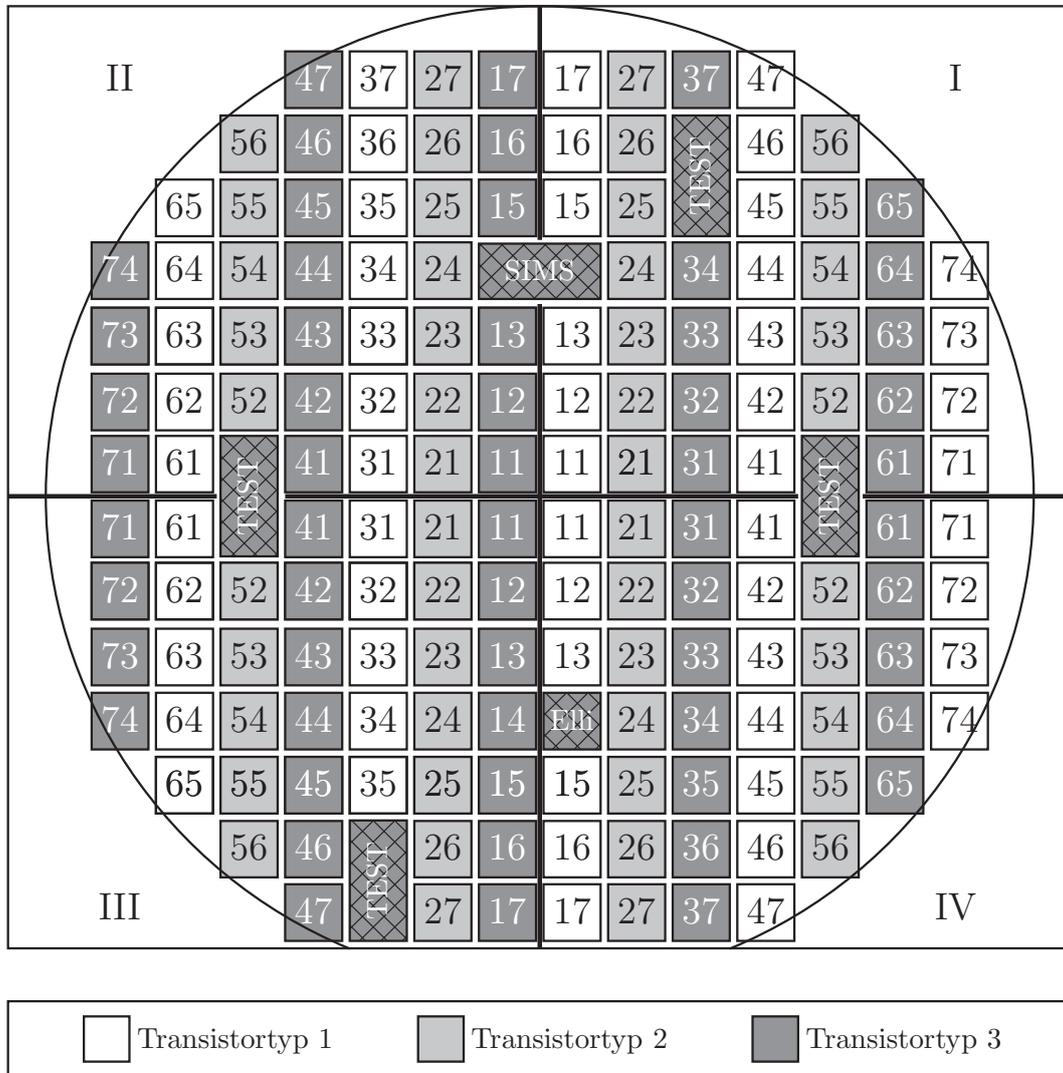


Abb. B.5: Wafer FGFET 2003.



# Anhang C

## Prozesspläne

### C.1 Lateraler MOSFET

Nr.	Prozessschritt	Parameter	Tabelle
1.	Oxidation (116 nm)	OX950Wet (27 min)	A.2
2.	Lithographie für Nassätzung	Maske: FOX	A.14
3.	Nassätzung Siliziumoxid	BHF	A.20
4.	Entlacken	Aceton/Isopropanol	A.24
5.	RCA-Clean		A.25
6.	Nassätzung natives Siliziumoxid	1:100 HF-Ätze	A.20
7.	RTP Oxidation (12.7 nm)	GOX.7 (15 min)	A.3
8.	n-Poly-Silizium-Abscheidung (225 nm)	A-N-POLY-640 (320 s)	A.6
9.	RTP-Oxidation	GOX.7 (7.5 min)	A.3
10.	Lithographie für Nassätzung	Maske: GATE	A.14
11.	Nassätzung Siliziumoxid	BHF	A.20
12.	Entlacken	Aceton/Isopropanol	A.24
13.	Nassätzung Poly-Silizium	TMAH (50 s)	A.21
14.	RCA-Clean		A.25
15.	LPCVD Siliziumnitrid (50 nm)	N_750.0.4.24min	A.9
16.	Lithographie für Trockenätzung	Maske: IMPLANTATION	A.14
17.	Trockenätzung Siliziumnitrid	UNIBW 100 nm Si3N4 (40 s)	A.28
18.	Caro-Clean		A.25
19.	SOD-Schichtabscheidung	B-150	A.13
20.	RTA-Prozess	P8545_1050	A.4
21.	Nassätzung SOD	1:10 HF-Ätze	A.20
22.	LPCVD Siliziumnitrid (100 nm)	N_750.0.4.51min	A.9
23.	Lithographie für Nassätzung mit Negativlack	Maske: CONTACT	A.17



Nr.	Prozessschritt	Parameter	Tabelle
24.	Trockenätzung Siliziumnitrid	UNIBW 100 nm Si <sub>3</sub> N <sub>4</sub> (120 s)	A.28
25.	Caro-Clean		A.25
26.	Nassätzung natives Siliziumoxid	1:100 HF-Ätze	A.20
27.	Metallisierung	Ti/TiN/AlSi	A.11
28.	Lithographie für Nassätzung der Metallisierung	Maske: METAL	A.16
29.	Nassätzung Aluminium		A.22
30.	Nassätzung Titan und Titannitrid		A.22
31.	Entlacken	Aceton/Isopropanol	A.24
32.	Schutzlack für Rückseitenprozesse		A.18
33.	Trockenätzung Siliziumnitrid (Rückseite)	UNIBW 100 nm Si <sub>3</sub> N <sub>4</sub> (120 s)	A.28
34.	Nassätzung natives Siliziumoxid	1:100 HF-Ätze	A.20
35.	AlSi-Metallisierung (Rückseite)	AlSi	A.11
36.	Entlacken	Aceton/Isopropanol	A.24
37.	Formiergas-Temperung	FGAS350 (35 min)	A.2

**Tab. C.1:** Prozessplan lateraler MOSFET.

## C.2 Vertikaler nipin-MOSFET

Nr.	Prozessschritt	Parameter	Tabelle
1.	RCA-Clean		A.25
2.	Nassätzung natives Siliziumoxid	1:100 HF-Ätze	A.20
3.	nipin-CVD-Prozess		6.3.4
4.	Lithographie für Trockenätzung	Maske: MESA	A.15
5.	Trockenätzung Silizium (920 nm)	UNIBW Mesa -120 (80 s)	A.27
6.	Entlacken	Aceton/Isopropanol	A.24
7.	RCA-Clean		A.25
8.	Nassätzung natives Siliziumoxid	1:100 HF-Ätze	A.20
9.	RTP Oxidation (7 nm)	GOX.7 (10 min)	A.3
10.	LPCVD Siliziumnitrid (43 nm)	N_750_0.4_20min	A.9
11.	RCA-Clean		A.25
12.	n-Poly-Silizium-Abscheidung (300 nm)	A-N-POLY-660 (380 s)	A.6
13.	LPCVD Siliziumoxid (40 nm)	TEOS_500mT_700C_10min	A.8
14.	Lithographie für Nassätzung	Maske: GATE	A.14
15.	Nassätzung Siliziumoxid	BHF (12 s)	A.20
16.	Entlacken	Aceton/Isopropanol	A.24
17.	Nassätzung Poly-Silizium	TMAH (50 s)	A.21
18.	Nassätzung Siliziumoxid	BHF (12 s)	A.20
19.	RCA-Clean		A.25
20.	LPCVD Siliziumnitrid (44 nm)	N_750_0.4_20min	A.9
23.	Lithographie für Nassätzung mit Negativlack	Maske: KONTAKT-LOCH	A.17
24.	Trockenätzung Siliziumnitrid	UNIBW 100 nm Si <sub>3</sub> N <sub>4</sub> (90 s)	A.28
25.	Caro-Clean		A.25
26.	Nassätzung natives Siliziumoxid	1:100 HF-Ätze (30 s)	A.20
27.	Metallisierung	Ti/TiN/AlSi	A.11
28.	Lithographie für Nassätzung der Metallisierung	Maske: METALLISIERUNG	A.16
29.	Nassätzung Aluminium		A.22
30.	Nassätzung Titan und Titannitrid		A.22
31.	Entlacken	Aceton/Isopropanol	A.24
32.	Formiergas-Temperung	FGAS350 (35 min)	A.2

**Tab. C.2:** Prozessplan vertikaler nipin-MOSFET.

## C.3 FGFET Sensor

Nr.	Prozessschritt	Parameter	Tabelle
1.	Oxidation (540 nm)	OX1050 (60 min )	A.2
2.	Lithographie für Nassätzung	Maske: OXID-FENSTER	A.14
3.	Nassätzung Siliziumoxid	BHF	A.20
4.	Entlacken	Aceton/Isopropanol	A.24
5.	RCA-Clean		A.25
6.	Nassätzung natives Siliziumoxid	1:100 HF-Ätze	A.20
7.	nnp-CVD-Prozess		6.3.3
8.	Lithographie für Trockenätzung	Maske: MESA	A.15
9.	Trockenätzung Silizium (720 nm)	UNIBW Mesa -120 (70 s)	A.27
10.	Entlacken	Aceton/Isopropanol	A.24
11.	Caro-Clean		A.25
12.	Lithographie für Trockenätzung	Maske: FREISTELLEN	A.15
13.	Trockenätzung Silizium (720 nm)	UNIBW Mesa -120 (70 s)	A.27
14.	Entlacken	Aceton/Isopropanol	A.24
15.	Caro-Clean		A.25
16.	Nassätzung natives Siliziumoxid	1:100 HF-Ätze	A.20
17.	RTP Oxidation (7 nm)	GOX.7 (10 min)	A.3
18.	n-Poly-Silizium-Abscheidung (285 nm)	A-N-POLY-640 (320 s)	A.6
19.	RTP-Oxidation	GOX.7 (7.5 min)	A.3
20.	Lithographie für Nassätzung	Maske: GATE	A.14
21.	Nassätzung Siliziumoxid	BHF	A.20
22.	Entlacken	Aceton/Isopropanol	A.24
23.	Nassätzung Poly-Silizium	TMAH (50 s)	A.21
24.	RCA-Clean		A.25
25.	LPCVD Siliziumnitrid (50 nm)	N_750_0.4_24min	A.9
26.	Lithographie für Trockenätzung	Maske: KONTAKT-LOCH 1	A.14
27.	Trockenätzung Siliziumnitrid	UNIBW 100 nm Si3N4 (40 s)	A.28
28.	Nassätzung Siliziumoxid	BHF (20 s)	A.20
29.	Entlacken	Aceton/Isopropanol	A.24
30.	Caro-Clean		A.25
31.	Lithographie für Nassätzung	Maske: KONTAKT-LOCH 2	A.14
32.	Nassätzung Siliziumoxid	BHF (360 s)	A.20
33.	Entlacken	Aceton/Isopropanol	A.24



Nr.	Prozessschritt	Parameter	Tabelle
34.	Nassätzung natives Siliziumoxid	1:100 HF-Ätze	A.20
35.	Metallisierung	Ti/TiN/AlSi	A.11
36.	Lithographie für Nassätzung der Metallisierung	Maske: METALLISIERUNG	A.16
37.	Nassätzung Aluminium		A.22
38.	Nassätzung Titan und Titannitrid		A.22
39.	Entlacken	Aceton/Isopropanol	A.24
40.	Formiergas-Temperung	FGAS350 (35 min)	A.2

**Tab. C.3:** Prozessplan FGFET-Sensor.



# Formelzeichen

Symbol	Beschreibung	Einheit
$A$	Fläche	$\text{m}^2$
$c$	Teilchenkonzentration	$\text{cm}^{-3}$
$c_G$	Konzentration der Quellspezstanz im Gasstrom	$\text{cm}^{-3}$
$c_S$	Konzentration der Quellspezstanz über der Substratoberfläche	$\text{cm}^{-3}$
$C$	Kapazität	F
$C_{\text{Ox}}$	Oxidkapazität	F
$C_{\text{Par}}$	parasitäre Kapazität	F
$C'_{\text{Ox}}$	Oxidflächenkapazität	F/m
$D$	Durchmesser	m
$D$	Diffusionskoeffizient	$\text{cm}^2/\text{s}$
$D_e$	Diffusionskonstante der Elektronen	$\text{cm}^2/\text{s}$
$D_h$	Diffusionskonstante der Löcher	$\text{cm}^2/\text{s}$
$e$	Elementarladung	C
$E$	Sensorempfindlichkeit	A/V
$E_a$	Aktivierungsenergie	J
$E_F$	<i>Fermi</i> -Energie	eV
$E_g$	Bandlücke	eV
$E_g(0)$	Bandlücke bei 0 K	eV
$E_i$	intrinsische <i>Fermi</i> -Energie	eV
$E_{\text{max}}$	maximale elektrische Feldstärke	V/m
$g_m$	Steilheit	A/V
$h$	<i>Plancksches</i> Wirkungsquantum	eVs
$\hbar$	reduziertes <i>Plancksches</i> Wirkungsquantum	eVs
$h_G$	Transportkoeffizient der Reaktanden	$\text{s}^{-1}$
$I$	Strom	A
$I_{\text{diff}}$	Diffusions-Sperrstrom	A
$I_{\text{gen}}$	Generations-Rekombinations-Sperrstrom	A
$I_I$	Ionenstrom	A
$I_K$	Kanalstrom	A
$I_R$	Rekombinationsstrom	A
$I_R$	Sperrstrom	A
$I_{\text{DS}}$	Drain-Source-Strom	A
$I_{\text{OFF}}$	OFF-Strom	A

Symbol	Beschreibung	Einheit
$I_{\text{ON}}$	ON-Strom	A
$j$	Teilchenstrom	$\text{cm}^2/\text{s}$
$j_G$	Teilchenstrom aus dem Gasstrom	$\text{cm}^2/\text{s}$
$j_S$	Teilchenstrom aus der Oberflächenreaktion	$\text{cm}^2/\text{s}$
$j_{\text{tunn}}$	Tunnelstromdichte	$\text{A}/\text{m}^2$
$k$	Segregationskoeffizient	1
$k_B$	<i>Boltzmann</i> -Konstante	eV/K
$k_S$	Reaktionskoeffizient der Zersetzung	$\text{s}^{-1}$
$L$	Kanallänge	m
$L_e$	Diffusionslänge der Elektronen	m
$L_h$	Diffusionslänge der Löcher	m
$m^*$	effektive Elektronenmasse	kg
$M$	molare Masse	mol
$n$	Löcherkonzentration	$\text{cm}^{-3}$
$n$	Idealitätsfaktor	1
$n_i$	intrinsische Ladungsträgerkonzentration	$\text{cm}^{-3}$
$N$	Teilchendichte	$\text{cm}^{-3}$
$N_A$	Konzentration der Akzeptoren	$\text{cm}^{-3}$
$N_A$	<i>Avogadro</i> -Konstante	$\text{mol}^{-1}$
$N_D$	Konzentration der Donatoren	$\text{cm}^{-3}$
$N_L$	Zustandsdichte im Leitungsband	$\text{cm}^{-3}$
$N_V$	Zustandsdichte im Valenzband	$\text{cm}^{-3}$
$p$	Elektronenkonzentration	$\text{cm}^{-3}$
$p_{\text{ges}}$	Gesamtdruck	Pa
$p_G$	Partialdruck des Reaktanden	Pa
$Q$	Dotierstoffmenge	1
$Q'_{\text{Ox}}$	Flächenladungsdichte	$\text{C}/\text{m}^2$
$r$	Wachstumsrate	m/s
$r_r$	Reaktionsbegrenzte Wachstumsrate	m/s
$r_t$	Transportbegrenzte Wachstumsrate	m/s
$R$	universelle Gaskonstante	J/kgK
$S$	Unterschwelsteigung	mV/dec
$t$	Dicke des Gatedielektrikums	m
$t$	Zeit	s
$t_{\text{Ox}}$	Oxiddicke	m
$T$	Temperatur	K
$T_i$	intrinsische Temperatur	K
$\bar{v}_{th}$	mittlere Teilchengeschwindigkeit	m/s
$V$	Spannung	V
$V_{\text{diff}}$	Diffusionsspannung	V
$V_{\text{DS}}$	Drain-Source-Spannung	V
$V_{\text{FB}}$	Flachbandspannung	V
$V_{\text{GS}}$	Gate-Source-Spannung	V
$V_{\text{R}}$	Sperrspannung	V



Symbol	Beschreibung	Einheit
$V_T$	Einsatzspannung	V
$W$	Kanalweite	m
$w_{RLZ}$	Weite der Raumladungszone	m
$\alpha$	Materialkonstante des temperaturabhängigen Bandabstandes	eV/K
$\beta$	Materialkonstante des temperaturabhängigen Bandabstandes	K
$\epsilon_0$	Permittivität des Vakuums	As/Vm
$\epsilon_{Si}$	relative Permittivität des Siliziums	1
$\phi$	Oberflächenpotenzial	V
$\phi_F$	<i>Fermi</i> -Potenzial	V
$\phi_{MS}$	Differenz der Austrittsarbeiten von Metall und Halbleiter	V
$\phi_n$	<i>Fermi</i> -Potenzial des n-Halbleiters	V
$\phi_p$	<i>Fermi</i> -Potenzial des p-Halbleiters	V
$\lambda$	mittlere freie Weglänge	m
$\mu_e$	Elektronenbeweglichkeit	cm <sup>2</sup> /Vs
$\mu_{eff}$	effektive Ladungsträgerbeweglichkeit	cm <sup>2</sup> /Vs
$\mu_h$	Löcherbeweglichkeit	cm <sup>2</sup> /Vs
$\tau$	effektive Ladungsträgerlebensdauer	s





# Abkürzungen

Abkürzung	Erklärung
AHI	Anode Hole Injection
APCVD	Atmospheric Pressure Chemical Vapour Deposition
BESOI	Bond and Etchback Silicon On Insulator
BOX	Buried Oxide
CMOS	Complementary Metal Oxide Semiconductor
CVD	Chemical Vapour Deposition
DEV	Development
DC-Sputtern	Gleichspannungs-Sputtern
ELB-Tunneln	Elektron-Leitungsband-Tunneln
EVB-Tunneln	Elektron-Valenzband-Tunneln
EX	Exposure
FGFET	Floating Gate Field Effect Transistor
FOX	Feldoxid
GIFBE	Gate-induzierter floating body Effekt
GOX	Gateoxid
HB	Hardbake
HBT	Heterojunction Bipolartransistor
HVB-Tunneln	Loch-Valenzband-Tunneln
ICP	Inductively Coupled Plasma
LFM	Liquid Flow Meter
LOCOS	Local Oxidation of Silicon
LPCVD	Low Pressure Chemical Vapour Deposition
MFC	Mass Flow Controller
MOCVD	Metal Organic Chemical Vapour Deposition
MOSFET	Metal Oxide Semiconductor Field Effect Transistor
OED	Oxidation Enhanced Diffusion
PB	Prebake
PECVD	Plasma Enhanced Chemical Vapour Deposition
RCA	Radio Corporation of America
REM	Rasterelektronenmikroskop
RIE	Reactive Ion Etching
RF-Sputtern	Wechselfeld-Sputtern
RLZ	Raumladungszone
RTA	Rapid Thermal Annealing



---

Abkürzung	Erklärung
RTO	Rapid Thermal Oxidation
RTP	Rapid Thermal Processing
SC	Spin Coating
SE	selektive Epitaxie
SIMOX	Separation by Implanted Oxygen
SIMS	Secondary Ion Mass Spectrometry
SOD	Spin On Dopants
SONFET	Silicon On Nothing Field Effect Transistor
SOI	Silicon On Insulator
SP	Substrate Preparation
UHV	Ultra-High Vacuum
ZTC	Zero Temperature Coefficient



# Literaturverzeichnis

- [1] ABELEIN, U. ; ASSMUTH, A. ; ISKRA, P. ; REINL, M. ; SCHLOSSER, M. ; SULIMA, T. ; EISELE, I.: Vertical 40 nm Impact Ionization MOSFET (I-MOS) for high temperature applications. In: *Microelectronics, 2008. MIEL 2008. 26th International Conference on*, May 2008, S. 287–290
- [2] ABELEIN, U. ; BORN, M. ; BHUWALKA, K. K. ; SCHINDLER, M. ; SCHLOSSER, M. ; SULIMA, T. ; EISELE, I.: Improved Reliability by Reduction of Hot-Electron Damage in the Vertical Impact-Ionization MOSFET (I-MOS). In: *Electron Device Letters, IEEE* 28 (2007), Jan., Nr. 1, S. 65–67. – ISSN 0741-3106
- [3] ABELEIN, Ulrich ; ASSMUTH, Andreas ; ISKRA, Peter ; SCHINDLER, Markus ; SULIMA, Torsten ; EISELE, Ignaz: Doping profile dependence of the vertical impact ionization MOSFET's (I-MOS) performance. In: *Solid-State Electronics* 51 (2007), Nr. 10, S. 1405 – 1411. – URL <http://www.sciencedirect.com/science/article/B6TY5-4PC4KS1-2/2/993b719aff68575e6f3dbb2ce29fb16d>. – Special Issue: Papers Selected from the NGC 2007 Conference. – ISSN 0038-1101
- [4] AGNELLO, Paul D. ; SEDGWICK, Thomas O.: The Use of Gas Monitors to Characterize a Low-Temperature Atmospheric-Pressure Epitaxial System. In: *Journal of The Electrochemical Society* 138 (1991), Nr. 9, S. 2785–2789. – URL <http://link.aip.org/link/?JES/138/2785/1>
- [5] AGOPIAN, Paula Ghedini D. ; MARTINO, João A. ; SIMOEN, Eddy ; CLAEYS, Cor: Gate Oxide Thickness Influence on the Gate Induced Floating Body Effect in SOI Technology. In: *Journal of Integrated Circuits and Systems* 3 (2008), S. 91–95
- [6] ARAGONA, F. S. d': Dislocation Etch for (100) Planes in Silicon. In: *Journal of The Electrochemical Society* 119 (1972), Nr. 7, S. 948–951. – URL <http://link.aip.org/link/?JES/119/948/1>
- [7] ARORA, N.D. ; HAUSER, J.R. ; ROULSTON, D.J.: Electron and hole mobilities in silicon as a function of concentration and temperature. In: *Electron Devices, IEEE Transactions on* 29 (1982), Feb., Nr. 2, S. 292 – 295. – ISSN 0018-9383

- [8] BAN, Ibrahim ; OZTURK, M. C.: In Situ Phosphorus Doping during Silicon Epitaxy in an Ultrahigh Vacuum Rapid Thermal Chemical Vapor Deposition Reactor. In: *Journal of The Electrochemical Society* 146 (1999), Nr. 11, S. 4303–4308. – URL <http://link.aip.org/link/?JES/146/4303/1>
- [9] BAYERSTADLER, Anton: *Reinigung und Gasphasenepitaxie in einem Ultrahochvakuum-Mehrkammerensystem für zukünftige CMOS-Technologien*, Universität der Bundeswehr München, Dissertation, 2006
- [10] BECK, Friedrich: *Integrierte Halbleiterschaltungen*. VCH Verlag, 1993
- [11] BEHAMMER, D. ; VESCAN, L. ; LOO, R. ; MOERS, J. ; MUCK, A. ; LUTH, H. ; GRABOLLA, T.: Selectively grown vertical Si-p MOS transistor with short channel-lengths. In: *Electronics Letters* 32 (1996), Feb, Nr. 4, S. 406–407. – ISSN 0013-5194
- [12] BHUWALKA, Krishna K. ; SCHULZE, Jörg ; EISELE, Ignaz: Performance Enhancement of Vertical Tunnel Field-Effect Transistor with SiGe in the delta p+ Layer. In: *Japanese Journal of Applied Physics* 43 (2004), Nr. 7A, S. 4073–4078. – URL <http://jjap.ipap.jp/link?JJAP/43/4073/>
- [13] BLOEM, J.: Equilibrium and kinetics in the chemical vapour deposition of silicon. In: *Journal of Crystal Growth* 31 (1975), S. 256 – 263. – URL <http://www.sciencedirect.com/science/article/B6TJ6-46YKSB4-1C/2/6a4125ceb15f520145081085ab483e0e>. – ISSN 0022-0248
- [14] BOER, W. B. D. ; TERPSTRA, D. ; BERKUM, J. G. M. V.: Selective versus non-selective growth of Si and SiGe. In: *Materials Science and Engineering B* 67 (1999), Nr. 1-2, S. 46 – 52. – URL <http://www.sciencedirect.com/science/article/B6TXF-3Y15WCX-P/2/a5995c80fd3e1541b00f767e2268e2d0>. – ISSN 0921-5107
- [15] BOHG, A. ; GAIND, A. K.: Influence of film stress and thermal oxidation on the generation of dislocations in silicon. In: *Applied Physics Letters* 33 (1978), Nr. 10, S. 895–897. – URL <http://link.aip.org/link/?APL/33/895/1>
- [16] BORN, Mathias: *Vertical Gate Controlled Tunnel Transistors in Si and SiGe*, Universität der Bundeswehr München, Dissertation, 2007
- [17] BRAMBLETT, T. R. ; LU, Q. ; KARASAWA, T. ; HASAN, M.-A. ; JO, S. K. ; GREENE, J. E.: Si(001)2 x 1 gas-source molecular-beam epitaxy from Si<sub>2</sub>H<sub>6</sub>: Growth kinetics and boron doping. In: *Journal of Applied Physics* 76 (1994), Nr. 3, S. 1884–1888. – URL <http://link.aip.org/link/?JAP/76/1884/1>
- [18] BRUEL, M.: Silicon on insulator material technology. In: *Electronics Letters* 31 (1995), Jul, Nr. 14, S. 1201–1202. – ISSN 0013-5194

- [19] BURGMAIR, Markus M.: *Einsatz von Metalloxiden in Gas-Sensoren*, Universität der Bundeswehr München, Dissertation, 2003
- [20] CARROLL, M. S. ; STURM, J. C. ; YANG, M.: Low-Temperature Preparation of Oxygen- and Carbon-Free Silicon and Silicon-Germanium Surfaces for Silicon and Silicon-Germanium Epitaxial Growth by Rapid Thermal Chemical Vapor Deposition. In: *Journal of The Electrochemical Society* 147 (2000), Nr. 12, S. 4652–4659. – URL <http://link.aip.org/link/?JES/147/4652/1>
- [21] CASADY, J. B. ; JOHNSON, R. W.: Status of silicon carbide (SiC) as a wide-bandgap semiconductor for high-temperature applications: A review. In: *Solid-State Electronics* 39 (1996), Nr. 10, S. 1409 – 1422. – URL <http://www.sciencedirect.com/science/article/B6TY5-3VSR9J0-1/2/a871c11636e937dc45bfdf48e29f725b>. – ISSN 0038-1101
- [22] CHANDLER, T. C.: MEMC Etch - A Chromium Trioxide-Free Etchant for Delineating Dislocations and Slip in Silicon. In: *Journal of The Electrochemical Society* 137 (1990), Nr. 3, S. 944–948. – URL <http://link.aip.org/link/?JES/137/944/1>
- [23] CHEN, Lai-Cheng ; CHEN, Minjan ; LIEN, Chenhsin ; WAN, Chi-Chao: The Band Model and the Etching Mechanism of Silicon in Aqueous KOH. In: *Journal of The Electrochemical Society* 142 (1995), Nr. 1, S. 170–176. – URL <http://link.aip.org/link/?JES/142/170/1>
- [24] CHEN, Shiao-Shien ; HUANG-LU, Shiang ; TANG, Tien-Hao: Direct tunneling-induced floating-body effect in 90-nm pseudo-kink-free PD SOI pMOSFETs with DTMOS-like behavior and low input power consumption. In: *Electron Devices, IEEE Transactions on* 51 (2004), apr., Nr. 4, S. 575 – 580. – ISSN 0018-9383
- [25] CHENG, C.C. ; TAYLOR, P.A. ; WALLACE, R.M. ; GUTLEBEN, H. ; CLEMEN, L. ; COLAIANNI, M.L. ; CHEN, P.J. ; WEINBERG, W.H. ; CHOYKE, W.J. ; JR., J.T. Y.: Hydrocarbon surface chemistry on Si(100). In: *Thin Solid Films* 225 (1993), Nr. 1-2, S. 196 – 202. – URL <http://www.sciencedirect.com/science/article/B6TW0-46NY79X-3V/2/b094d37c06c3d5ec436cde1e80d204c6>. – ISSN 0040-6090
- [26] CLAASSEN, W. A. P. ; BLOEM, J.: The Nucleation of CVD Silicon on SiO<sub>2</sub> and Si<sub>3</sub>N<sub>4</sub> Substrates. In: *Journal of The Electrochemical Society* 127 (1980), Nr. 8, S. 1836–1843. – URL <http://link.aip.org/link/?JES/127/1836/1>
- [27] COLINGE, Jean-Pierre: *Silicon-on-insulator technology*. Springer Science, 2004
- [28] COON, P. A. ; WISE, M. L. ; GEORGE, S. M.: Modeling silicon epitaxial growth with SiH<sub>2</sub>Cl<sub>2</sub>. In: *Journal of Crystal Growth* 130 (1993), Nr. 1-2,

- S. 162 – 172. – URL <http://www.sciencedirect.com/science/article/B6TJ6-46TYBD0-28/2/02e234078b5628c525073bb4a4908ddb>. – ISSN 0022-0248
- [29] CRISTOLOVEANU, S. ; REICHERT, G.: Recent advances in SOI materials and device technologies for high temperature. In: *High-Temperature Electronic Materials, Devices and Sensors Conference, 1998*, Feb 1998, S. 86–93
- [30] CRISTOLOVEANU, Sorin: Silicon on insulator technologies and devices: from present to future. In: *Solid-State Electronics* 45 (2001), Nr. 8, S. 1403 – 1411. – URL <http://www.sciencedirect.com/science/article/B6TY5-43X7RPD-1P/2/15c096f31720140f3a45172345e5186c>. – ISSN 0038-1101
- [31] DAI, Chih-Hao ; CHANG, Ting-Chang ; CHU, Ann-Kuo ; KUO, Yuan-Jui ; CHEN, Shih-Ching ; TSAI, Chih-Chung ; HO, Szu-Han ; LO, Wen-Hung ; XIA, Guangrui ; CHENG, O. ; HUANG, Cheng T.: On the Origin of Hole Valence Band Injection on GIFBE in PD SOI n-MOSFETs. In: *Electron Device Letters, IEEE* 31 (2010), Jun., Nr. 6, S. 540 –542. – ISSN 0741-3106
- [32] DRAPER, B. ; PALMER, D.: Extension of High-Temperature Electronics. In: *Components, Hybrids, and Manufacturing Technology, IEEE Transactions on* 2 (1979), Dec, Nr. 4, S. 399–404. – ISSN 0148-6411
- [33] DREIKE, P.L. ; FLEETWOOD, D.M. ; KING, D.B. ; SPRAUER, D.C. ; ZIPPERIAN, T.E.: An overview of high-temperature electronic device technologies and potential applications. In: *Components, Packaging, and Manufacturing Technology, Part A, IEEE Transactions on* 17 (1994), Dec, Nr. 4, S. 594–609. – ISSN 1070-9886
- [34] F. PATRICK MCCLUSKEY, Richard G. ; PODLESAK, Thomas ; F. PATRICK MCCLUSKEY, Richard G. (Hrsg.) ; PODLESAK, Thomas (Hrsg.): *High Temperature Electronics*. CRC press, 1997
- [35] FRANCIS, P. ; TERAQ, A. ; GENTINNE, B. ; FLANDRE, D. ; COLINGE, J.-P.: SOI technology for high-temperature applications. In: *Electron Devices Meeting, 1992. Technical Digest., International*, Dec 1992, S. 353–356
- [36] FREITAG, Gunter: *Entwicklung eines neuen Feld-Effekt-Gassensors mit hybridem Gate-Aufbau und vertikalem Transistordesign*, Universität der Bundeswehr München, Dissertation, 2005
- [37] GARONE, P. M. ; STURM, J. C. ; SCHWARTZ, P. V. ; SCHWARZ, S. A. ; WILKENS, B. J.: Silicon vapor phase epitaxial growth catalysis by the presence of germane. In: *Applied Physics Letters* 56 (1990), Nr. 13, S. 1275–1277. – URL <http://link.aip.org/link/?APL/56/1275/1>
- [38] GERGINTSCHEW, Zenko ; KORNETZKY, Peter ; SCHIPANSKI, Dagmar: The capacitively controlled field effect transistor (CCFET) as a new low power

- gas sensor. In: *Sensors and Actuators B: Chemical* 36 (1996), Nr. 1-3, S. 285 – 289. – URL <http://www.sciencedirect.com/science/article/B6THH-3TJ5HGV-T/2/60e645844ea48f2a4a112ec74e9450c8>. – Proceedings of the Sixth International Meeting on Chemical Sensors. – ISSN 0925-4005
- [39] GHANI, T. ; ARMSTRONG, M. ; AUTH, C. ; BOST, M. ; CHARVAT, P. ; GLASS, G. ; HOFFMANN, T. ; JOHNSON, K. ; KENYON, C. ; KLAUS, J. ; MCINTYRE, B. ; MISTRY, K. ; MURTHY, A. ; SANDFORD, J. ; SILBERSTEIN, M. ; SIVAKUMAR, S. ; SMITH, P. ; ZAWADZKI, K. ; THOMPSON, S. ; BOHR, M.: A 90nm high volume manufacturing logic technology featuring novel 45nm gate length strained silicon CMOS transistors. In: *Electron Devices Meeting, 2003. IEDM '03 Technical Digest. IEEE International*, Dec. 2003, S. 11.6.1–11.6.3
- [40] GOSSNER, H. ; WITTMANN, F. ; EISELE, I. ; GRABULLA, T. ; BEHAMMER, D.: Vertical MOS technology with sub-0.1  $\mu\text{m}$  channel lengths. In: *Electronics Letters* 31 (1995), Aug, Nr. 16, S. 1394–1396. – ISSN 0013-5194
- [41] GRAY, Struan M. ; JOHANSSON, Mikael K.-J. ; JOHANSSON, Lars S. O.: Nanoscale roughening of Si(001) by oxide desorption in ultrahigh vacuum. In: *J. Vac. Sci. Technol. B* Bd. 14, AVS, 3 1996, S. 1043–1047. – URL <http://link.aip.org/link/?JVB/14/1043/1>
- [42] GREEN, M. L. ; WEIR, B. E. ; BRASEN, D. ; HSIEH, Y. F. ; HIGASHI, G. ; FEYGENSON, A. ; FELDMAN, L. C. ; HEADRICK, R. L.: Mechanically and thermally stable Si-Ge films and heterojunction bipolar transistors grown by rapid thermal chemical vapor deposition at 900 °C. In: *Journal of Applied Physics* 69 (1991), Nr. 2, S. 745–751. – URL <http://link.aip.org/link/?JAP/69/745/1>
- [43] GRÄF, D. ; GRUNDNER, M. ; R., Schulz: Reaction of water with hydrofluoric acid treated silicon (111) and (100) surfaces. In: *Journal of Vacuum Science & Technology A: Vacuum, Surfaces, and Films* 7 (1989), S. 808–813
- [44] GROVE, A. S.: *Physics and Technology of Semiconductor Devices*. John Wiley & Sons, 1967
- [45] GROVE, A. S. ; O. LEISTIKO, Jr. ; SAH, C. T.: Redistribution of Acceptor and Donor Impurities during Thermal Oxidation of Silicon. In: *Journal of Applied Physics* 35 (1964), Nr. 9, S. 2695–2701. – URL <http://link.aip.org/link/?JAP/35/2695/1>
- [46] HANSCH, W. ; EISELE, I. ; KIBBEL, H. ; KÖNIG, U. ; RAMM, J.: Device quality of in situ plasma cleaning for silicon molecular beam epitaxy. In: *Journal of Crystal Growth* 157 (1995), Nr. 1-4, S. 100 – 104. – URL <http://www.sciencedirect.com/science/article/B6TJ6-3Y5FPNK-P/2/1732a7985cd9ceb69a3d5431852f8174>. – Silicon Molecular Beam Epitaxy 1995. – ISSN 0022-0248

- [47] HEYNS, M.M. ; BEARDA, T.: Cost-effective cleaning and high-quality thin gate oxides. In: *IBM Journal of Research & Development* 43 (1999), Nr. 3, S. 339 – 350. – URL <http://search.ebscohost.com/login.aspx?direct=true&db=buh&AN=2112319&site=ehost-live>. – ISSN 00188646
- [48] HIERLEMANN, M. ; KERSCH, A. ; WERNER, C. ; SCHAFER, H.: A Gas-Phase and Surface Kinetics Model for Silicon Epitaxial Growth with  $\text{SiH}_2\text{Cl}_2$  in an RTCVD Reactor. In: *Journal of The Electrochemical Society* 142 (1995), Nr. 1, S. 259–266. – URL <http://link.aip.org/link/?JES/142/259/1>
- [49] HILLERINGMANN, U.: *Silizium-Halbleitertechnologie*. Teubner Studienskripten, 1996
- [50] HÖLLT, Lothar: *Quantenmechanische und ballistische Nanobauelemente auf Siliziumbasis*, Universität der Bundeswehr München, Dissertation, 2008
- [51] HOPPE, Bernhard: *Mikroelektronik 1*. Vogel Buchverlag, 1997
- [52] HOPPE, Bernhard: *Mikroelektronik 2*. Vogel Buchverlag, 1998
- [53] HOUGHTON, D.C. ; GIBBINGS, C.J. ; TUPPEN, C.G. ; LYONS, M.H. ; HALLIWELL, M.A.G.: The structural stability of uncapped versus buried  $\text{Si}_{1-x}\text{Ge}_x$  strained layers through high temperature processing. In: *Thin Solid Films* 183 (1989), Nr. 1-2, S. 171 – 182. – URL <http://www.sciencedirect.com/science/article/B6TW0-46NYFXB-2BS/2/9383eb8f01dcc4fc8befc1da9570b81b>. – ISSN 0040-6090
- [54] HOUSTON, Michael R. ; MABOUDIAN, Roya: Stability of ammonium fluoride-treated Si(100). In: *Journal of Applied Physics* 78 (1995), Nr. 6, S. 3801–3808. – URL <http://link.aip.org/link/?JAP/78/3801/1>
- [55] HU, X. F. ; XU, Z. ; LIM, D. ; DOWNER, M. C. ; PARKINSON, P. S. ; GONG, B. ; HESS, G. ; EKERDT, J. G.: In situ optical second-harmonic-generation monitoring of disilane adsorption and hydrogen desorption during epitaxial growth on Si(001). In: *Applied Physics Letters* 71 (1997), Nr. 10, S. 1376–1378. – URL <http://link.aip.org/link/?APL/71/1376/1>
- [56] HUANG, J.S.T. ; CHEN, H.J. ; KUENG, J.S.: Modeling of output snapback characteristics in n-channel SOI MOSFETs. In: *Electron Devices, IEEE Transactions on* 39 (1992), May., Nr. 5, S. 1170 –1178. – ISSN 0018-9383
- [57] ISHIZAKA, Akitoshi ; SHIRAKI, Yasuhiro: Low Temperature Surface Cleaning of Silicon and Its Application to Silicon MBE. In: *Journal of The Electrochemical Society* 133 (1986), Nr. 4, S. 666–671. – URL <http://link.aip.org/link/?JES/133/666/1>
- [58] JANG, Syun-Ming ; LIAO, Kenneth ; REIF, Rafael: Phosphorus doping of epitaxial Si and  $\text{Si}_{1-x}\text{Ge}_x$  at very low pressure. In: *Applied Physics Letters* 63

- (1993), Nr. 12, S. 1675–1677. – URL <http://link.aip.org/link/?APL/63/1675/1>
- [59] KASPER, E. ; HERZOG, H. ; KIBBEL, H.: A one-dimensional SiGe superlattice grown by UHV epitaxy. In: *Applied Physics A: Materials Science & Processing* 8 (1975), November, Nr. 3, S. 199–205. – URL <http://dx.doi.org/10.1007/BF00896611>
- [60] KERN, W. ; PUOTINEN, D. A.: Cleaning solutions based on hydrogen peroxide in silicon semiconductor technology. In: *RCA Review* 31 (1970), S. 187–206
- [61] KERN, Werner: The Evolution of Silicon Wafer Cleaning Technology. In: *Journal of The Electrochemical Society* 137 (1990), Nr. 6, S. 1887–1892. – URL <http://link.aip.org/link/?JES/137/1887/1>
- [62] KIRSCHMAN, Randall ; KIRSCHMAN, Randall (Hrsg.): *High-Temperature Electronics*. IEEE Press, 1998
- [63] KIUNKE, W. ; HAMMERL, E. ; EISELE, I.: MBE-grown vertical silicon MOSFETs with sub-0.3  $\mu\text{m}$  channel lengths. In: *Journal of Crystal Growth* 127 (1993), Nr. 1-4, S. 73 – 75. – URL <http://www.sciencedirect.com/science/article/B6TJ6-46J3RF2-5X/2/2b8a6069bc3dce539c50abfe980eab18>. – ISSN 0022-0248
- [64] KOBAYASHI, K. ; MIYATAKE, H. ; HIRAYAMA, M. ; HIGAKI, T. ; ABE, H.: Dielectric Breakdown and Current Conduction of Oxide/Nitride/Oxide Multi-Layer Structures. In: *Journal of The Electrochemical Society* 139 (1992), Nr. 6, S. 1693–1699. – URL <http://link.aip.org/link/?JES/139/1693/1>
- [65] L. M. TOLBERT, S. K. I. ; CHINTHAVALI, M.: Wide Bandgap Semiconductors for Utility Applications. In: *Proceedings of the IASTED International Conference on Power and Energy Systems (PES 2003), Palm Springs, California, pp. 317-321, February 24-26, 2003*, 2003
- [66] LANDER, J. J. ; MORRISON, J.: Low Voltage Electron Diffraction Study of the Oxidation and Reduction of Silicon. In: *Journal of Applied Physics* 33 (1962), Nr. 6, S. 2089–2092. – URL <http://link.aip.org/link/?JAP/33/2089/1>
- [67] LEGTENBERG, Rob ; JANSEN, Henri ; BOER, Meint de ; ELWENSPOEK, Miko: Anisotropic Reactive Ion Etching of Silicon Using SF<sub>6</sub>/O<sub>2</sub>/CHF<sub>3</sub> Gas Mixtures. In: *Journal of The Electrochemical Society* 142 (1995), Nr. 6, S. 2020–2028. – URL <http://link.aip.org/link/?JES/142/2020/1>
- [68] LENZLINGER, M. ; SNOW, E. H.: Fowler-Nordheim Tunneling into Thermally Grown SiO<sub>2</sub>. In: *Journal of Applied Physics* 40 (1969), Nr. 1, S. 278–283. – URL <http://link.aip.org/link/?JAP/40/278/1>
- [69] LUNDSTROM, I. ; SHIVARAMAN, S. ; SVENSSON, C. ; LUNDKVIST, L.: A hydrogen - sensitive MOS field - effect transistor. In: *Applied Physics Letters* 26 (1975), Nr. 2, S. 55–57. – URL <http://link.aip.org/link/?APL/26/55/1>

- [70] MATTHEWS, J.W. ; BLAKESLEE, A.E.: Defects in epitaxial multilayers: I. Misfit dislocations. In: *Journal of Crystal Growth* 27 (1974), S. 118 – 125. – URL <http://www.sciencedirect.com/science/article/B6TJ6-4NGKJHD-F/2/c9bcce50b19aab3fbf05faab6e647e7c>. – ISSN 0022-0248
- [71] MCBRAYER, John D.: High-Temperature Complementary Metal Oxide Semiconductor (CMOS). In: *Proceedings of the Conference on High Temperature Electronics, March 25-27, 1981, Tucson Arizona, p 101-104*, 1981
- [72] MERCHA, A. ; RAFI, J.M. ; SIMOEN, E. ; AUGENDRE, E. ; CLAEYS, C.: Linear kink effect induced by electron valence band tunneling in ultrathin gate oxide bulk and SOI MOSFETS. In: *Electron Devices, IEEE Transactions on* 50 (2003), Juli, Nr. 7, S. 1675 – 1682. – ISSN 0018-9383
- [73] MOERS, J.: Turning the world vertical: MOSFETs with current flow perpendicular to the wafer surface. In: *Applied Physics A: Materials Science & Processing* 87 (2007), Juni, Nr. 3, S. 531–537. – URL <http://dx.doi.org/10.1007/s00339-007-3986-9>
- [74] MOERS, J. ; KLAES, D. ; TÖNNESMANN, A. ; VESCAN, L. ; WICKENHÄUSER, S. ; GRABOLLA, T. ; MARSO, M. ; KORDOS, P. ; LÜTH, H.: Vertical p-MOSFETs with gate oxide deposition before selective epitaxial growth. In: *Solid-State Electronics* 43 (1999), Nr. 3, S. 529 – 535. – URL <http://www.sciencedirect.com/science/article/B6TY5-3VPK4XJ-C/2/56649c5421745ffc3f4af010b90212ff>. – ISSN 0038-1101
- [75] NICOLLIAN, E. H. ; BREWS, J. R.: *MOS (Metal Oxide Semiconductor) Physics and Technology*. John Wiley & Sons, 1982
- [76] NOWAK, E.J. ; ALLER, I. ; LUDWIG, T. ; KIM, K. ; JOSHI, R.V. ; CHUANG, Ching-Te ; BERNSTEIN, K. ; PURI, R.: Turning silicon on its edge [double gate CMOS/FinFET technology]. In: *Circuits and Devices Magazine, IEEE* 20 (2004), Jan-Feb, Nr. 1, S. 20–31. – ISSN 8755-3996
- [77] OPREA, Alexandru ; FRERICHS, Heinz-Peter ; WILBERTZ, Christoph ; LEHMANN, Mirko ; WEIMAR, Udo: Hybrid gas sensor platform based on capacitive coupled field effect transistors: Ammonia and nitrogen dioxide detection. In: *Sensors and Actuators B: Chemical* 127 (2007), Nr. 1, S. 161 – 167. – URL <http://www.sciencedirect.com/science/article/B6THH-4P5NX2K-4/2/d7ca2ce238ec25d45c2e8602a28acbf1>. – Special Issue: Eurosensors XX The 20th European Conference on Solid-State Transducers, the 20th European conference on Solid-State Transducers. – ISSN 0925-4005
- [78] OSTEN, H. J. ; METHFESSEL, M. ; LIPPERT, G. ; RÜCKER, H.: Observation of the formation of a carbon-rich surface layer in silicon. In: *Phys. Rev. B* 52 (1995), Oct, Nr. 16, S. 12179–12183

- [79] PRETET, J. ; MATSUMOTO, T. ; POIROUX, T. ; CRISTOLOVEANU, S. ; GWOZIECKI, R. ; RAYNAUD, C.E. ; ROVEDA, A. ; BRUT, H.: New Mechanism of Body Charging in Partially Depleted SOI-MOSFETs with Ultra-thin Gate Oxides. In: *Solid-State Device Research Conference, 2002. Proceeding of the 32nd European*, 2002, S. 515 – 518
- [80] PUTTE, P. van der ; GILING, L. J. ; BLOEM, J.: Surface morphology of HCl etched silicon wafers : I. Gas phase composition in the silicon HCl system and surface reactions during etching. In: *Journal of Crystal Growth* 41 (1977), Nr. 1, S. 133 – 145. – URL <http://www.sciencedirect.com/science/article/B6TJ6-46CC69H-JY/2/52b2df3fec2be014895657b26f429a97>. – ISSN 0022-0248
- [81] RAVI, K. V.: *Imperfections and Impurities in Semiconductor Silicon*. John Wiley & Sons, 1981
- [82] REGOLINI, J. ; BENSACHEL, D. ; MERCIER, J.: Reduced pressure and temperature epitaxial silicon CVD kinetics and applications. In: *Journal of Electronic Materials* 19 (1990), Oktober, Nr. 10, S. 1075–1081. – URL <http://dx.doi.org/10.1007/BF02651984>
- [83] REICHERT, G. ; RAYNAUD, C. ; FAYNOT, O. ; BALESTRA, F. ; CRISTOLOVEANU, S.: Submicron SOI-MOSFETs for high temperature operation (300-600K). In: *Microelectronic Engineering* 36 (1997), Nr. 1-4, S. 359 – 362. – URL <http://www.sciencedirect.com/science/article/B6V0W-3WNMYVK-2K/2/58a01a341ca781ccf61d8f6d5b62bc02>. – Proceedings of the biennial conference on Insulating Films on Semiconductors. – ISSN 0167-9317
- [84] RIJKS, H. J. ; BLOEM, J. ; GILING, L. J.: The effect of trace amounts of oxygen on the HCl etching of silicon. In: *Journal of Crystal Growth* 47 (1979), Nr. 3, S. 397 – 404. – URL <http://www.sciencedirect.com/science/article/B6TJ6-46BXY8Y-DS/2/20662436124c6b98c5ca40021922748b>. – ISSN 0022-0248
- [85] RUGE, Ingolf: *Halbleiter-Technologie*. Springer Verlag, 1984
- [86] RUNYAN, W. R.: *Semiconductor Measurements and Instrumentation*. Texas Instruments Electronics Series, 1975
- [87] SAI-HALASZ, G.A. ; SHORT, K.T. ; WILLIAMS, J.S.: Antimony and arsenic segregation at Si-SiO<sub>2</sub> interfaces. In: *Electron Device Letters, IEEE* 6 (1985), Jun, Nr. 6, S. 285–287. – ISSN 0741-3106
- [88] SANGANERIA, Mahesh K. ; VIOLETTE, Katherine E. ; OZTURK, Mehmet C. ; HARRIS, Gari ; MAHER, Dennis M.: Boron Incorporation in Epitaxial Silicon Using Si<sub>2</sub>H<sub>6</sub> and B<sub>2</sub>H<sub>6</sub> in an Ultrahigh Vacuum Rapid Thermal Chemical Vapor Deposition Reactor. In: *Journal of The Electrochemical Society* 142

- (1995), Nr. 1, S. 285–289. – URL <http://link.aip.org/link/?JES/142/285/1>
- [89] SCHIMMEL, D. G.: Defect Etch for <100> Silicon Evaluation. In: *Journal of The Electrochemical Society* 126 (1979), Nr. 3, S. 479–483. – URL <http://link.aip.org/link/?JES/126/479/1>
- [90] SCHINDLER, Markus: *Selektive Epitaxie für Quantenbauelemente*, Universität der Bundeswehr, Dissertation, 2006
- [91] SEDGWICK, T. O. ; AGNELLO, P. D. ; NGOC, D. N. ; KUAN, T. S. ; SCILLA, G.: High phosphorus doping of epitaxial silicon at low temperature and atmospheric pressure. In: *Applied Physics Letters* 58 (1991), Nr. 17, S. 1896–1898. – URL <http://link.aip.org/link/?APL/58/1896/1>
- [92] SEITER, H.: An integrational etching solution for declination of dislocations in Si. In: H.R. HUFF, E. S. (Hrsg.): *Semiconductor Silicon 1977 in Electrochem. Soc. Proc. Series*, 1977, S. 187–195
- [93] SENFT, C. ; ISKRA, P. ; EISELE, I. ; WILBERTZ, C. ; FRERICHS, H.P.: Temperature controlled phase transition as a detection principle for gas FETs (TPT-FET). In: *Sensors, 2008 IEEE*, Oct. 2008, S. 1316–1319. – ISSN 1930-0395
- [94] SENFTLEBEN, Oliver: *Elektrische Nanobauelemente auf Basis von C60-Fullerenen*, Universität der Bundeswehr, Fakultät für Elektrotechnik und Informationstechnik, Dissertation, 2009
- [95] SHOUCAIR, F.: Design Consideration in High Temperature Analog CMOS Integrated Circuits. In: *Components, Hybrids, and Manufacturing Technology, IEEE Transactions on* 9 (1986), Sep, Nr. 3, S. 242–251. – ISSN 0148-6411
- [96] SHOUCAIR, F. ; HWANG, W. ; JAIN, P.: Electrical characteristics of large scale integration (LSI) MOSFETs at very high temperatures part I: Theory. In: *Microelectronics Reliability* 24 (1984), Nr. 3, S. 465 – 485. – URL <http://www.sciencedirect.com/science/article/B6V47-47WTM1Y-128/2/4742a328aede453291c78119e00676e>. – ISSN 0026-2714
- [97] SHOUCAIR, F. ; HWANG, W. ; JAIN, P.: Electrical characteristics of large scale integration (LSI) MOSFETs at very high temperatures part II: Experiment. In: *Microelectronics Reliability* 24 (1984), Nr. 3, S. 487 – 510. – URL <http://www.sciencedirect.com/science/article/B6V47-47WTM1Y-129/2/092379a80b441fb32dff53503c29b4ba>. – ISSN 0026-2714
- [98] SHOUCAIR, F.S.: Scaling, subthreshold, and leakage current matching characteristics in high-temperature (25°C-250°C) VLSI CMOS devices. In: *Components, Hybrids, and Manufacturing Technology, IEEE Transactions on* 12 (1989), Dec, Nr. 4, S. 780–788. – ISSN 0148-6411

- [99] SMITH, F. W. ; GHIDINI, G.: Reaction of Oxygen with Si(111) and (100): Critical Conditions for the Growth of SiO<sub>2</sub>. In: *Journal of The Electrochemical Society* 129 (1982), Nr. 6, S. 1300–1306. – URL <http://link.aip.org/link/?JES/129/1300/1>
- [100] STERKEL, Martin: *Ultra-Kurzkanal Tunnel-Feldeffekt-Transistoren auf Silizium und SOI-Substraten*, Technische Universität München, Dissertation, 2006
- [101] STOLL, Sebastian: *Dotierung durch Diffusion mit Spin On Dopants*, Universität der Bundeswehr, Diplomarbeit, 2009
- [102] SUVAR, E. ; RADAMSON, H. H. ; GRAHN, J. V.: Phosphorus profile control in low-temperature silicon epitaxy by reduced pressure chemical vapor deposition. In: *Materials Science and Engineering B* 89 (2002), Nr. 1-3, S. 314 – 318. – URL <http://www.sciencedirect.com/science/article/B6TXF-44YVPGS-2B/2/dcaecd57286668bc24513525f99c550b>. – ISSN 0921-5107
- [103] SZE, Simon M.: *Physics of Semiconductor Devices*. Wiley & Sons, 1982
- [104] TAKAGI, Shin ichi ; TORIUMI, A: Observation of anisotropic impact ionization in Si MOSFET. In: *Semiconductor Science and Technology* 7 (1992), S. B601–B603
- [105] THOME, D. B.: A summary of high-temperature electronics research and development. In: *Proceedings of the 9th Symposium on Space Nuclear Power Systems, Albuquerque, NM, 13-16 Jan. 1992, 1992*
- [106] THOMPSON, S.E. ; CHAU, R.S. ; GHANI, T. ; MISTRY, K. ; TYAGI, S. ; BOHR, M.T.: In search of Forever continued transistor scaling one new material at a time. In: *Semiconductor Manufacturing, IEEE Transactions on* 18 (2005), Feb., Nr. 1, S. 26–36. – ISSN 0894-6507
- [107] TIHANYI, Jenö ; SCHLÖTTERER, Heinrich: Influence of the floating substrate potential on the characteristics of ESFI MOS transistors. In: *Solid-State Electronics* 18 (1975), Nr. 4, S. 309 – 314. – URL <http://www.sciencedirect.com/science/article/B6TY5-46V5F0S-60/2/a9870d6944152c972d173d1a26ba58bd>. – ISSN 0038-1101
- [108] TILLACK, B. ; KRÜGER, D. ; GAWORZEWSKI, P. ; RITTER, G.: Atomic layer doping of SiGe by low pressure (rapid thermal) chemical vapor deposition. In: *Thin Solid Films* 294 (1997), Nr. 1-2, S. 15 – 17. – URL <http://www.sciencedirect.com/science/article/B6TW0-41WBB52-4/2/49ee5ff0f98e1b2e0fcb30b402e4089c>. – ISSN 0040-6090
- [109] TOAN, Nguyen N.: *Spin-On Glass Materials and Applications in Advanced IC Technologies*, Universität Twente, Dissertation, 1999

- [110] TROMP, R. ; RUBLOFF, G. W. ; BALK, P. ; LEGOUES, F. K. ; LOENEN, E. J. van: High-Temperature SiO<sub>2</sub> Decomposition at the SiO<sub>2</sub>/Si Interface. In: *Phys. Rev. Lett.* 55 (1985), Nov, Nr. 21, S. 2332–2335
- [111] TYAGI, M. S.: Zener and avalanche breakdown in silicon alloyed p-n junctions– I : Analysis of reverse characteristics. In: *Solid-State Electronics* 11 (1968), Nr. 1, S. 99 – 115. – URL <http://www.sciencedirect.com/science/article/B6TY5-46WVW4S-9/2/e5004422094c23e23e2190f13ff564a0>. – ISSN 0038-1101
- [112] VERBECK, M. ; ZIMMERMANN, C. ; FIEDLER, H.L.: A MOS switched-capacitor ladder filter in SIMOX technology for high temperature applications up to 300°C. In: *Solid-State Circuits, IEEE Journal of* 31 (1996), Jul, Nr. 7, S. 908–914. – ISSN 0018-9200
- [113] VERHAVERBEKE, S. ; PARKER, J. W.: A Model for Etching of Ti and TiN in SC-1 Solutions. In: *Proceedings on the Material Research Society Symposium* Bd. 477, 1997, S. 447–458
- [114] WIDMANN, D. ; MADER, H. ; FRIEDRICH, H.: *Technologie hochintegrierter Schaltungen*. Springer Verlag, 1996
- [115] WILLANDER, M. ; HARTNAGEL, H. L. ; WILLOUGHBY, A. F. W. (Hrsg.) ; HULL, R. (Hrsg.): *High Temperature Electronics*. Chapman & Hall, 1997
- [116] XU, M.W. ; DECOUTERE, S. ; SIBAJA-HERNANDEZ, A. ; VAN WICHELEN, K. ; WITTERS, L. ; LOO, R. ; KUNNEN, E. ; KNORR, C. ; SADOVNIKOV, A. ; BULUCEA, C.: Ultra low power SiGe:C HBT for 0.18 μm RF-BiCMOS. In: *Electron Devices Meeting, 2003. IEDM '03 Technical Digest. IEEE International*, Dec. 2003, S. 5.4.1–5.4.4
- [117] YANG, M. ; IEONG, M. ; SHI, L. ; CHAN, K. ; CHAN, V. ; CHOU, A. ; GUSEV, E. ; JENKINS, K. ; BOYD, D. ; NINOMIYA, Y. ; PENDLETON, D. ; SURPRIS, Y. ; HEENAN, D. ; OTT, J. ; GUARINI, K. ; D'EMIC, C. ; COBB, M. ; MOONEY, P. ; TO, B. ; ROVEDO, N. ; BENEDICT, J. ; MO, R. ; NG, H.: High performance CMOS fabricated on hybrid substrate with different crystal orientations. In: *Electron Devices Meeting, 2003. IEDM '03 Technical Digest. IEEE International*, 2003, S. 18.7.1 – 18.7.4
- [118] YANG, Min ; CARROLL, Malcolm ; STURM, J. C. ; BUYUKLIMANLI, Temel: Phosphorus Doping and Sharp Profiles in Silicon and Silicon-Germanium Epitaxy by Rapid Thermal Chemical Vapor Deposition. In: *Journal of The Electrochemical Society* 147 (2000), Nr. 9, S. 3541–3545. – URL <http://link.aip.org/link/?JES/147/3541/1>
- [119] YU, Ming L. ; VITKAVAGE, D. J. ; MEYERSON, B. S.: Doping reaction of PH<sub>3</sub> and B<sub>2</sub>H<sub>6</sub> with Si(100). In: *Journal of Applied Physics* 59 (1986), Nr. 12, S. 4032–4037. – URL <http://link.aip.org/link/?JAP/59/4032/1>



- 
- [120] ZILBAUER, T. ; ISKRA, P. ; KULAGA-EGGER, D. ; SCHLOSSER, M. ; LOCHNER, H. ; SULIMA, T. ; EISELE, I.: Optimized hydrogen bake as in-situ removal of residual oxide and carbon on silicon substrates for thin film deposition. In: *Proceedings on the DPG-Spring Meeting, 2008*





# Publikationen

## 2006:

- ISKRA P. ; KAZEMPOOR M. ; LILIENKAMP G. ; DAUM W. : Characterization of thin sol-gel-deposited high-k zirconia ( $ZrO_2$ ) layers. *DPG-Spring Meeting of the Condensed Matter Division*, Dresden, 27.-31 März 2006.
- MANSCHWETUS B.; RUMPEL A. ; ISKRA P. ; LILIENKAMP G.; DAUM W. : Charge trapping at Si(100)- $ZrO_2$  interfaces studied by second-harmonic generation. *DPG-Spring Meeting of the Condensed Matter Division*, Dresden, 27.-31. März 2006.

## 2007:

- SENFTLEBEN O. ; ISKRA P. ; STIMPEL-LINDNER T. ; EISELE I. ; BAUMGÄRTNER H. : Evaluation of Low-Temperature  $SiO_x$  as an Insulating Barrier. *DPG-Spring Meeting of the Condensed Matter Division*, Regensburg, 26.-30. März 2007.
- ABELEIN U. ; ASSMUTH A. ; ISKRA P. ; SCHINDLER M. ; SULIMA T. ; EISELE I. : Doping profile dependence of the vertical impact ionization MOSFET's (I-MOS) performance. In: *Solid-State Electronics*, 2007, 51, 1405 - 1411.
- SULIMA T. ; ISKRA P. ; SENFTLEBEN O. ; ZILBAUER T. ; EISELE I. ; CHIUSI S. ; GONTAD F. ; SERRA C. ; LEÓN B. : Laser Assisted Rapid Thermal Annealing of Lanthanum Oxide and Hafnium Oxid. *Proceedings on the 5<sup>th</sup> International Conference on Silicon Epitaxy and Heterostructures*, Marseille, 20.-25. Mai 2007.

## 2008:

- ISKRA P. ; ZILBAUER T. ; KULAGA-EGGER D. ; SCHLOSSER M. ; SULIMA T. ; EISELE I. : Si-based vertical MOSFETs for high temperature applications. *DPG-Spring Meeting of the Condensed Matter Division*, Berlin, 25.-29. Februar 2008.

- ABELEIN U. ; ISKRA P. ; SCHLOSSER M. ; SULIMA T. ; EISELE I. : MBE-growth and characterization of highly P doped delta layers in silicon. *DPG-Spring Meeting of the Condensed Matter Division*, Berlin, 25.-29. Februar 2008.
- SENFTLEBEN O. ; ISKRA P. ; STIMPEL-LINDNER T. ; KULAGA-EGGER D. ; EISELE I. ; BAUMGÄRTNER H. : The Influence of Carbon Contaminations in Silicon Epitaxy. *DPG-Spring Meeting of the Condensed Matter Division*, Berlin, 25.-29. Februar 2008.
- ZILBAUER T. ; ISKRA P. ; KULAGA-EGGER D. ; SCHLOSSER M. ; LOCHNER H. ; SULIMA T. ; EISELE I. : Optimized hydrogen bake as in-situ removal of residual oxide and carbon on silicon substrates for thin film deposition. *DPG-Spring Meeting of the Condensed Matter Division*, Berlin, 25.-29. Februar 2008.
- ISKRA P. ; SENFT C. ; KULAGA-EGGER D. ; SULIMA T. ; EISELE I. : A GasFET concept for high temperature operation. In *Proceedings on the 7<sup>th</sup> IEEE Conference on Sensors*, Lecce, 26.-29. Oktober 2008. 1301-1304.
- SENFT C. ; ISKRA P. ; EISELE I. ; WILBERTZ C. ; FRERICHS H. : Temperature controlled phase transition as a detection principle for gas FETs (TPT-FET). In *Proceedings on the 7<sup>th</sup> IEEE Conference on Sensors*, Lecce, Italy, Oktober. 26.-29. October 2008. 1316-1319.
- ABELEIN U. ; ASSMUTH A. ; ISKRA P. ; REINL M. ; SCHLOSSER M. ; SULIMA T. ; EISELE I. : Vertical 40 nm Impact Ionization MOSFET (I-MOS) for high temperature applications. In *Proceedings on the 26<sup>th</sup> International Conference on Microelectronics*, Nis, Serbia and Montenegro, 11.-14. Mai 2008, 287-290.

**2009:**

- STOLL S. ; ISKRA P. ; LOCHNER H. ; KULAGA-EGGER D. ; SULIMA T. ; EISELE I. : Process conditions for doping with Spin On dopants. *DPG-Spring Meeting of the Condensed Matter Division*, Dresden, 22.-27. März 2009.
- OTZMANN J. ; LOCHNER H. ; ISKRA P. ; KULAGA-EGGER D. ; SULIMA T. ; EISELE I. : Optimized cleaning procedures for silicon wafers. *DPG-Spring Meeting of the Condensed Matter Division*, Dresden, 22.-27. März 2009.
- KUBOT T. ; ABELEIN U. ; ISKRA P., SULIMA T. ; EISELE I. : Vertical IMOS with n-doped deltas for high temperature applications. *DPG-Spring Meeting of the Condensed Matter Division*, Dresden, 22.-27. März 2009.
- LOCHNER H. ; ISKRA P. ; KULAGA-EGGER D. ; SCHLOSSER M. ; ZILBAUER T. ; SULIMA T. ; EISELE I. : Strained delta SiGe Layer for increasing ON current of Tunnel Field Effect Transistors (TFET). *DPG-Spring Meeting of the Condensed Matter Division*, Dresden, 22.-27. März 2009.

- ISKRA P. ; KULAGA-EGGER D. ; ZILBAUER T. ; LOCHNER H. ; SULIMA T. ; EISELE I. : Phosphorus doping by chemical vapour deposition for vertical p-MOSFETs. *DPG-Spring Meeting of the Condensed Matter Division*, Dresden, 22.-27. März 2009.
- SENFTLEBEN O. ; STIMPEL-LINDNER T. ; ISKRA P. ; EISELE I. ; BAUMGÄRTNER H. : C<sub>60</sub> Nanostructures for Applications in Information Technology. *Advanced Engineering Materials*. 11(4):278-284.
- SCHLOSSER M. ; ISKRA P. ; ABELEIN U. ; LANGE H. ; LOCHNER H. ; SULIMA T. ; WIEST F. ; ZILBAUER T. ; SCHMIDT B.; EISELE I. ; HANSCH W. : The Impact Ionization MOSFET (IMOS) as Low-Voltage Optical Detector. In: *Proceedings on the 11<sup>th</sup> Semiconductor Detector Symposium*. Wildbad Kreuth, 7.-11. Juni 2009.
- LOCHNER H. ; ISKRA P. ; SCHLOSSER M. ; KULAGA-EGGER D. ; ZILBAUER T. ; SULIMA T. ; EISELE I. ; HANSCH W. : Improvement of vertical TFETs by strained SiGe delta layer integration. *International Workshop on Si based nano-electronics and photonic*. Vigo, Spain, 20.-23. September 2009.
- SENFT C. ; ISKRA P. ; EISELE I. : Theory and Applications of Suspended Gate FET Gas Sensors. In *Solid State Gas Sensors: from operating principle to industrialisation*, Springer, 2009. in press.
- SENFT C. ; ISKRA P., EISELE I., HANSCH W. : Work Function based Gas Sensors: Schottky and FET based Devices. In *Chemical Sensors Vol. 2*, Momentum Press, New Jersey. 2009. in press.

**2010:**

- DÖSCHER H. ; LILIENKAMP H. ; ISKRA P. ; KAZEMPOOR M. ; DAUM W. : Thermal Stability of High-Quality ZrO<sub>2</sub> Thin Films Prepared by a Sol-Gel Process on Si(100) Substrates. In *Proceedings on the 37<sup>th</sup> Conference on the Physics and Chemistry of Surfaces and Interfaces*, Santa Fe, USA, 10.-14. Januar 2010
- LOCHNER H. ; ISKRA P. ; SCHLOSSER M. ; KULAGA-EGGER D. ; SULIMA T. ; HANSCH W. : Advanced device performance of TFETs by embedded silicon germanium alloys. *DPG-Spring Meeting of the Condensed Matter Division*, Regensburg, 21.-26. März 2010.
- LILIENKAMP G. ; DÖSCHER H. ; ISKRA P. ; DAUM W. ; HELSCH G. ; BECKER S. ; WROBEL R. ; WEISS H. ; SUCHORSKI Y. : High-Quality ZrO<sub>2</sub>/Si(001) Thin Films by a Sol-Gel Process: Preparation and Characterization. *Journal of Applied Physics*. 107(9): 094103-1-7. Mai 2010.





# Danksagung

Die vorliegende Arbeit wurde im Rahmen meiner Tätigkeit als wissenschaftlicher Mitarbeiter am Institut für Physik der Universität der Bundeswehr in München erstellt. In dem Zeitraum vom 01.02.2006 bis 31.01.2010 wurde ich von zahlreichen Personen unterstützt, denen ich an dieser Stelle recht herzlich danken möchte:

Mein ganz besonderer Dank gilt **Prof. Dr. Ignaz Eisele**, der es mir ermöglichte dieses sehr interessante Thema am Institut zu bearbeiten. In zahlreichen Diskussionen inspirierte er mich Lösungen für auftretende Probleme zu finden. Sein Vertrauen verhalf mir zur eigenständigen wissenschaftlichen Entfaltung.

Seinem Nachfolger **Prof. Dr. Walter Hansch** am Institut danke ich für die Übernahme der Betreuung, sowie für die Möglichkeit Lehrerfahrung an der Nanyang Universität in Singapur zu sammeln. Während dieser Zeit konnte ich meinen Horizont deutlich erweitern.

**Prof. Dr. Hermann Baumgärtner** möchte ich für hilfreiche Diskussionen danken. Insbesondere bei der Interpretation von CV-Messungen konnte ich von ihm sehr viel lernen.

In den vier Jahren, die ich an dem Institut verbracht habe, wurde der Reinraum zu meinem zweiten Wohnzimmer. Im Lauf dieser Zeit teilte ich mein zweites Wohnzimmer mit den vielen Kollegen, die mich stets hilfsbereit begleitet haben. In chronologischer Reihenfolge danke ich hierfür herzlich **Dr. Matthias Born**, **Dr. Markus Schindler**, **Dr. Lothar Höllt**, **Dr. Thomas Zilbauer**, **Helmut Lochner** und **Florian Palitschka** für die schöne Zeit.

Ebenfalls danke ich meinen ehemaligen Reinraummitbewohnern von der Firma *Ketek* **Torsten Bötzw**, **Anke Heller** und **Dr. Florian Wiest**. Vor allem wenn mal was nicht so richtig lief, standen sie stets mit Rat und Tat zur Stelle.

Mein Dank geht auch an **Dr. Tanja Stimpel-Lindner**, die mir die Oberflächenanalyse, auch im Rahmen einer gemeinsamen Fortbildung, näher gebracht hat. Ferner danke ich Ihr für das Korrekturlesen dieser Arbeit, sowie für das Wiedererwecken meiner Leidenschaft für die Feuerwehr.

Ebenfalls für das Korrekturlesen dieser Arbeit möchte ich **Dr. Torsten Sulima** sehr herzlich danken. Ferner kümmerte er sich in Zusammenarbeit mit **Dr. Markus Reinl** um alle Computer-Belange. Beiden danke ich für ihre Arbeit herzlich.

**Dr. Oliver Senftleben** danke ich für die vielen Diskussionen, die weit über die Halbleitert Themen hinausgingen.

Einen Beitrag zu dieser Dissertation trugen die von mir betreuten Diplomanden **Lt. Sebastian Stoll** und **Lt. Heiko Hammer** bei. Für Ihren Einsatz sei beiden gedankt.

**Dorota Kułaga-Egger** danke ich für die unermüdliche Bearbeitung meiner SIMS-Proben.

Im Bereich der Sensorik wurde ich von **Dr. Christoph Senft** unterstützt, wofür ich ihm sehr danke.

Für die Behebung von technischen Problemen möchte ich sehr herzlich **Andreas Rippler**, **Walter Funke**, **Peter Sitter**, **Georg Behringer**, **Peter Ciecierski**, **Hans Messerosch**, **Michael Mayer** und **Hans Bergauer** danken. Zudem gilt mein Dank **Andreas Rippler** für die unzähligen RCA-Cleans und **Peter Ciecierski** für die Lösung von administrativen Problemen.

Um administrative Belange kümmerten sich auch **Karin Bächle**, **Conny Budach** und **Elena Grüner**. Allen drei Damen danke ich sehr herzlich.

Mein Büro teilte ich mit **Rudolf Nüssl** und verlebte mit ihm eine sehr schöne Zeit, für die ich ihm sehr danke.

**Ulrich Abelein** danke ich für die hilfreichen Diskussionen rund um den IMOS.

Außerdem danke ich **Dr. Gunter Freitag** für die Einführung zum Thema FGFET-Sensor.

In der „heißen Phase“ vor der Abgabe unterstützte mich **Christoph Dietzinger** beim Korrekturlesen, wofür ich ihm sehr danke.

Ich danke ebenfalls den ehemaligen Kollegen **Dr. Krishna Bhuwarka**, **Dr. Wahyuwidanarto**, **Dr. Andreas Aßmuth** und **Martin Schlosser** für die gute Zusammenarbeit.

Den derzeitigen Doktoranden **Daniel Beckmeier**, **Michael Görlich**, **Tina Kubot** und **Josef Biba** wünsche ich viel Erfolg bei Ihrer Arbeit.

Zuletzt danke ich meiner Familie, die mich während der gesamten Zeit stets unterstützt hat.



