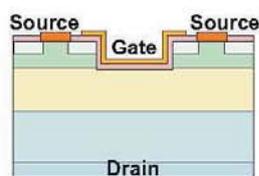
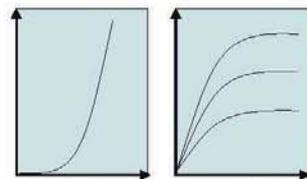


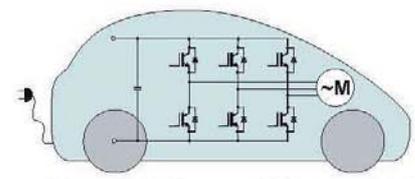
Untersuchungen zu Siliziumkarbid-Leistungshalbleiterschaltern für Wechselrichter mit erhöhten Anforderungen



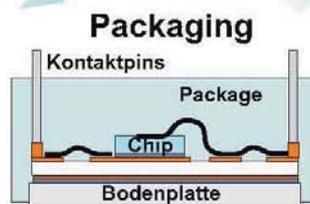
SiC-Prototypen



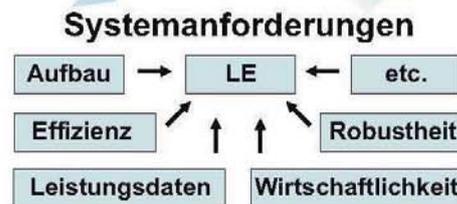
Halbleitereigenschaften



Vergleich und Potenzial



Packaging



Systemanforderungen



Untersuchungen zu Siliziumkarbid-Leistungshalbleiterschaltern für Wechselrichter mit erhöhten Anforderungen

Von der Fakultät für Elektrotechnik, Informationstechnik, Physik
der Technischen Universität Carolo-Wilhelmina zu Braunschweig

zur Erlangung der Würde
eines Doktor-Ingenieurs (Dr.-Ing.)
genehmigte

D I S S E R T A T I O N

von: Dipl.-Ing. Immo Koch
aus: Braunschweig

eingereicht am: 05.05.2011
Mündliche Prüfung am: 17.08.2011

Referenten: Prof. Dr.-Ing. W.-R. Canders
Prof. Dr.-Ing. M. Kurrat
Prüfungsvorsitzender: Prof. Dr.-Ing. J. Meins

2011

Bibliografische Information der Deutschen Nationalbibliothek

Die Deutsche Nationalbibliothek verzeichnet diese Publikation in der Deutschen Nationalbibliografie; detaillierte bibliografische Daten sind im Internet über <http://dnb.d-nb.de> abrufbar.

1. Aufl. - Göttingen: Cuvillier, 2011

Zugl.: (TU) Braunschweig, Univ., Diss., 2011

978-3-86955-956-8

© CUVILLIER VERLAG, Göttingen 2011

Nonnenstieg 8, 37075 Göttingen

Telefon: 0551-54724-0

Telefax: 0551-54724-21

www.cuvillier.de

Alle Rechte vorbehalten. Ohne ausdrückliche Genehmigung des Verlages ist es nicht gestattet, das Buch oder Teile daraus auf fotomechanischem Weg (Fotokopie, Mikrokopie) zu vervielfältigen.

1. Auflage, 2011

Gedruckt auf säurefreiem Papier

978-3-86955-956-8

Die vorliegende Arbeit entstand während meiner Tätigkeit als wissenschaftlicher Mitarbeiter am Institut für Elektrische Maschinen, Antriebe und Bahnen der Technischen Universität Braunschweig.

Herrn Prof. Dr.-Ing. Wolf-Rüdiger Canders gilt mein besonderer Dank für die mir ermöglichte wissenschaftliche Tätigkeit und die stete Hilfsbereitschaft und Unterstützung, die zum Gelingen dieser Arbeit beigetragen haben.

Ebenso danke ich Herrn Prof. Dr.-Ing. Michael Kurrat für die Übernahme der Mitberichterstattung und das entgegengebrachte Interesse an dieser Arbeit. Herrn Prof. Dr.-Ing. Jürgen Meins danke ich für die Durchführung des Prüfungsvorsitzes.

Weiterhin danke ich meinen ehemaligen Kollegen, insbesondere Herrn Dr.-Ing. Günter Tareilus sowie meinen Büropartnern Herrn Dipl.-Ing. Robert Czainki und Herrn Dipl.-Ing. Niklas Langmaack, für ihre Unterstützung und die wertvollen Diskussionen. Allen Studenten, mit denen ich im Zuge meiner Tätigkeit zusammengearbeitet habe, danke ich für ihre Beiträge.

Nicht zuletzt bedanke ich mich bei meiner lieben Frau Nora für die Unterstützung und Geduld, die sie mir während meiner Promotion entgegengebracht hat.

Braunschweig, August 2011

Immo Koch

Kurzfassung

Die Fortschritte in der Halbleitertechnik führten über die letzten Jahrzehnte zu ausgereiften Leistungshalbleiterschaltern auf Basis von Silizium (Si). Um zukünftig die physikalischen Grenzen dieser Bauelemente erweitern zu können, ist der Einsatz eines Halbleitermaterials mit größerem Bandabstand ein Erfolg versprechender Ansatz. Hierzu zählt das Material Siliziumkarbid (SiC), welches robustere und effizientere Leistungshalbleiter und somit kompaktere Systeme in Aussicht stellt.

In der Arbeit werden zunächst ausgewählte Anwendungen mit erhöhten Anforderungen (Automobil, Photovoltaik) vorgestellt, bei denen eine Erweiterung des Temperaturbereiches oder eine höhere Effizienz mittels SiC-Halbleiter vorteilig wären. Die aktuellen Si-Leistungshalbleiterbauelemente, deren Aufbau- und Verbindungstechnik, Verlustmechanismen und Kühlung stellen hierfür den Stand der Technik und somit die Vergleichsreferenz neuer Halbleiter dar.

Die Unterschiede zwischen der SiC- und der Si-Technologie werden anhand der Materialeigenschaften und der darauf basierenden Halbleiterstrukturen erläutert. Die dynamischen und statischen Eigenschaften wurden experimentell an verfügbaren SiC-Mustern untersucht und unter Berücksichtigung gleicher Betriebsbedingungen und gleicher Chip-Flächen sowie -Auslastungen der Si-Referenz gegenübergestellt. Anhand der Variation der Untersuchungsparameter werden weiter die Abhängigkeiten der Verlustanteile aufgezeigt, woraus günstige Anwendungsvoraussetzungen abgeleitet werden können. Die Ergebnisse spiegeln einen Vergleich zwischen den Technologien der untersuchten Si- und SiC-Muster wieder, wobei die hierbei verfolgte Vorgehensweise auch auf andere Prototypen übertragbar ist.

Das Potenzial für Anwendungen wird über Verlustabschätzungen eines dreiphasigen Wechselrichters mit Sperrschichttemperaturen bis 200°C und Schaltfrequenzen bis 30 kHz aufgezeigt. Die Verifizierung der Ergebnisse und die Beurteilung der Einsatzfähigkeit der SiC-Leistungshalbleiter erfolgten an einem SiC-JFET- und einem SiC-MOSFET-Versuchswechselrichter.

Abstract

The progress of semiconductor technology over the last decades has resulted in well-established power semiconductor switches based on silicon (Si). However, to extend the physical limits of semiconductors in the future, the application of wide band gap materials seems to be a promising approach. Silicon carbide (SiC) is a candidate of such materials enabling more robust and compact systems with an enhanced efficiency.

The thesis starts with the description of applications representing demanding challenges like automotive or photovoltaics, where an elevated temperature range and a higher efficiency would be advantageous. The state of the art and the benchmark for new semiconductors is the present Si power semiconductor with respect to production technology, assembly, packaging, loss mechanisms and cooling.

The different features of the SiC and the Si technology are described on the basis of the material characteristics and the appropriate semiconductor structures. The static and dynamic characteristics of the available SiC samples were investigated experimentally and are compared with its Si counterpart with regard to similar conditions, similar chip areas and similar chip utilisation. By varying the test parameters, their typical influences on the losses is obtained and described. Also, favourable conditions for an attractive system performance are identified. The results allow a full comparison of the Si and SiC sample technologies. The pursued approach is also applicable to other new semiconductor prototypes.

The benefit for the semiconductor field of application is identified by the estimation of the total losses of a three phase converter with regard to a junction temperature up to 200°C and a switching frequency up to 30 kHz. To verify the results and evaluate the utilisability of the SiC semiconductors, a SiC JFET and a SiC MOSFET converter were developed, built and investigated.

Inhaltsverzeichnis

1	Einleitung	1
1.1	Erhöhte Anforderungen in der Leistungselektronik	1
1.2	Ansätze für effizientere, kompaktere und robustere Systeme . . .	2
1.3	Vorgehensweise	4
2	Stand der Technik	5
2.1	Anwendungen mit erhöhten Anforderungen	5
2.2	Aktuelle Silizium-Leistungshalbleiterbauelemente	14
2.2.1	Leistungsdioden	15
2.2.2	Abschaltbare Leistungshalbleiter	16
2.2.3	Aufbau- und Verbindungstechnik	19
2.3	Verlustmechanismen bei Leistungshalbleitern	23
2.3.1	Statisches Verhalten	23
2.3.2	Dynamisches Verhalten	26
2.4	Kühlung von Leistungshalbleitern	30
2.4.1	Entwärmungsmechanismen	31
2.4.2	Vergleich von Leistungskühltechnologien	34
3	Siliziumkarbid-Leistungshalbleiterbauelemente	43
3.1	Materialeigenschaften	43
3.1.1	Kristallstruktur, Polytypen und Herstellung	43
3.1.2	Vergleich von Materialparametern	45
3.1.3	Auswirkungen auf Bauelementeeigenschaften	45
3.2	Aussichtsreiche SiC-Leistungshalbleiterstrukturen	49
3.2.1	Schottky Barriere Diode (SBD)	51
3.2.2	Sperrschicht Feldeffekttransistor (JFET)	52
3.2.3	Metalloxid Feldeffekttransistor (MOSFET)	55
3.2.4	Bipolare Halbleiterstrukturen	57
3.3	Potenzial, Marktreife und Verfügbarkeit	58

4	Vergleich der Bauelementeeigenschaften	61
4.1	Versuchsmuster, Randbedingungen und Vergleichbarkeit	61
4.2	Vergleich zwischen Si-EmCon und SiC-SBD	65
4.2.1	Statische Eigenschaften	65
4.2.2	Dynamische Eigenschaften	67
4.3	Vergleich zwischen selbstleitendem SiC-LC-VJFET und Si-IGBT	72
4.3.1	Treiberstufenanforderungen	73
4.3.2	Statische Eigenschaften	75
4.3.3	Dynamische Eigenschaften	76
4.4	Untersuchungen zum selbstsperrenden SiC-VC-VJFET	90
4.4.1	Treiberstufenanforderungen	91
4.4.2	Statische Eigenschaften	92
4.4.3	Dynamische Eigenschaften	93
4.5	Untersuchungen zum SiC-MOSFET	97
4.5.1	Treiberstufenanforderungen	98
4.5.2	Statische Eigenschaften	99
4.5.3	Dynamische Eigenschaften	100
4.6	Diskussion der Ergebnisse	105
4.6.1	Beurteilung der SiC-Dioden	106
4.6.2	Beurteilung der SiC-Leistungshalbleiterschalter	106
5	SiC-JFET- und Si-IGBT-Wechselrichterverluste	111
5.1	Wechselrichtertopologien	111
5.1.1	Spannungszwischenkreiswechselrichter (U-Wechselrichter)	112
5.1.2	Stromzwischenkreiswechselrichter (I-Wechselrichter) . . .	114
5.1.3	Topologiewahl und Halbleitereigenschaftsprofile	117
5.2	Verlustabschätzung für gleiche Chip-Flächengrößen	121
5.2.1	Definition der Randbedingungen	121
5.2.2	Analytische Bestimmung der Verlustanteile	123
5.2.3	Vergleich und Diskussion	128
6	Versuchsdemonstratoren	139
6.1	Komponenten- und Systemaspekte	139
6.1.1	Einsatztemperaturgrenzen aktueller Elektronikbauteile . .	140

6.1.2	Tests zum thermischen Grenzbereich eines Wechselrichters	142
6.1.3	EMV gerechter Schaltungsentwurf	148
6.2	SiC-JFET-Wechselrichter (Fokus: Hochtemperatur)	149
6.2.1	Systembeschreibung	149
6.2.2	Messergebnisse	159
6.2.3	Systembewertung	164
6.3	SiC-MOSFET-Wechselrichter (Fokus: Energieeffizienz)	167
6.3.1	Systembeschreibung	168
6.3.2	Messergebnisse	170
6.3.3	Systembewertung	172
7	Zusammenfassung und Ausblick	175
	Literaturverzeichnis	179
	Abkürzungsverzeichnis	189

1 Einleitung

Leistungselektronische Systeme dienen der Umformung elektrischer Energie und müssen den entsprechenden elektrischen Anforderungen aber auch den äußeren nicht elektrischen Randbedingungen genügen. Die Anwendungsfelder sind vielfältig und erstrecken sich von elektronischen Kleingeräten und Netzteilen mit geringen Leistungen über Frequenzumrichter für Industrie-, Traktions- sowie Großantriebe bis hin zu Anlagen der Energieerzeugung und -übertragung im Gigawatt-Bereich. Durch die voranschreitende Elektrifizierung kommen Einsatzgebiete hinzu, bei denen die bisherigen Standardkomponenten aufgrund der erhöhten Anforderungen an ihre Grenzen stoßen.

1.1 Erhöhte Anforderungen in der Leistungselektronik

Neben einer bedarfsgerechten Funktion sollen die leistungselektronischen Systeme in der Regel effizient, wartungsarm und während des Betriebes sowie in der Anschaffung kostengünstig sein. Bei den Komponenten haben sich bezüglich der Einsatzbedingungen gewisse Standards durchgesetzt, so dass z. B. in thermischer Hinsicht nahezu sämtliche Komponenten der Leistungselektronik einen Betriebstemperaturbereich von -20°C bis 85°C abdecken. Im Bereich der Leistungshalbleitermodule sind maximale zulässige Sperrschichttemperaturen bis 150°C typisch, wobei neueste Generationen mit bis zu 175°C spezifiziert sind. Die Verlustleistung der Komponenten, deren Kühlung sowie die Randbedingungen im Systemaufbau und der Umgebung definieren die resultierenden Bauelementtemperaturen und die davon abhängige Lebensdauer.

In Systemen, die möglichst effizient, klein, leicht und robust sein sollen oder besonderen Umgebungsbedingungen, wie hohen Temperaturen standhalten müssen, unterliegen die Bauteile und Komponenten teilweise extremen Belastungen. Die elektrischen, thermischen, mechanischen oder auch chemischen Belastungen können dazu führen, dass Standardbauelemente diesen Anforderungen nicht mehr gerecht werden können.

Die am Markt erhältlichen Leistungshalbleiter unterscheiden sich in ihrer Bauelementstruktur, ihrem Verhalten, ggfs. dem benötigten Treiberaufwand und auch dem Bauelementgehäuse. Eine Auswahl erfolgt über die Spannungsklasse und die Stromtragfähigkeit sowie den Halbleitereigenschaften, wobei auch Systemaspekte Einfluss auf die Wahl der Komponenten nehmen. Berücksichtigt werden im Wesentlichen Aspekte oder Restriktionen der Kategorien

- Leistungsdaten (Sperrspannung, Stromtragfähigkeit, etc.)
- Effizienz (Verluste, Wirkungsgrad, Taktfrequenz, etc.)
- Aufbau (Bauvolumen, Gewicht, Leistungsdichte, etc.)
- Robustheit (Temperatur, Lebensdauer, EMV, Zuverlässigkeit, etc.)
- Wirtschaftlichkeit (Kosten, Wartung, Verfügbarkeit, etc.).

Die Gewichtung der teilweise korrelierenden Kriterien erfolgt auf die jeweiligen Einsatzbedingungen angepasst. Jedoch besteht aus ökonomischen Gründen ein gleichzeitiger Wunsch nach effizienteren, kompakteren und robusteren Systemen.

1.2 Ansätze für effizientere, kompaktere und robustere Systeme

Während des Betriebes der Leistungshalbleiter sind sowohl die stationären Zustände als auch die dynamischen Vorgänge nicht ideal, sondern verlustbehaftet. Gerade bei größeren umzuformenden Leistungen muss die Abfuhr der in Wärme umgesetzten Verluste sichergestellt sein. Um obige Forderungen erreichen zu können, müssen als Voraussetzung die Halbleitermodule bedarfsgerecht ausgewählt, ein kompaktes Schaltungslayout angestrebt und möglichst kompakte Elektronikkomponenten eingesetzt werden. Das Gehäuse der Leistungshalbleiter sollte eine gute Wärmeanbindung besitzen und ebenfalls die Lebensdauer- und Zuverlässigkeitsanforderungen erfüllen können. Um darüber hinaus effizientere, kompaktere und robustere Systeme realisieren zu können, dienen folgende Ansätze.

1. **Optimierung der Kühlung.** Kann die im Bauteil umgesetzte Verlustwärme nicht abgeführt werden, steigt dessen Temperatur so weit an, bis sich ein thermisches Gleichgewicht einstellt oder es zur Zerstörung des Bauteils kommt. Durch optimierte Kühlpfade und -technologien können die abführbare Verlustleistung gesteigert und das Bauvolumen minimiert werden.

2. **Effizientere Leistungshalbleiter.** Der Einsatz von effizienten Leistungshalbleitern reduziert die abzuführende Wärmemenge, den Kühlaufwand und den benötigten Bauraum. Trotz fortwährender technologischer Weiterentwicklung der Si-Halbleiter sind materialspezifische Grenzen absehbar, die auch durch Optimierungen innerhalb der Halbleiterstrukturen nicht umgangen werden können. Um darüberhinaus effizientere und robustere Halbleiterbauelemente realisieren zu können, ist der Übergang auf Halbleitermaterialien mit größerem Bandabstand ein aussichtsreicher Ansatz.

3. **Höhere zulässige Bauelementtemperaturen.** Die maximal abführbare Verlustleistung hängt neben der Kühlanbindung auch von der Temperaturdifferenz zwischen Wärmequelle und -senke ab. Je thermisch belastbarer die Halbleiter sind, desto kleiner kann die bereitgestellte Kühlfläche dimensioniert werden. Auch wenn die derzeitige maximale Sperrschichttemperatur aktueller Halbleiter vor allem durch die einhergehenden thermomechanischen Belastungen in der Aufbau- und Verbindungstechnik (AVT) begrenzt wird, zeigen die temperaturabhängigen Halbleitereigenschaften eine Grenze auf. Um diese heraufzusetzen, ist ein Übergang auf ein Halbleitermaterial mit größerem Bandabstand ebenfalls vielversprechend.

Welcher der Ansätze für Applikationen mit erhöhten Anforderungen sinnvoll ist, muss individuell abgewogen werden. Doch ist ableitbar, dass für stetig steigende Anforderungen ein Übergang auf ein alternatives Halbleitermaterial für kompaktere, effizientere und robustere Leistungselektroniken sinnvoll erscheint. Hierbei gilt Siliziumkarbid (SiC) als aussichtsreiches Grundmaterial, dass aber aufgrund des jungen Entwicklungsstadiums noch nicht gänzlich erforscht ist.

Um die Verhaltensweisen der neuen SiC-Halbleiterstrukturen identifizieren und mit den aktuellen Si-Halbleitern vergleichen zu können, sollten verfügbare SiC-Prototypen in einem dem Silizium (Si) entsprechendem Gehäuse untergebracht werden (Packaging). Durch Untersuchungen zum statischen und dynamischen Verhalten können die Betriebs- und Verlusteigenschaften bestimmt werden. Bei Berücksichtigung gleicher Untersuchungsparameter wird zusammen mit den sich aus den Systemanforderungen ergebenden Randbedingungen ein Vergleich der Technologien möglich, aus dem das Potenzial für zukünftige Anwendungen abgeleitet werden kann. Die Vorgehensweise bietet neben der Möglichkeit die Ergeb-

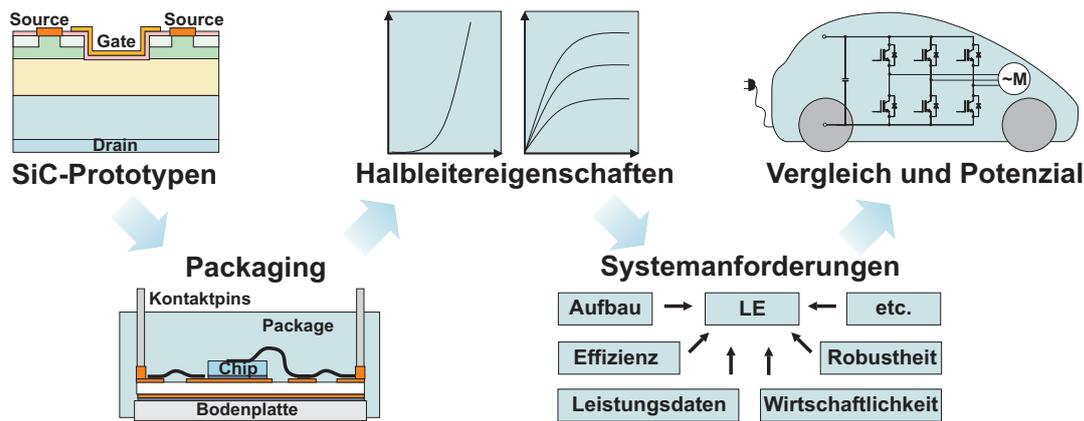


Abbildung 1.1: Vorgehensweise zur Evaluierung neuer Leistungshalbleiter

nisse rekursiv in die Bauelementoptimierung einfließen zu lassen, einen generellen Ansatz zur Evaluierung neuer Leistungshalbleiter (vgl. Abb. 1.1).

1.3 Vorgehensweise

In der vorliegenden Abhandlung werden, nach einer Kurzvorstellung der Anforderungen im Bereich der Elektrotraktion und Photovoltaik, die derzeit hierfür zur Verfügung stehenden Leistungshalbleiterbauelemente erläutert. Zusammen mit deren Aufbau- und Verbindungstechnik, den statischen und dynamischen Verlustmechanismen sowie der Vorstellung effizienter Kühltechnologien spiegelt dies den derzeitigen Stand der Technik wieder. Die Si-Halbleiter werden als Referenz für die SiC-Halbleiterbauelemente verwendet, deren Materialeigenschaften, Halbleiterstrukturen und Forschungsstand im dritten Kapitel vorgestellt werden. Darauf folgen Messergebnisse und Vergleiche zu den Bauelementeeigenschaften von zur Verfügung gestellten Mustern. Die Untersuchungen dienen zur Evaluierung der bei der Halbleiterauslegung angestrebten Eigenschaften und als Vergleich der beiden Technologien. Im anschließenden fünften Kapitel zeigt eine analytische Bestimmung der Gesamtverluste eines SiC-Wechselrichters die vorteiligen Einsatzgebiete im Vergleich zur Si-Referenz und somit das zukünftige Potenzial der Halbleiter. Die im sechsten Kapitel vorgestellten Wechselrichter dienen zur Identifikation der Grenzbereiche, zum Aufzeigen der derzeit bestehenden Kompatibilitätsherausforderungen und der Praxistauglichkeit der Muster. Den Abschluss bildet die Zusammenfassung und der Ausblick.

2 Stand der Technik

Die beschriebenen erhöhten Anforderungen liegen in den derzeit stark wachsenden Bereichen der elektrischen Antriebstechnik im Automobil oder der Photovoltaik vor. Um diese Anforderungen erfüllen zu können, werden die Komponentenentwicklungen insbesondere im Bereich der Leistungshalbleiter stark vorangetrieben. Da allerdings die physikalischen Grenzen der bisher eingesetzten Silizium- (Si-) Halbleiter absehbar sind, werden hier auch neue Halbleitermaterialien mit einem größeren Bandabstand (Wide-Band-Gap) wie Siliziumkarbid (SiC) auf ihre Einsatzfähigkeit hin geprüft. Sollte eine verbesserte Performance oder sogar eine Kostenersparnis im Gesamtsystem durch SiC-Leistungshalbleiter möglich werden, könnte dies durch Massenproduktionen zu einer Kostensenkung des teuren Rohmaterials führen und so den Einsatz für weitere Anwendungen ebenfalls wirtschaftlich machen.

Die vorangegangenen Optimierungsansätze zeigen, dass die Leistungshalbleitereigenschaften und deren Kühlung von wesentlicher Bedeutung für effizientere, robustere und kompaktere Systeme sind und daher Entwicklungen neuer Leistungshalbleiter auf Basis von alternativen Halbleitermaterialien weiterführend sein können. Für die Automobilleistungselektronik stehen Robustheit, Kompaktheit, Effizienz und Kosten im Vordergrund, während bei der Photovoltaik in erster Linie möglichst effiziente Systeme benötigt werden. Zur näheren Erläuterung erfolgt eine kurze Beschreibung beider Anwendungen. Da die neuen Halbleitertechnologien zwangsläufig mit den aktuell eingesetzten Leistungshalbleitern konkurrieren, werden darauffolgend die aktuell eingesetzten Leistungshalbleiterbauelemente und Leistungskühltechnologien vorgestellt.

2.1 Anwendungen mit erhöhten Anforderungen

Die den Automobil- und Photovoltaik-Leistungselektroniken zugrundeliegenden Topologien und die darin eingesetzten Leistungshalbleiter sind zentraler Bestandteil beider Einsatzbereiche. Auch wenn die Anforderungen beider Bereiche nicht

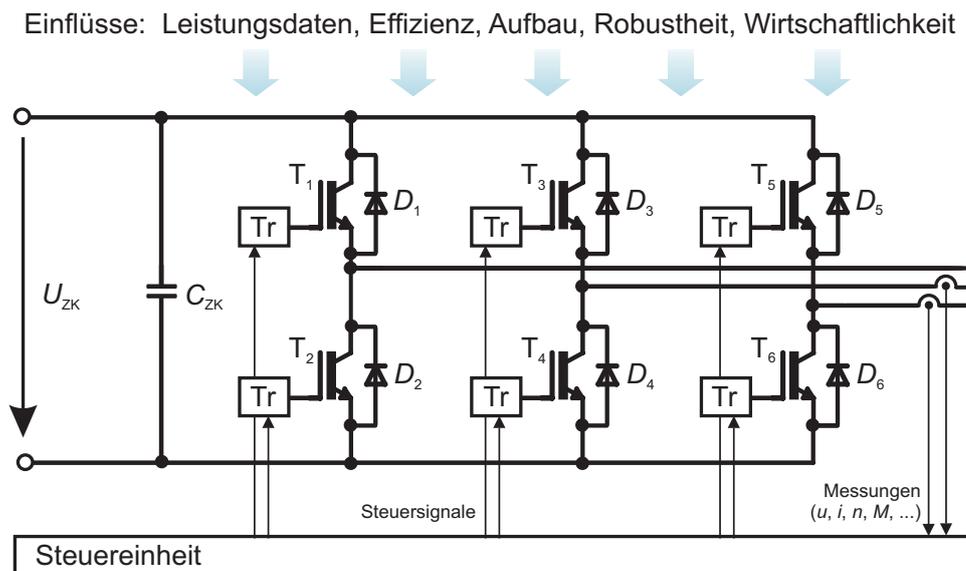


Abbildung 2.1: Dreiphasiger Wechselrichter

identisch sind, versprechen SiC-Leistungshalbleiter für beide Anwendungen Systemvorteile. Im Bereich kleinerer Leistungen finden in der Photovoltaik üblicherweise sogenannte Vier-Quadranten-Steller (4-Q-Steller) mit zwei Halbbrücken Einsatz. Für mittlere und größere Leistungen werden in beiden Anwendungen häufig die klassische dreiphasige Drehstrombrückenschaltung eingesetzt. Abb. 2.1 zeigt diese Topologie, bestehend aus drei Halbbrücken mit jeweils zwei Leistungshalbleiterschaltern (T) und -dioden (D), den Treiberstufen (Tr), einem Zwischenkreiskondensator (C_{ZK}), der Sensorik und der Steuereinheit. Abhängig vom Einbauort unterliegen die Komponenten neben den funktionsbedingten Belastungen auch den äußeren Einflüssen.

Elektro- und Hybridfahrzeuge

Für eine klimaverträgliche und Ressourcen schonende Mobilität gewinnt der Elektroantrieb im Bereich der Straßenfahrzeuge immer mehr an Bedeutung. Durch die Elektrifizierung des Antriebes und der Nutzung von regenerativen Energien sollen sowohl Emissionen und die Abhängigkeit vom Erdöl verringert werden als auch gleichzeitig verbrauchsärmere Fahrzeuge entstehen. Langfristig sind Elektrofahrzeuge (EV) angestrebt, die mittels Batterien oder Brennstoffzellen (BSZ) betrieben und so zumindest für kürzere Distanzen voll elektrisch

genutzt werden können. Allerdings herrscht zwischen dem Technologiestand, insbesondere der Batterien, und den Anforderungen der Fahrzeuge für gewohnte Distanzen eine große Lücke. Eine mittelfristige Lösung ist die Kombination aus konventionellem Verbrennungs- und Elektroantrieb. Die so genannten Hybridfahrzeuge (HEV) ermöglichen die Rückgewinnung der Bremsenergie, eine Effizienzsteigerung beim Verbrennungsmotor sowie der Vermeidung von Leerläufen.

Die elektrischen Fahrzeugantriebe sind nach den zugrunde liegenden Strukturen sowie nach dem Anteil an der Gesamtantriebsleistung klassifiziert. So werden innerhalb der HEV die Strukturen in serielle, parallele, kombinierte und leistungsverzweigte Hybridantriebe unterschieden, wobei Kategorien wie Micro-, Mild-, Fullhybrid und reines Elektrofahrzeug den elektrischen Antriebsleistungsanteil spezifizieren. Je nach Struktur und zur Verfügung stehender Leistung sind verschiedene zusätzliche Funktionen wie Start-Stopp, Rekuperieren, Leerlaufahrt ohne Verbrennungskraftmaschine (VKM) oder voll elektrisches Fahren möglich. Eine Übersicht der Leistungsklassen und möglichen Fahrzeugfunktion in Anlehnung an [Wall, Wöhl, Cand2] gibt Abb. 2.2, wobei für eine detaillierte Beschreibung auf die Literatur verwiesen wird.

Auch wenn sich bei HEV gegenüber EV die thermischen Belastungen der elektrischen Komponenten durch die vorhandene VKM als zusätzliche Wärmequelle verschärfen können, sind die Auslegungskriterien bei beiden Fahrzeugtypen ähnlich. Maßgeblichen Einfluss auf die Dimensionierung bzw. die Auswahl der nötigen Komponenten haben diverse Faktoren wie Antriebsleistung, Drehmoment- und Drehzahl-Charakteristik, Gewicht, Bauvolumen, Umgebungsbedingungen, Kosten, Geräusentwicklung und Lebensdauer. Für die Komponenten der Leistungselektronik (LE), deren Zuverlässigkeit und Lebensdauern sind neben den elektrischen Eigenschaften u. a. die auszuhaltenden Temperaturen und Temperaturhübe sowie die aufgrund unterschiedlicher Ausdehnungskoeffizienten damit einhergehenden mechanischen Belastungen ausschlaggebend.

Um die Herstellungskosten des Antriebes in EV und insbesondere in HEV gering zu halten, werden integrierte Lösungen angestrebt [Mert1]. Hierdurch können z. B. Kabellängen, Halterungen und Kühlanbindungen eingespart und so auch Gewicht und Bauraum reduziert werden. Für die Steigerung der Leistungsdichte und die Reduzierung der Produktionskosten wird versucht, die elektrischen Komponenten des Fahrzeugantriebes nicht mit einem zusätzlichen, sondern mit

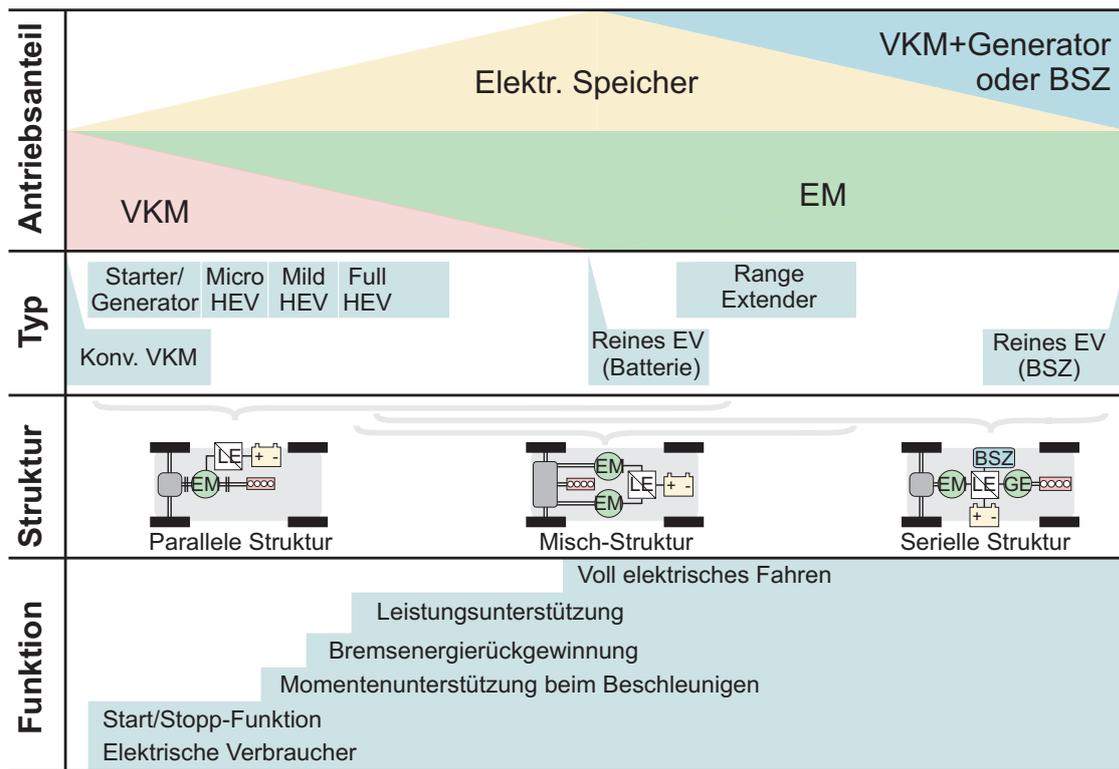


Abbildung 2.2: EV- und HEV-Strukturen

dem vorhandenen Kühlkreislauf der VKM zu kühlen. Durch die hohen Kühlwassertemperaturen von 90-115°C [Mert2] steigen allerdings die Temperaturanforderungen an die Maschine und an die Leistungselektronik, so dass für diesen Bereich spezialisierte Komponenten eingesetzt werden müssen.

Typische Leistungsdichten bei Fahrzeugantrieben mit 20-150 kW liegen für die elektrische Maschine (EM) bei ca. 1-4 kW/kg. Die Leistungsdichte der Leistungselektronik liegt bei etwa 10-20 kW/kg. Allerdings muss für Serienfahrzeuge berücksichtigt werden, welcher Kühl- und Kostenaufwand angemessen ist und welche Lebensdauernanforderungen damit eingehalten werden können.

Abb. 2.3 zeigt als Beispiel einer integrierten Antriebsstranglösung einen Touran-Hybrid-Antriebsstrang mit VKM, EM und LE. Die entwickelte Leistungselektronik ist hochtemperaturfähig, speist eine zwischen Getriebe und VKM sitzende Asynchronmaschine und ist direkt auf dem Motorblock der VKM aufgebracht. Der Kühlkreislauf der VKM erwärmt ebenfalls die EM sowie die LE, deren Komponenten die Anforderungen und Spezifikationen erfüllen.

Um die Anforderungen an die Komponenten für die gesamte Fahrzeuglebens-

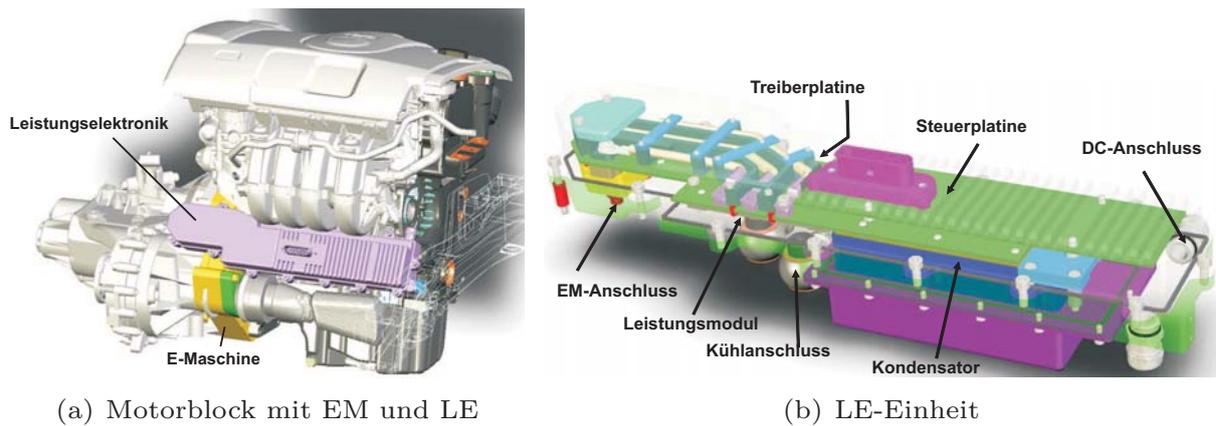


Abbildung 2.3: Integrationslösung für einen VW-Touran [Koch]

dauer abzuschätzen, wird ein repräsentatives Fahrverhalten, der sogenannte Fahrzyklus definiert. Anhand des Fahrzyklusses und anhand der angestrebten Fahrstrategie (zusammen Mission Profile) kann dann das elektrische Profil (aktive Zyklen) der Bauelemente erstellt werden. Die thermischen Einflüsse der VKM spiegeln zusammen mit den Umgebungsbedingungen die klimatischen Einsatzbedingungen (passive Zyklen) wieder. Daraus können bei definierter Kühlung das elektrische, thermische und mechanische Belastungsprofil abgeleitet werden. Anhand von statistischen Ausfalldaten aus Lastwechsel- und Temperaturwechseltests können die zu erwartende Lebensdauer abgeschätzt und die Bauelemente anforderungsgemäß ausgewählt werden. Abb. 2.4 zeigt diese Vorgehensweise, wobei ggfs. die Parameter und Randbedingungen iterativ angepasst werden müssen.

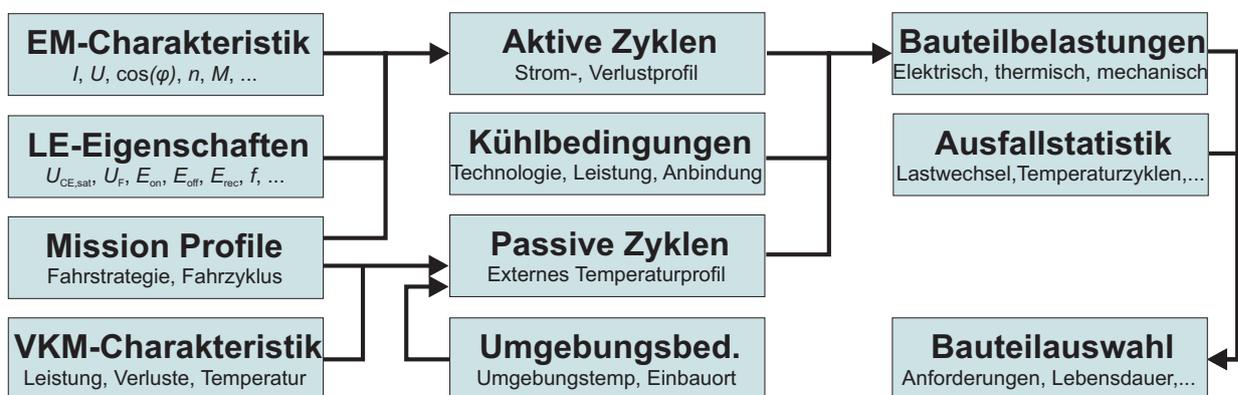


Abbildung 2.4: Vorgehensweise zur Bestimmung eines Anforderungsprofils [Chri]

Durch die klimatischen Bedingungen im Fahrzeug, der Eigenerwärmung durch die in Wärme umgewandelten elektrischen Verluste und ggfs. dem zusätzlichen Temperatureintrag der VKM unterliegen alle Komponenten der Leistungselektronik im Vergleich zu Standardanwendungen relativ hohen Temperaturen und Temperaturzyklen. Dies gilt vor allem für die Laststrom führenden Leistungshalbleiter mit entsprechenden Wärmeverlusten, wobei die Forderung nach einer hohen Leistungsdichte sowie Integrationslösungen die Bedingungen weiter verschärfen. Für eine Reduzierung der Verlustwärme, eine Erhöhung der Betriebstemperaturen bei geringerem Kühlaufwand oder eine Steigerung der Leistungsdichte erscheinen Halbleiter eines Halbleitermaterials mit größerem Bandabstand aussichtsreich. Allerdings muss hierfür die Aufbau- und Verbindungstechnik des Leistungshalbleiters ebenfalls für die hohen Temperaturen und Temperaturwechsel ausgelegt sein und gleichzeitig eine gute Wärmeanbindung an die Wärmesenke gewährleisten.

Photovoltaik-Wechselrichter

Die jährliche mittlere Sonneneinstrahlung S beträgt ca. 1 MWh/m^2 in Deutschland [Enge]. Um die eingestrahelte Energie nutzbar zu machen, werden sogenannte Photovoltaikanlagen (PV) eingesetzt, die die Sonnenenergie direkt in elektrische Energie umwandeln. Die generierte elektrische Leistung P kann dann bedarfsgerecht an einen Verbraucher vor Ort abgegeben oder in ein Versorgungsnetz eingespeist werden. Um eine möglichst hohe Ausbeute zu erwirtschaften, besitzt die Effizienz des Systems eine hohe Priorität. Abb. 2.5 zeigt das System und dessen Wirkungsgradkette.

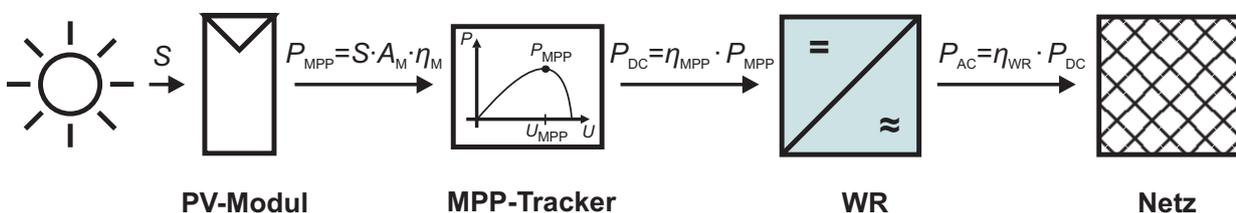


Abbildung 2.5: Wirkungsgradkette eines PV-Systems

Die Umwandlung erfolgt üblicherweise durch Solarzellen auf Silizium-Basis und beruht auf dem photoelektrischen Effekt. Hierbei werden an einem pn-

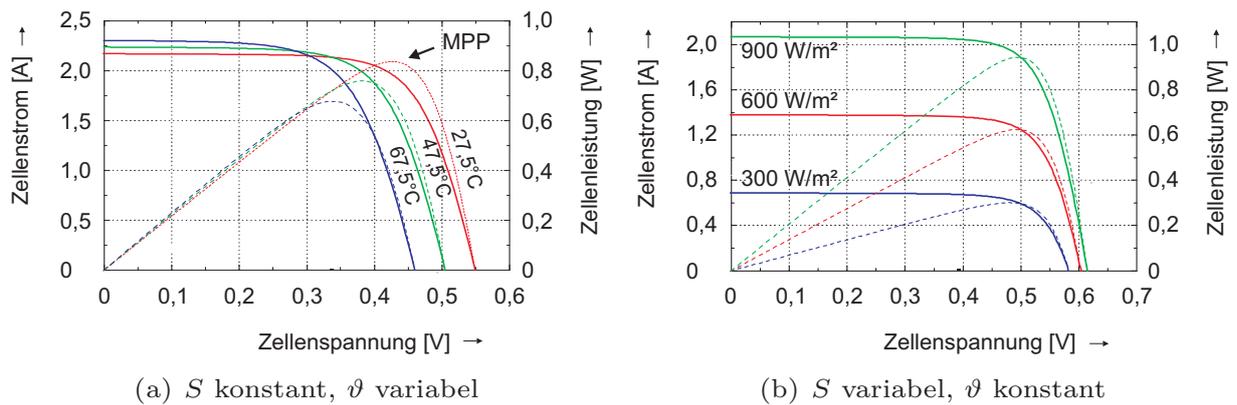


Abbildung 2.6: Strom-Spannungskennlinie einer Siliziumsolarzelle [Muts]

Übergang in der Solarzelle sowohl aus direkter als auch diffuser Sonnenstrahlung Elektronen-Löcher-Paare generiert. Die erzeugten Ladungen werden in der Raumladungszone der Sperrschicht getrennt und ermöglichen einen DC-Stromfluss. Für Photovoltaikanwendungen sind Solarzellen mit mono- und polykristalliner sowie amorpher Kristallstruktur erhältlich, die sich in Herstellungskosten, Wirkungsgrad und Lebensdauer unterscheiden. Die für Großanlagen eingesetzten Solarmodule sind meist polykristallin und besitzen einen Wirkungsgrad von etwa 13-15%. Monokristalline Zellen liegen leicht darüber, wobei im Laborbetrieb sogar Wirkungsgrade von etwa 19-23% erreicht wurden. Die für eher kleine Leistungen eingesetzten amorphen Zellen besitzen relativ geringe Wirkungsgrade von 4-8%, sind dafür aber kostengünstig. Gängige Solarzellen (100 cm^2) erzeugen bei einer Einstrahlung von 1000 W/m^2 eine Gleichspannung von $0,5 \text{ V}$ und einen Gleichstrom von 3 A [Enge]. Für die Netzeinspeisung muss die Generatorspannung über der Netzspannung liegen. Um diese Spannung zu erreichen, werden Module in Reihe geschaltet, so dass sich sogenannte Strings ergeben. Für höhere Leistungen können dann mehrere Strings parallelgeschaltet werden. Neben der Sonneneinstrahlung hat auch die Temperatur starken Einfluss auf die U - I -Charakteristik der Zelle. Die maximale Ausgangsleistung oder auch Maximum Power Point (MPP) ergibt sich aus dem Produkt von generiertem Strom und sich einstellender Spannung bei der jeweiligen Temperatur (vgl. Abb. 2.5 und 2.6). Für eine hohe Ausnutzung der Photovoltaikanlage wird über einen intelligenten DC/DC-Wandler (MPP-Tracker) oder die Regelung eines Wechselrichters (WR) die Last so angepasst, dass die Ausgangsleistung maximal wird [Schi].

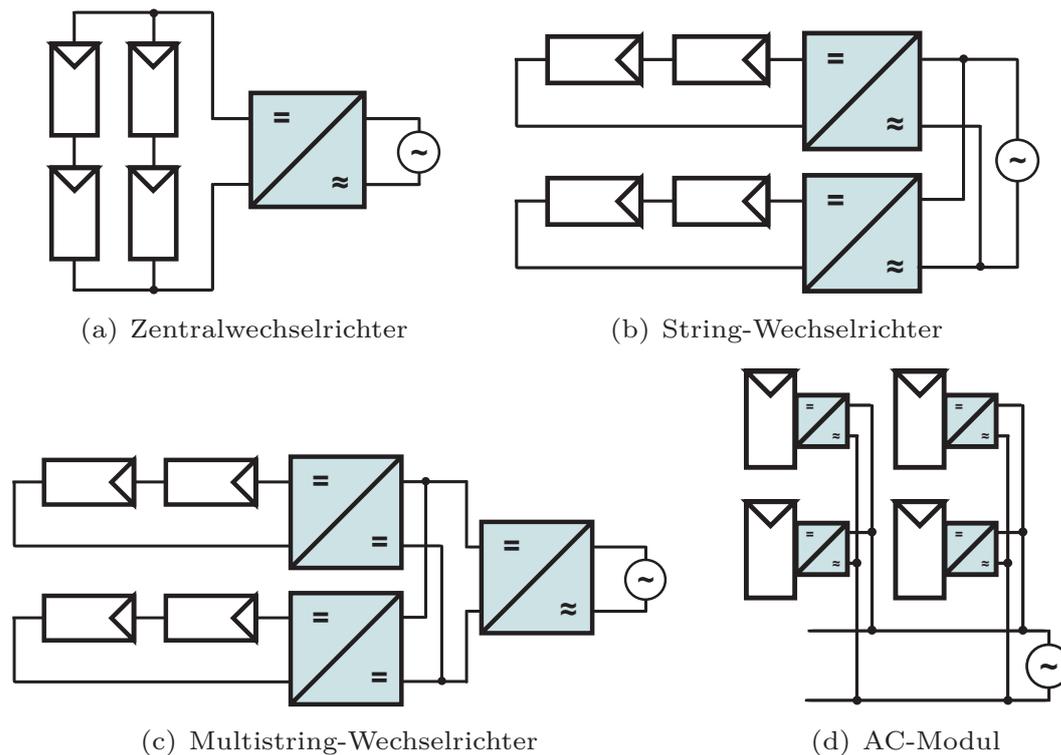


Abbildung 2.7: Typische Photovoltaik-Anlagenkonfigurationen [Schi]

Zur Anpassung der aus der Zelle generierten elektrischen Gleichgrößen an einen Verbraucher oder ein Wechselstromnetz werden DC/DC- und DC/AC-Wandler genutzt. Je nach Anlagenleistung und Einsatzbedingungen finden im Wesentlichen folgende vier Konfigurationsvarianten ein- oder dreiphasig Einsatz (Abb. 2.7). Der Zentralwechselrichter wird für Leistungen über 40 kWp eingesetzt und besteht aus mehreren parallelen Strings, die über einen Wechselrichter in das Stromnetz einspeisen. In der Konfiguration in Abb. 2.7 b) erhält jeder String einen Wechselrichter, so dass Fehlanpassungen minimiert werden können. Solche String-Wechselrichter finden Einsatz bei kleineren Leistungen (1-5 kWp) und können als klassische Vollbrücke mit Trafo oder trafolos realisiert werden. Für größere Leistungen können mehrere Strings parallel zu einem Multistring entsprechend Abb. 2.7 c) an einem Wechselrichter geschaltet werden. Hierbei erhält jeder String seinen eigenen MPP-Tracker, so wird die Modularität gewahrt und gleichzeitig eine höhere Leistung erreicht. Unter der Konfiguration in Abb. 2.7 d) sind modulintegrierte Wechselrichter zusammengefasst, deren Einsatz für sehr kleine Leistungen (0,1 - 0,3 kWp) geeignet ist. Hier besteht eine hohe Modularität

bei einem optimalen MPP-Tracking. Jedoch erreichen hierbei die sehr kostenaufwendigen Wechselrichter derzeit nicht die Lebensdauernanforderungen der Module [Schi].

Seit der Einführung einer gesetzlich festgesetzten Einspeisevergütung nach dem Erneuerbaren Energiengesetz (EEG) ist der Einsatz von Netz gekoppelten Anlagen enorm angestiegen. Für eine hohe Rendite zählt vorrangig die bestmögliche Auslastung der Anlage bei möglichst geringen Investitions- und Wartungskosten sowie langer Laufzeit. Somit sind die Energieeffizienz, Zuverlässigkeit und Lebensdauer von Solarzellen und Wechselrichtern von großer Bedeutung und rechtfertigen sogar höhere Material- und Bauteilkosten. An erster Stelle wird eine Wirkungsgradverbesserung der Solarzellen angestrebt. Um alle Optimierungsmöglichkeiten auszuschöpfen, wird parallel aber auch versucht auf der Leistungselektronikseite einen maximalen Wirkungsgrad für alle Betriebspunkte zu erreichen. Die Einspeisung ins Netz muss den geforderten Standards, Normen und Anforderungen gemäß „Technischen Richtlinie Erzeugungsanlagen am Mittelspannungsnetz [BDEW]“ entsprechen und ggfs. zusätzlichen Forderungen der Netzbetreiber wie Verhalten im Fehlerfall, Netzstützung/Stabilisierung, Trennen bei Wartungsarbeiten, transiente Überspannungen und EMV-Verhalten genügen [Zach1]. Weiter sollen die Anlagen aber auch ein möglichst kleines Bauvolumen einnehmen oder z. B. in der Haustechnik als halbtransparentes Fenster integrierbar sein.

Zur weiteren Wirkungsgradsteigerung der ohnehin sehr effizienten Wechselrichter sind die Hersteller stetig auf der Suche nach effizienteren und robusteren Leistungshalbleitern. Neben der Effizienzsteigerung können hierdurch auch der Kühlaufwand und somit Herstellungskosten reduziert sowie kompaktere Wechselrichter realisiert werden, die darüberhinaus über eine längere Lebensdauer den Ertrag der Photovoltaikanlage erhöhen. Hierfür sind SiC-Halbleiter ebenfalls aussichtsreiche Kandidaten, wobei mehrere Halbleiterschalterstrukturen derzeit in Frage kommen.

Weitere Anwendungen mit erhöhten Anforderungen

Sowohl robustere als auch effizientere leistungselektronische Systeme sind über die beschriebenen Anwendungen hinaus für viele weitere Anwendungen von In-

teresse. So würden temperaturbeständigere Komponenten besonders in der Luft- und Raumfahrt, Bohrtechnik oder auch der Geothermie Einsatz mit Hinblick auf eine erhöhte Einsatztemperatur oder eine kompaktere und leichtere Bauweise durch Reduzierung des Kühlaufwandes finden. Darüberhinaus kann durch unempfindlichere Halbleiter, z. B. gegen Höhenstrahlung, der Aufwand bei höher gelegenen Einsatzorten deutlich reduziert werden. Entscheidend für Ausfälle, Lebensdauer und Wartung sowie die damit verbundenen Kosten ist eine größtmögliche Zuverlässigkeit der Komponenten. Ebenso bieten verlustärmere Leistungshalbleiter die Möglichkeit die Schaltfrequenz zu erhöhen und so Systeme weiter zu optimieren. Als Beispiel sei an dieser Stelle die berührungslose Energieübertragung genannt, bei der eine Steigerung der Schaltfrequenz durch günstigere dynamische Eigenschaften positiven Einfluss auf die Größe der Elektronikkomponenten, Kerngröße und den erreichbaren Luftspalt hat [Meins].

2.2 Aktuelle Silizium-Leistungshalbleiterbauelemente

Die Effizienz eines leistungselektronischen Wandlers hängt maßgeblich von den Eigenschaften der Leistungshalbleiterbauelemente ab. Die im Halbleiter entstehenden Verluste werden in der Regel von der Betriebstemperatur beeinflusst und hängen neben den elektrischen Betriebsbedingungen von der Halbleiterstruktur, deren Realisierung und dem verwendeten Material ab. Hierzu gab es in den vergangenen Jahrzehnten große Fortschritte, die zu einer Verbesserung der elektrischen Eigenschaften der Leistungshalbleiter führten und unterschiedliche Produkte für die jeweiligen Einsatzgebiete hervorbrachten. Als Halbleitermaterial wird derzeit fast ausschließlich Silizium (Si) eingesetzt.

In Hinblick auf eine angestrebte Zwischenkreisspannung von etwa 600 V werden typischerweise Bauelemente mit einer Sperrspannung von 1200 V verwendet. Daher werden für die späteren Vergleiche mit SiC-Bauelementen der in diesem Bereich dominierende Insulated Gate Bipolar Transistor (IGBT) und eine Emitter Controlled (EmCon) Diode (Fa. Infineon) als Referenz verwendet. Der von unten an diese Spannungsklasse angrenzende Metall Oxid Semiconductor Field Effect Transistor (MOSFET) wird ebenfalls vorgestellt, aber im Anschluss als Si-Variante nicht näher betrachtet. Nach einer kurzen Vorstellung der Halbleiterstrukturen der EmCon-Diode, des CoolMOS und des IGBT erfolgt die Vorstellung der Verlustmechanismen bei hartschaltenden Wechselrichtern.

2.2.1 Leistungsdioden

Leistungsdioden dienen entsprechend der Energieflussrichtung im Wechselrichter dem Freilauf des Stromes der induktiven Last oder der Gleichrichtung. Insbesondere bei Anwendungen mit hohen Schaltfrequenzen liegt der Fokus der Diodenauswahl auf den Rückwärtserholeigenschaften, da beim Abkommutieren des Stromes von der Diode auf einen korrespondierenden Schalter die Ladungsträger der Diode zur Erreichung der Sperrfähigkeit schnell ausgeräumt werden müssen. Darüberhinaus können durch einen zu schnellen Stromabriss beim Ausräumen an den parasitären Induktivitäten hohe Spannungen entstehen, die bis zur Zerstörung der Bauelemente führen können. Um dies zu vermeiden sollte daher der Rückwärtserholstrom möglichst sanft abklingen und in Hinblick auf die resultierenden Verluste in Schalter und Dioden möglichst gering sein. Unzulässige Überspannungen oder eine elektromagnetische Störaussendung bedingt durch zu steile Flanken können durch die Reduzierung der Schaltgeschwindigkeit der Halbleiterschalter verringert werden, was allerdings erhöhte Verluste in Schalter und Dioden mit sich bringt.

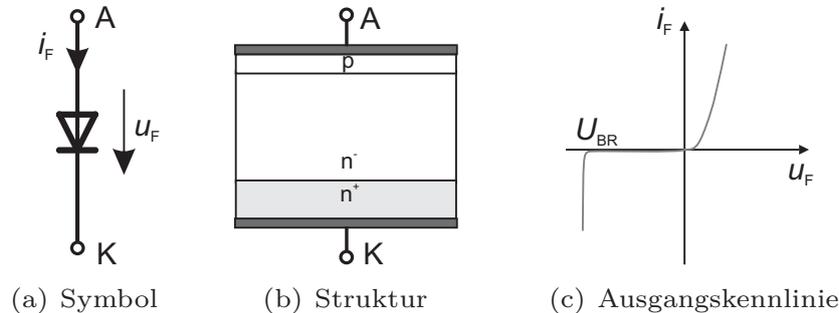


Abbildung 2.8: EmCon-Diode

Die Emitter Controlled Si-Diode (EmCon-Diode) basiert auf einer pin-Dioden-Struktur, bei der die Anode sehr dünn und niedrig dotiert ausgeführt wird. Hierdurch kann ein kontrollierter langsamer Abbau der freien Ladungsträger beim Abkommutieren des Stromes stattfinden, welches zu einem sanft auslaufenden Rückwärtserholstrom führt. Allerdings führt diese Struktur ebenfalls zu einem schnelleren Aufheizen im Überlastfall und somit zu einer verringerten Stoßstromtragfähigkeit.

2.2.2 Abschaltbare Leistungshalbleiter

Abschaltbare Leistungshalbleiter werden zum Schalten von zum Teil hohen Spannungen und Strömen eingesetzt. Sowohl die stationären Zustände als auch die dynamischen Vorgänge sollten aufgrund der zu schaltenden Leistung daher möglichst verlustfrei stattfinden. Für den meist induktiv getriebenen Laststrom muss beim Abschalten ein Freilaufpfad zur Verfügung gestellt werden, welcher über die Schalterstruktur selbst oder mit einer Leistungsdiode gewährleistet werden muss. Im Bereich der Nieder- und Mittelspannungsebene ist der IGBT der dominierende abschaltbare Leistungshalbleiter, während für darunter liegende Spannungen der MOSFET verwendet wird. Beide Leistungshalbleiterschaltertypen kommen in den vorgestellten Anwendungen abhängig von der geforderten Spannungsklasse zum Einsatz.

Metaloxid Feldeffekt Transistor (MOSFET)

Der MOSFET ist bis zu Sperrspannungen von etwa 900 V erhältlich und dominiert den Bereich bis einige hundert Volt. Innerhalb der Halbleiterstruktur entsteht durch Anlegen eines ausreichend positiven Potentials am Gate (G) gegenüber Source (S) ein leitfähiger Kanal im p-dotierten Bereich zwischen Drain (D) und Source. Der leitfähige Kanal (eingeschalteter Zustand) weist über der Spannung bis zum Abschnürbereich ein ohmsches Verhalten auf. Darüberhinaus begrenzt die Ladungsträgeranzahl den Strom bzw. sättigt der Kanal. Der resultierende Einschaltwiderstand hängt hierbei von der zwischen Gate und Source angelegten Spannung ab. Die Verbindung von p- und n-dotierter Schicht bildet eine Inversdiode, die in Vorwärtsrichtung sperrt und in Rückwärtsrichtung eine Diodenkennlinie aufweist. Die Wahl der Dotierung unterscheidet MOSFETs in Verarmungstypen („depletion“) und Anreicherungstypen („enhancement“). Während Anreicherungstypen durch eine entsprechend angelegte Spannung in den leitenden Zustand gebracht werden und selbstsperrend (normally-off) sind, sind Verarmungstypen selbstleitende Bauelemente, die erst bei Anlegen der Steuerspannung sperren (normally-on).

Für hohe Sperrspannungen werden vertikale Strukturen verwendet, da bei lateralen Strukturen der Querschnitt des Mittelgebietes zu hohen Einschaltwider-

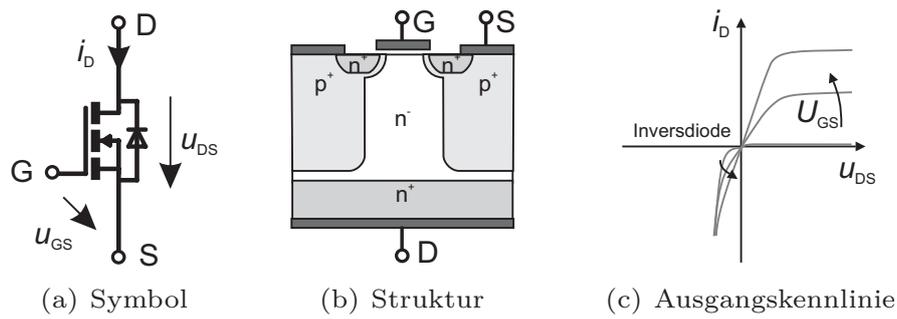


Abbildung 2.9: Vertikaler Superjunction-MOSFET

ständen führt und die Aufnahme der Sperrspannung an der Oberfläche technologisch schwierig ist. Die sogenannte Trench-Technologie ist eine Weiterentwicklung des vertikalen Ansatzes, bei dem auch der Kanal vertikal in Gräben ausgeführt ist und so ein größerer Kanalquerschnitt bereit gestellt wird.

Der Durchlasswiderstand setzt sich aus den Einzelanteilen der zwischen Source und Drain befindlichen Metallisierung, des Kanals und der dotierten Gebiete zusammen. Herkömmliche MOSFET-Strukturen sind allerdings in der Sperrspannung auf wenige hundert Volt begrenzt, da die Sperrspannung aufnehmende Driftzone bei höheren Sperrspannungen einen zu großen Durchlasswiderstand hervorrufen würde. Aufgrund dieses Hindernisses führten die Entwicklungen zu der nachfolgend beschriebenen IGBT-Struktur. Ein alternativer Ansatz ist die sogenannte Superjunction-Technologie (CoolMOS), bei der eine nicht mehr homogen dotierte Driftzone, sondern alternierende p- und n-dotierte Säulen eingesetzt werden (vgl. Abb. 2.9). Im Sperrzustand dehnen sich die Raumladungszonen somit vor allem lateral in die Säulen aus, wodurch vertikal ein nahezu homogener Feldverlauf entsteht. Im Durchlass führt nur die hoch n-dotierte Säule den Strom, welches insgesamt einen deutlich geringeren Durchlasswiderstand ermöglicht.

Insulated Gate Bipolar Transistor (IGBT)

Der IGBT ist von der Grundstruktur ein direkter Verwandter des vertikalen MOSFETs. Das Bauelement vereint die einfache und nahezu leistungslose Steuerbarkeit des MOSFETs mit der geringen Durchlassspannung eines bipolar Transistors. Die Struktur eines konventionellen IGBT (Abb. 2.10) besitzt gegenüber ei-

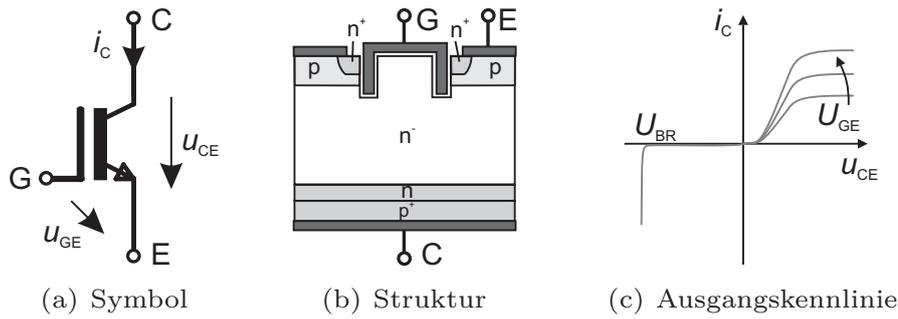


Abbildung 2.10: Trench-Gate-Field-Stop-IGBT

nem vertikalen n-Kanal-MOSFET eine Drain-seitige p^+ -Schicht. Zusammen mit der n-Mittelschicht bildet diese einen pn-Übergang, der für die funktionalen Unterschiede zum MOSFET verantwortlich ist und letztlich eine Entkopplung von Sperrfähigkeit und Durchlassfähigkeit für die Bauteildimensionierung zulässt. Bei vorhandenem Inversionskanal fließt der Elektronenstrom über den pn-Übergang in Durchlassrichtung, wodurch Ladungsträger injiziert werden. Das niedrig dotierte n-Gebiet wird auf diese Weise mit einem Elektronen-Löcher-Plasma überschwemmt, welches zu einer gegenüber der Dotierung deutlich höheren Leitfähigkeit führt und eine erheblich größere Stromtragfähigkeit als beim MOSFET zulässt. Durch den zusätzlichen pn-Übergang muss allerdings die Schwellspannung überwunden werden, welches zu einer Dioden-Durchlasscharakteristik führt. Weiter entfällt durch die zusätzliche p-Schicht die Inversdiode, was zusätzlich zu einer relativ geringen Rückwärtssperrfähigkeit (wenige 10 V) führt und eine zusätzliche externe Freilaufdiode nötig werden lässt [Kami].

Diese Struktur wurde Emitter-seitig optimiert, indem die Gate-Elektrode zusätzlich als Trench-Gate realisiert wurde. Hierdurch reicht das Gate in den überschwemmten Bereich des Mittelgebietes, was die Leitfähigkeit des Kanals erhöht. Zusätzlich kann das p-Gebiet kleiner ausgelegt und das Abfließen von Löchern aus der Driftzone begrenzt werden. Insgesamt sinkt dadurch die Durchlassspannung, ohne dass das Schaltverhalten wesentlich beeinflusst wird. Als Kollektor-seitige Optimierung wurde eine zusätzliche n-dotierte Pufferschicht eingefügt, in der das elektrische Feld schneller als im Mittelgebiet abgebaut wird. Diese sogenannte Field-Stop-Schicht ermöglicht ein dünneres Substrat, das die Durchlassspannung nochmals reduziert.

Inzwischen hat diese als Soft Punch Through (SPT) oder auch Trench-Gate-Field-Stop bezeichnete Technologie die vorangegangenen Punch Through (PT) und Non Punch Through (NPT) Technologien fast vollständig abgelöst. Über die leistungsarme Steuerung, die günstigen Durchlass- und Schalteigenschaften hinaus, werden Überströme durch eine maximale Ladungsträgermenge begrenzt. Auch wenn der IGBT bei kleinen Strömen einen negativen Temperaturkoeffizienten besitzt, ist eine Parallelschaltung mehrerer Chips bei nahezu allen heutigen IGBT-Technologien [Semi2] aufgrund eines positiven Temperaturkoeffizienten bei hohen Strömen möglich.

2.2.3 Aufbau- und Verbindungstechnik

Die Leistungshalbleiter-Chips werden in der Regel mit einem Gehäuse bzw. einem Modul umschlossen, um neben dem sicheren Anschluss der elektrischen Kontakte die Abfuhr der Verlustwärme, die Kapselung gegen Umwelteinflüsse und die elektrische Isolation zu gewährleisten. Damit die am Leistungshalbleiter entstehende Verlustleistung P_V abgeführt werden kann, muss die verwendete Aufbau- und Verbindungstechnik (AVT) sowohl eine gute thermische Anbindung an die Kühlenke gewährleisten, als auch den elektrischen und nicht elektrischen Belastungen standhalten können.

Typischer Leistungsmodulaufbau

Trotz der vielzähligen am Markt erhältlichen Gehäusebauformen unterscheidet sich die AVT der einzelnen Hersteller bei vergleichbarer Leistungsklasse kaum voneinander. Als Standard werden Leistungsmodule mit und ohne Bodenplatte angeboten, wobei der Wärmeabtransport in vertikaler Richtung stattfindet. Die verwendeten Materialien und Schichtdicken im Aufbau sind ähnlich und ermöglichen derzeit laut [Schr] einen Einsatz bis 250 °C. Aufgrund unterschiedlicher Ausdehnungskoeffizienten der verwendeten Materialien, einer benötigten guten Wärmeanbindung und der Belastung durch äußere Einflüsse kommt der AVT gerade bei erhöhten Anforderungen besondere Bedeutung in Hinblick auf die Lebensdauer zu.

Den typischen Aufbau eines Leistungshalbleitermoduls mit Bodenplatte und konventioneller Kühlung zeigt Abb. 2.11 in Anlehnung an [Lutz]. Hierbei ist eine

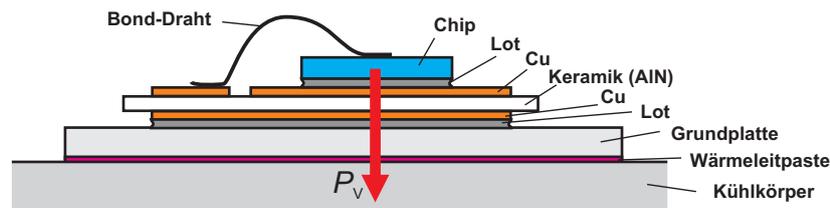


Abbildung 2.11: Aufbau eines Halbleitermoduls mit Grundplatte

konventionelle AVT dargestellt, bei der ein Halbleiterchip auf einer beidseitig mit Kupfer (Cu) beschichteten Aluminiumnitrid- (AlN-) oder Aluminiumoxid- (Al_2O_3 -) Keramik, der sogenannten DCB (direct copper bonded) aufgelötet ist. Die elektrisch isolierte Unterseite wird auf einer Cu- oder AlSiC-Bodenplatte (Aluminium-Siliziumkarbid) oder ggfs. auch direkt ohne Bodenplatte auf einen Kühlkörper aufgebracht. Die Anbindung der elektrischen Kontakte erfolgt über Gold- (Au-) oder Aluminium- (Al-) Bond-Drähte, bei denen Dicken im Bereich von $25..400\ \mu\text{m}$ und verschiedene Verfahren verwendet werden. Ein Silikonverguss oder ein Spritzgussgehäuse umschließt abschließend den gesamten Aufbau.

Ausfälle, Zuverlässigkeit und Lebensdauer

Für gehäuste Halbleiter wird in der Regel im Datenblatt die maximal abführbare Verlustleistung über der Sperrschichttemperatur ϑ_j angegeben (Power Derating). Welche Betriebsdauern zulässig sind, beschreibt die Safe Operating Area. Abb. 2.12 a) und b) zeigen als Beispiel die zulässigen Betriebsbereiche eines IGBT vom Typ SGP20N60 nach [Infi].

In den Anwendungen unterliegen die Leistungshalbleiter meist wechselnden aktiven und passiven Lasten, die neben einer hohen absoluten Temperatur auch hohe Temperaturhübe beinhalten können. Ausfälle treten trotz des Betriebes im zulässigen Betriebsbereich auf, da aufgrund der unterschiedlichen Material abhängigen Ausdehnungskoeffizienten starke mechanische Belastungen innerhalb der AVT entstehen können. Die Häufigkeit dieser Belastungen bestimmen die Ausfälle der eingesetzten Leistungshalbleiter und werden statistisch abgeschätzt.

Um die Ausfälle durch thermische Belastungen im Modul qualifizieren zu können und so die Lebensdauer bei bestimmten Einsatzbedingungen abschätzen zu können, werden die Bauelemente sogenannten Lastwechseltests unterzogen. Hier-

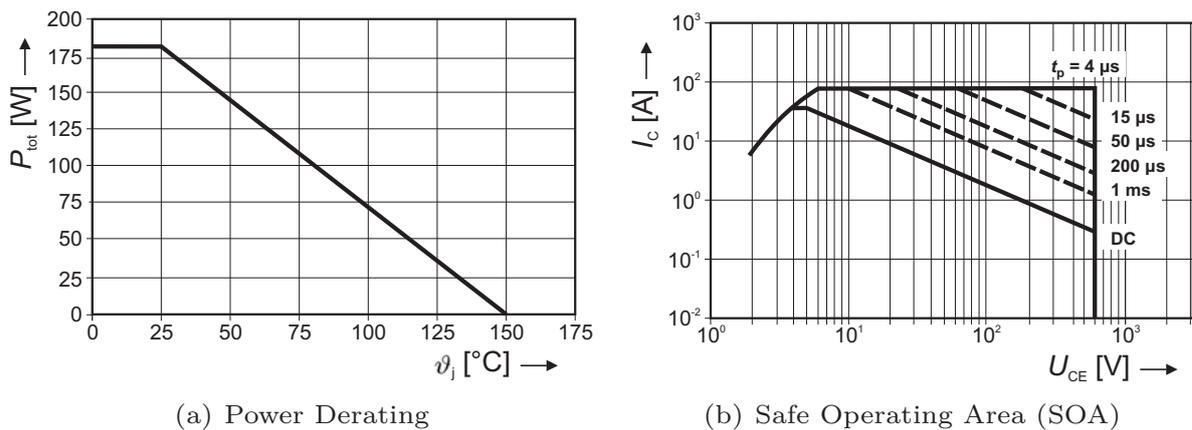


Abbildung 2.12: Typischer zulässiger IGBT-Betriebsbereich (Typ SGP20N60)

bei wird das Bauelement aktiv, also durch Laststrom verursachte Verluste aufgeheizt und über das Kühlsystem gekühlt. Die sich ausbildenden Temperaturgradienten im Modulaufbau sind erheblich, wobei ϑ_j zwischen der zu erwartenden $\vartheta_{j,max}$ und der durch die Kühlung bestimmten Minimal-Temperatur wechselt. Die Abb. 2.13 zeigt die statistischen Ausfallraten auf Basis von Lastwechselltests für aktuelle IGBT-Module mit Standard-AVT für hohe Sperrschichttemperaturen bei einem Belastungsprofil entsprechend Automotive-Forderungen.

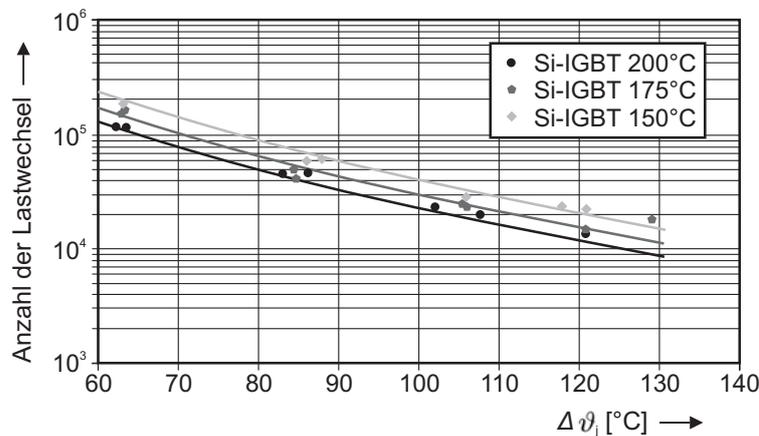


Abbildung 2.13: Lastwechsel-Ausfallkurven für aktuelle IGBT-Module [Koch]

Zusätzlich werden die Bauelemente sogenannten Temperaturwechselltests unterzogen, bei denen Leistungshalbleiter passiv, also von außen aufgeheizt und abgekühlt werden, um Umwelteinflüsse nachzubilden. Hierbei wird eine homogene Temperatur im Bauteil angestrebt, um sämtliche Verbindungen mit der maxi-

mal und minimal zulässigen Temperatur und den Temperaturhüben zu belasten. Die Temperaturbelastungen werden dabei über definierte Zyklen realistischen Anwendungsbedingungen nachempfunden.

Herkömmliche Standardmodule fallen meist aufgrund der Ermüdung von Lot-schicht zwischen Chip und Substrat, Substrat und Grundplatte oder aufgrund der Ablösung der Bond-Verbindungen aus. Für eine zuverlässige Verbindung sind sowohl die richtige Materialwahl als auch geeignete Metallisierungen erforderlich. Typische Ausfälle, wie die Ablösung eines Bonddrahtes, die Degradation (Gefügeveränderung der Chip-Metallisierung) oder ein Riss im Lot zeigt Abb. 2.14.

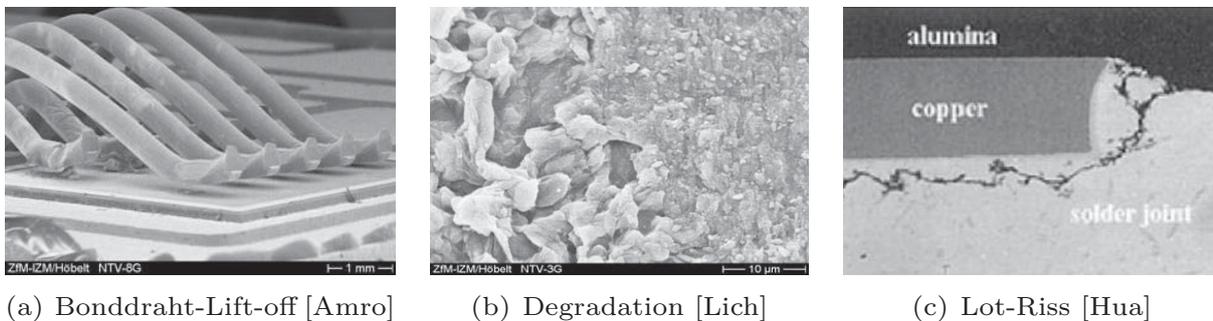


Abbildung 2.14: Fehlermechanismen durch thermische Wechsellast

Um eine zuverlässige Anbindung gewährleisten zu können, sind nach [Mert1] bei hohen Einsatztemperaturen entsprechend große Anbindungsflächen einzusetzen. Bei der derzeitigen AVT ist daher die passive und nicht die elektrische Belastung dimensionierend für die Chip-Größe. Nach [Lutz] gilt als Faustregel eine Lebensdauerreduzierung um eine Größenordnung bei einer Erhöhung des Temperaturhubes um 20 K. Je näher die Betriebsbedingungen an den technologischen Grenzen der Halbleiter liegen, desto dramatischer wird der Einfluss auf die Lebensdauer.

Während für Anwendungen, in denen die Effizienz im Vordergrund steht, die bereits vorgestellte konventionelle AVT Einsatz findet (z. B. PV), werden für Anwendungen mit hohen Temperaturanforderungen (z. B. Automobil) verbesserte AVT-Lösungen angestrebt und eingesetzt. So findet in neusten Leistungsmodulen die Niedertemperatur-Verbindungstechnik (NTV), ein Diffusionssinterverfahren mit Silberpulver, für die Anbindung von Chips auf das DCB Einsatz [Göbl].

Hierdurch wird die Zuverlässigkeit bei Hochtemperaturbelastung und die Lastwechselfestigkeit auch für hohe Sperrschichttemperaturen deutlich verbessert.

2.3 Verlustmechanismen bei Leistungshalbleitern

Die an den Halbleiterschaltern und -dioden als Wärme abzuführenden Verluste ergeben sich aus dem nicht idealen Verhalten bei den stationären und dynamischen Vorgängen der Leistungshalbleiter. Die Verlustanteile sind temperaturabhängig und steigen in der Regel mit zunehmender Temperatur an.

2.3.1 Statisches Verhalten

Die während des stationären Betriebes auftretenden Verluste werden im Wesentlichen durch die Durchlassverluste bestimmt. Aufgrund des Untersuchungsfokuses auf höhere Einsatztemperaturen werden im Folgenden aber auch die sonst zu vernachlässigenden Sperrverluste diskutiert, da bei Temperaturen im Grenzbereich während des Sperrzustandes aufgrund einer thermisch erhöhten Generierung von freien Ladungsträgern auch höhere Verluste auftreten können.

Durchlassverluste

Während des eingeschalteten Zustandes fällt am Halbleiter eine Durchlassspannung ab, die vom zu führenden Strom, der von der im Halbleiter zur Verfügung stehenden temperaturabhängigen Ladungsträgeranzahl und der Halbleiterstruktur selbst abhängt.

Die Beweglichkeit der Ladungsträger ist Halbleitermaterial abhängig und kann sich für Elektronen und Löcher unterscheiden. Je nach Halbleiterstruktur können sowohl beide Ladungsträgersorten (bipolar) als auch nur eine Ladungsträgersorte (unipolar) zum Ladungstransport beitragen. Bei unipolaren Bauelementen besteht für den Arbeitsbereich idealisiert betrachtet ein linearer Zusammenhang zwischen Durchlassspannung und Strom, der über den Durchlasswiderstand $R_{DS,on}$ beschrieben wird.

Bei bipolaren Bauelementen entsteht zur Überwindung der Raumladungszone des pn-Überganges eine Diffusionsspannung, welche zu einer Verschiebung der Durchlasskennlinie um diese sogenannte Schwellspannung U_0 führt. Im linearen

Bereich der Durchlasscharakteristik ist die Leitfähigkeit gegenüber unipolaren Bauelementen höher, was zu geringeren Durchlassspannungen bei höheren Strömen führt. Zusätzlich tritt in bipolaren Halbleitern mit schwach dotiertem Mittelgebiet bei hohen Strömen eine erhöhte Ladungsträgerüberschwemmung ein (Leitfähigkeitsmodulation), wodurch die Leitfähigkeit des n-Gebietes sogar geringfügig steigt. Vereinfacht kann dieser Teil als differentieller Widerstand $r = \frac{\Delta U_D}{\Delta i}$ angenommen werden, wobei U_D die Durchlassspannung (U_{CE} bei bipolaren und U_{DS} bei unipolaren Halbleitern) des vom Halbleiter geführten Stromes I (I_C bei bipolaren und I_D bei unipolaren Halbleitern) beschreibt.

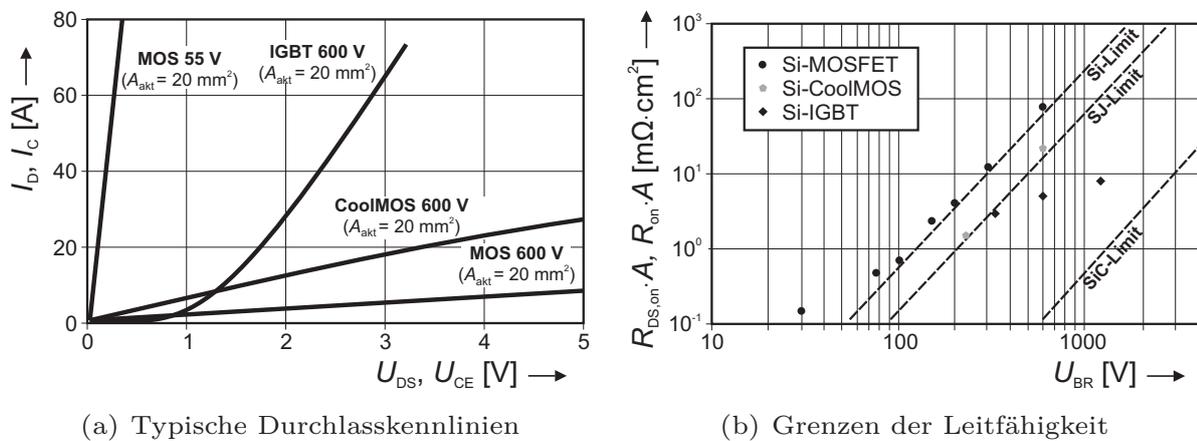


Abbildung 2.15: Durchlasseigenschaften von Si-MOSFET und -IGBT

In Abb. 2.15 a) sind die Durchlasskennlinien eines 600 V-Si-IGBT als bipolarer und eines 600 V-Si-Superjunction MOSFET (CoolMOS) sowie eines 55 V MOSFET als unipolare Vertreter bei gleicher Chip-Flächengröße im Vergleich dargestellt [Schr]. Die Spezifikation des Chip-Nennstromes erfolgt in erster Linie über die Definition einer tolerierbaren Durchlassspannung (ca. 1,7 bis 2,5 V). Bei den 1200 V-Si-IGBT liegt die typische Chip-Ausnutzung bei etwa $1,5 \text{ A/mm}^2$.

Bei dem Si-MOSFET hängt die Durchlassspannung direkt von der Sperrspannung aufnehmenden Substrat-Dicke ab. Daher kann ein nahezu linearer Zusammenhang zwischen Durchbruchspannung des Halbleiters und dem maximal erreichbaren Durchlasswiderstand gezogen werden. Abb. 2.15 b) zeigt diese Limits für die klassische und für die Superjunction-MOSFET-Technologie [Brie]. Für einen Vergleich wird die Hilfsgröße $R_{on} = \frac{U_{CE,sat}}{I_C}$ bestimmt, die für den Nennstrom des IGBTs bei Berücksichtigung einer gleichen Chip-Fläche A deutlich

unter dem $R_{DS,on}$ der MOSFET liegt. Die erheblich besser Leitfähigkeit begründet die Dominanz der IGBTs in dem Spannungsbereich über 500 V.

Die Halbleiterdurchlassspannung U_D zusammen mit dem zeitlich veränderlichen geführten Strom i ergeben die Durchlassverlustleistung P_{Durch}

$$P_{Durch,T}(\vartheta, i, t) = \frac{1}{T} \int_0^T U_{D,T}(\vartheta, i) \cdot i_T(t) dt \quad \text{für den Schalter bzw.} \quad (2.1)$$

$$P_{Durch,D}(\vartheta, i, t) = \frac{1}{T} \int_0^T U_{D,D}(\vartheta, i) \cdot i_D(t) dt \quad \text{für die Diode.} \quad (2.2)$$

Sperrverluste

Im Sperrzustand wird die volle Sperrspannung $U_S < U_{BR}$ als elektrisches Feld im Halbleiter aufgenommen. Die in der Raumladungszone vorhandenen oder durch z. B. thermische Energie generierten Ladungsträger müssen kontinuierlich ausgeräumt werden, was zu einem sogenannten Sperr- oder Leckstrom I_{Leck} führt. Zusammen mit der anliegenden Sperrspannung ergibt sich die Sperrverlustleistung P_{Sperr} , die bei niedrigen Temperaturen im Normalfall vernachlässigt werden kann.

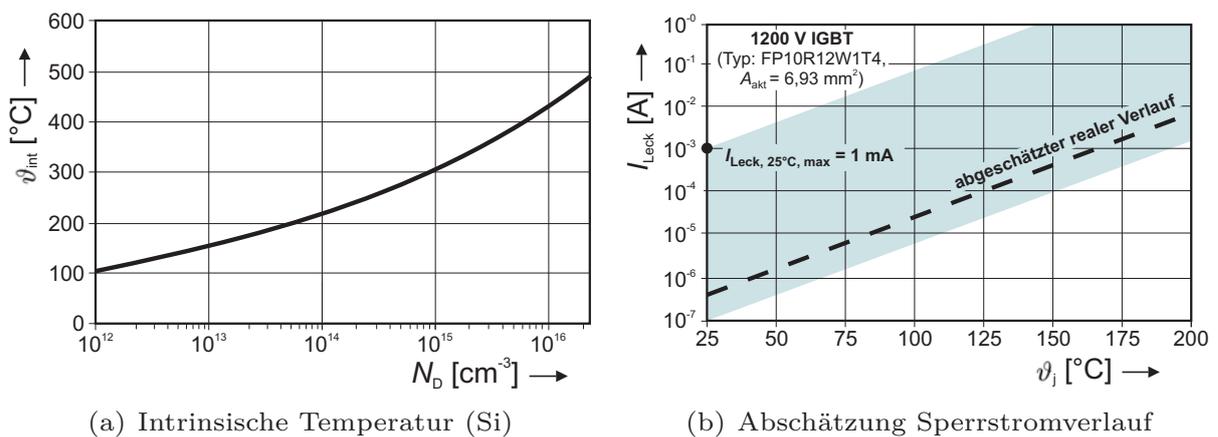


Abbildung 2.16: Temperatureinfluss auf das Halbleitersperrverhalten

Die intrinsische Ladungsträgerkonzentration n_i steigt über der Temperatur exponentiell an. Erreicht n_i die Ladungsträgerkonzentration der Grunddotierung spricht man von der intrinsischen Temperatur ϑ_{int} , ab der die Funktion des jewei-

ligen dotierten Bereiches innerhalb der Halbleiterstruktur beeinflusst wird [Lutz]. Abb. 2.16 a) zeigt ϑ_{int} über der Dotierung N_D , welches einen Anhaltspunkt über die physikalische Grenztemperatur bei der jeweiligen Dotierung darstellt. Die über der Temperatur steigenden freien Ladungsträger führen zu einem entsprechend höherem Sperrstrom. Nach [Kami] verdoppelt sich der Sperrstrom eines Si-Bauelementes alle 11 K. Sollte bei hohen Temperaturen die umgesetzte Verlustleistung nicht abgeführt werden können, besteht die Gefahr einer Mitkoppelung, die bis zum Lawinendurchbruch und somit zur Zerstörung des Halbleiters führen kann.

Anhand von Abb. 2.16 b) ist mittels des im Datenblattwert angegebenen maximalen Sperrstromes von einem aktuellen 10 A/1200 V-IGBT [Infi2] ersichtlich, dass unter Verwendung der Temperaturabhängigkeit aus [Kami] der Sperrstrom und die daraus resultierenden Sperrverluste bei hohen Temperaturen beträchtliche Werte annehmen können. Unter Berücksichtigung der in Kapitel 4 durchgeführten Messungen spiegelt die dargestellte Kurve die Größenordnung des realen Verlaufes wieder. Insgesamt begründet dies die Berücksichtigung des Sperrstromes bei hohen Temperaturen.

Die im Sperrzustand entstehende Verlustleistung ergibt sich für den Schalter zu

$$P_{\text{Sperr},T}(\vartheta, u, t) = \frac{1}{T} \int_0^T I_{\text{Leck},T}(\vartheta, u) \cdot u_{S,T}(t) dt \quad \text{bzw. zu} \quad (2.3)$$

$$P_{\text{Sperr},D}(\vartheta, u, t) = \frac{1}{T} \int_0^T I_{\text{Leck},D}(\vartheta, u) \cdot u_{S,D}(t) dt \quad \text{für die Diode.} \quad (2.4)$$

2.3.2 Dynamisches Verhalten

Beim harten Ein- und Ausschalten treten während der Kommutierung an den Halbleiterschaltern und den -dioden Spannung u und Strom i gleichzeitig auf und verursachen somit Verluste. Bei Verwendung der vorgestellten Halbleiterschalter verläuft der Schaltvorgang beim MOSFET und beim IGBT nahezu identisch und wird über die Potentialdifferenz zwischen Gate und Source bzw. Emitter gesteuert. Die angelegte Spannung und der bereitgestellte Strom laden die durch die

MOS-Schicht resultierende Gate-Kapazität (C_{GS} bzw. C_{GE}) um, deren Zustand die Leitfähigkeit des Kanals bestimmt. Die beim Umladen entstehenden Gate-seitigen Ansteuerungsverluste sind sehr gering und können vernachlässigt werden.

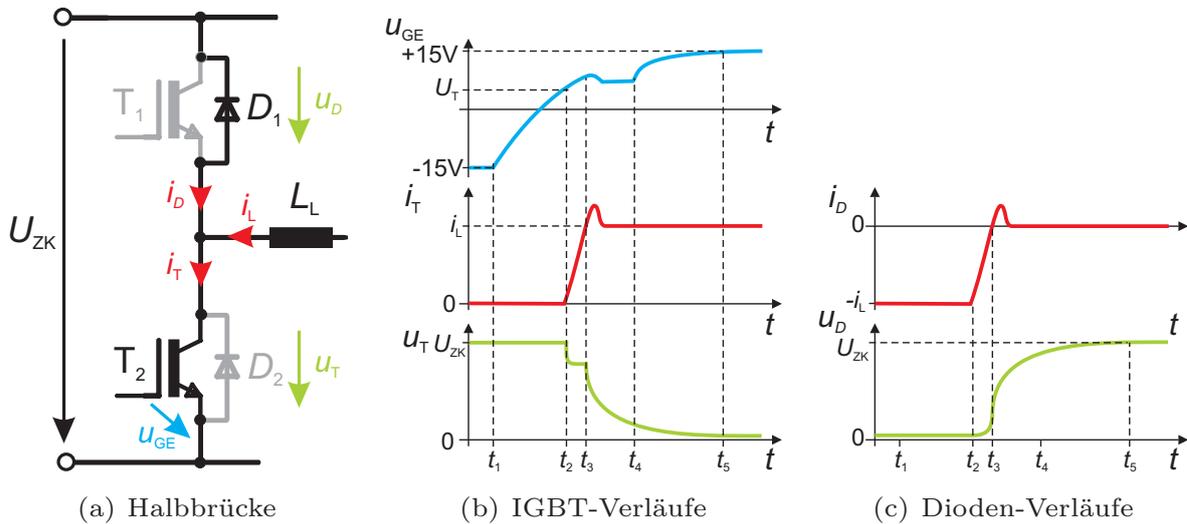


Abbildung 2.17: Prinzipieller Einschaltvorgang von IGBT und Diode

Den Kommutierungskreis in einer Wechselrichterhalbbrücke zeigt Abb. 2.17 a). In Abb. 2.17 b) sind die Verläufe von der IGBT-Ansteuerspannung (Gate-Spannung) u_{GE} , dem Schalterstrom i_T , der im Falle des IGBT dem Kollektorstrom i_C entspricht, und der Schalterspannung u_T , die im Falle des IGBT der Kollektor-Emitter-Spannung u_{CE} entspricht beim Einschalten des T_2 dargestellt.

Abb. 2.17 c) zeigt die Verläufe von dem Strom i_D sowie der Spannung u_D der korrespondierenden Diode D_1 bei abkommutierendem Strom. Im ausgeschalteten Zustand des IGBT $t < t_0$ beträgt die Gate-Emitter-Spannung $u_{GE} = -15\text{ V}$ und der Schalter nimmt die volle Sperrspannung U_{ZK} auf. Die Diode führt den gesamten Strom. Zum Zeitpunkt t_1 erfolgt der Beginn des Einschaltens vom IGBT, woraufhin die Gate-Kapazität über den bereitgestellten Gate-Strom einer Treiberstufe umgeladen wird. Bei t_2 wird die Schwellspannung erreicht und der IGBT wird leitfähig. Der Stromanstieg von i_T ruft an der im Strompfad befindlichen Streuinduktivität einen Spannungsabfall hervor, um den sich die anliegende Kollektor-Emitter-Spannung reduziert. Bei t_3 führt der Schalter den

vollen von der Diode abkommutierten Strom. Aufgrund der nicht sofort eintretenden Sperrfähigkeit der Diode (Rückwärtserholstrom) tritt ein Stromüberschwinger auch beim Schalter auf. Dabei steigt u_{GE} etwas an. Sobald die Diode Spannung aufnimmt, fällt die Kollektor-Emitter-Spannung des IGBT. Ab hier verändert sich die Gate-Emitter-Kapazität, so dass der gesamte Gate-Strom zum Umladen benötigt wird. Hierbei bleibt die Gate-Emitter-Spannung konstant (Miller-Plateau). Erst ab $t > t_4$ steigt u_{GE} weiter an, bis der IGBT den stationär eingeschalteten Zustand erreicht hat [Kami].

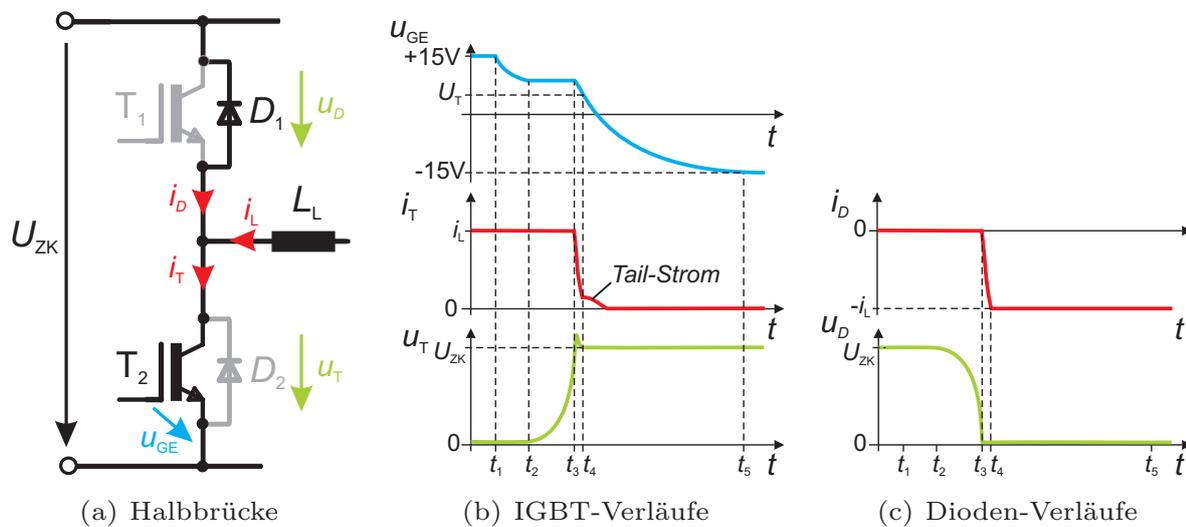


Abbildung 2.18: Prinzipieller Ausschaltvorgang von IGBT und Diode

Das Ausschalten des IGBT findet in umgekehrter Reihenfolge wie das Einschalten statt. Abb. 2.18 a) bis c) zeigen die Verläufe der Spannungen und Ströme des ausschaltenden IGBT sowie die den Strom übernehmenden Diode.

Im eingeschalteten Zustand ($t < t_1$) liegt $u_{GE} = +15V$ an und der IGBT führt den gesamten Laststrom. Über dem Schalter liegt lediglich die stationäre Durchlassspannung an. Zum Zeitpunkt t_1 wird das Gate auf $u_{GE} = -15V$ geschaltet und die Gate-Kapazitäten werden über den Gate-Strom entladen. Ab t_2 sinkt die Gate-Emitter-Spannung nicht weiter ab, da der begrenzte Strom voll genutzt wird, um die Gate-Kollektor-Kapazität umzuladen (Miller-Plateau). Hierbei nimmt der IGBT Sperrspannung auf. Bei t_3 wird die Zwischenkreisspannung U_{ZK} erreicht und die Freilaufdiode beginnt den Strom zu übernehmen.

Der Stromanstieg verursacht an der Streuinduktivität eine Überspannung, die der IGBT zusätzlich aufnehmen muss. Die Anstiegsgeschwindigkeit wird wie beim Einschalten durch den Umladevorgang und somit den Gate-Strom bestimmt. Bei t_4 ist die Schwellspannung unterschritten und die Ladungsträger werden aus dem IGBT ausgeräumt. Hierbei entsteht ein sogenannter Tail-Strom, der beim MOSFET aufgrund des unipolaren Verhaltens nicht vorhanden ist. Sobald die Kapazitäten vollständig umgeladen und die Ladungsträger ausgeräumt sind, ist der Ausschaltvorgang abgeschlossen [Kami].

Hierbei ergeben sich jeweils für Schalter T und Diode D die Ein- (E_{on}) und Ausschaltverlustenergie (E_{off}) zu

$$E_{\text{on},T} = \int_{t_0}^{t_0+t_{\text{on}}} U_T(t) \cdot i_T(t) dt \quad \text{und} \quad (2.5)$$

$$E_{\text{off},T} = \int_{t_0}^{t_0+t_{\text{off}}} U_T(t) \cdot i_T(t) dt \quad \text{bzw.} \quad (2.6)$$

$$E_{\text{on},D} = \int_{t_0}^{t_0+t_{\text{on}}} U_D(t) \cdot i_D(t) dt \quad \text{und} \quad (2.7)$$

$$E_{\text{off},D} = \int_{t_0}^{t_0+t_{\text{off}}} U_D(t) \cdot i_D(t) dt. \quad (2.8)$$

Die Schaltverlustleistung P_{Schalt} eines Halbleiters ist proportional zu der Schaltfrequenz f_{Schalt} sowie den in Wärme umzusetzenden Schaltverlustenergien und beträgt

$$P_{\text{Schalt},T} = f_{\text{Schalt}}(E_{\text{on},T} + E_{\text{off},T}) \quad \text{bzw.} \quad (2.9)$$

$$P_{\text{Schalt},D} = f_{\text{Schalt}}(E_{\text{on},D} + E_{\text{off},D}). \quad (2.10)$$

Wie beschrieben werden die Schaltgeschwindigkeiten der Schalter durch den bereitgestellten Gate-Strom beeinflusst, der in der Regel über einen Gate-Widerstand eingestellt wird. Um die Dauer des Schaltvorganges und somit die Verlustleistung zu reduzieren, sollten die Schaltvorgänge entsprechend schnell ablaufen. Allerdings begrenzen Randbedingungen, wie Überspannungen durch parasitäre

Induktivitäten, der Dioden-Rückwärtserholstrom oder EMV-Anforderungen diese Geschwindigkeit. Für Anwendungen mit hohen Schaltgeschwindigkeiten und -frequenzen sind insbesondere unipolare Leistungshalbleiter geeignet, da bei ihnen das dynamische Verhalten in der Regel günstiger ist.

Bei den Schaltverlusten der Leistungsdioden ist das Rückwärtserholverhalten beim Abschalten entscheidend, da dies nicht nur in der Diode, sondern auch im Halbleiterschalter die Verluste beeinträchtigt. Aufgrund des nahezu idealen Einschaltens können die Dioden-Einschaltverluste vernachlässigt werden.

In Halbbrücken können anstatt zusätzlicher Dioden auch die Inversdiode (Bodydiode) bestimmter Halbleiterstrukturen (z. B. MOSFET) genutzt werden. Leider stehen der Einsparung der zusätzlichen Freilaufdioden durch die Inversdiode enge technologische Grenzen entgegen, da in der Strukturauslegung ein Optimierungskompromiss für die dynamischen und statischen Eigenschaften des Schalters und der Diode gefunden werden muss. Insbesondere bei Superjunction-MOSFETs weist die Inversdiode ein ungünstiges Verhalten als Zugeständnis für die relativ hohe Sperrfähigkeit auf.

2.4 Kühlung von Leistungshalbleitern

In einem leistungselektronischen System kommt der Kühlung von Leistungshalbleitern eine besondere Bedeutung zu. Neben der Abfuhr der in Wärme umgewandelten Verluste der Leistungshalbleiter, konzentriert sich bei einer geforderten hohen Leistungsdichte die Wärmeentwicklung und erfordert einen hohen Wärmefluss. Je effektiver die Kühlung ist, desto höher kann der Halbleiter elektrisch belastet werden, oder desto kleiner kann die Kühlfläche und entsprechend das Bauvolumen dimensioniert werden. Um eine hohe Verlustleistung abführen zu können, sollte der thermische Widerstand zwischen Chip und Kühlsenke klein sein. Erreicht werden kann dies durch wenige dünne Schichten im Modulaufbau, thermisch gut leitende Materialien und Material schlüssige Übergänge.

Im Folgenden werden die der Entwärmung zugrunde liegenden Transportmechanismen und darauf aufbauend die an einem typischen Leistungshalbleitermodulaufbau (vgl. Abb. 2.11) auftretenden Wärmewiderstände erläutert. Im Anschluss werden mögliche Kühltechnologien zur Erreichung von hohen Leistungsdichten vorgestellt und untereinander verglichen. Für die Vergleiche maßgeblich

ist u. a. die Chiptemperatur, dessen Messung ohne zusätzlichen Temperaturfühler ebenfalls vorgestellt wird.

2.4.1 Entwärmungsmechanismen

Die im Bauelement in Wärme umgesetzte Verlustenergie ist die Wärmemenge Q

$$Q = \int_0^t P_V(t) dt = \int_0^t P_{\text{Durch}}(t) + P_{\text{Schalt}}(t) + P_{\text{Sperr}}(t) dt. \quad (2.11)$$

Kann die im Halbleiter (im Wesentlichen im Bereich der pn-Übergänge) umgesetzte Wärmemenge nicht abgeführt werden, kommt es zu einer Erhöhung der Sperrschichttemperatur ϑ_j . Die entstehende Temperaturdifferenz zur Kühlsenke führt zu einem Wärmestrom $\dot{Q} = P_V$ [J/s = W], der die am Bauteil entstehende Verlustleistung abtransportiert und ein energetisches Gleichgewicht anstrebt. Der Wärmeabtransport findet durch die drei folgenden physikalischen Wärmetransportmechanismen statt:

- Wärmeleitung (Fouriersches Gesetz)
- Konvektion (Newtonsches Gesetz)
- Wärmestrahlung (Stefan Boltzmann Gesetz).

Wärmeleitung

Die Wärmeleitung basiert auf der thermischen Leitfähigkeit λ [W/mK] von Materialien. Herrscht eine Temperaturdifferenz $\Delta\vartheta$ gilt für die abführbare Leistung

$$\dot{Q}_{\text{Ltg}} = \lambda \cdot \frac{\Delta\vartheta}{d} \cdot A = \lambda \cdot \frac{\vartheta_2 - \vartheta_1}{d} \cdot A. \quad (2.12)$$

Der thermische Widerstand R_{th} ergibt sich innerhalb eines Materials zu

$$R_{\text{th}} = \frac{d}{\lambda \cdot A}, \quad (2.13)$$

wobei d die Dicke und A die Fläche der zu durchdringenden Schicht abmisst.

Konvektion

An Oberflächen, bei der bewegte Luft oder ein anderes Medium die Wärmeenergie abtransportiert, tritt Konvektion auf. Bei einer Oberfläche A mit der Oberflächentemperatur ϑ_{sur} und einer Umgebungstemperatur ϑ_{amb} gilt

$$\dot{Q}_{\text{Konv}} = \alpha \cdot A \cdot (\vartheta_{\text{sur}} - \vartheta_{\text{amb}}). \quad (2.14)$$

Der Wert α [W/m²K] ist dabei der Wärmeübergangskoeffizient vom festen in das bewegte Medium. Hierbei ergibt sich der Wärmeübergangswiderstand zu

$$R_{\text{th,trans}} = \frac{1}{\alpha \cdot A}. \quad (2.15)$$

Wärmestrahlung

Die Wärmestrahlung findet zwischen Oberflächen und der Umgebung mittels Infrarotstrahlung statt. Je größer der Emissionskoeffizient $\epsilon = 0..1$ [W/m²K⁴] der Materialoberfläche ist, desto höher ist die abgestrahlte Wärmeleistung

$$\dot{Q}_{\text{Rad}} = \epsilon \cdot \sigma \cdot A (\vartheta_{\text{sur}}^4 - \vartheta_{\text{amb}}^4). \quad (2.16)$$

Die Stefan-Boltzmann-Konstante σ besitzt den Wert $5,6703 \cdot 10^{-8}$ W/m²K⁴.

Wärmekapazität

Die Menge der speicherbaren thermischen Energie eines Materials wird über die Wärmekapazität C_{th} [kg/cm³] beschrieben. Bei einer Verlustleistung P_V ergibt sich zum Zeitpunkt t die Temperatur zu

$$\vartheta(t) = \frac{P_V}{R_{\text{th}}} \cdot \left(1 - e^{-\frac{t}{R_{\text{th}} C_{\text{th}}}}\right) + \vartheta_{\text{amb}} \quad \text{mit} \quad (2.17)$$

$$C_{\text{th}} = \rho \cdot c_{\text{th}} \cdot V. \quad (2.18)$$

Hierbei ist c_{th} [Ws/kgK] die spezifische Wärmekapazität und ρ [kg/m³] die Dichte des Materials.

Thermisches ESB von Leistungsmodulen

Die Wärmewiderstände und -kapazitäten der einzelnen Schichten können in einem Ersatzschaltbild (ESB) analog zum elektrischen Kreis dargestellt werden. Der Temperaturgradient $\Delta\vartheta$ entspricht der elektrischen Spannung und die abgeführte Verlustleistung P_V dem elektrischen Strom. Danach gilt

$$\Delta\vartheta = P_v \cdot R_{\text{th}} \quad \text{und} \quad (2.19)$$

$$\vartheta(t) = \frac{1}{C_{\text{th}}} \int_0^t P_v(t) dt + \vartheta_0. \quad (2.20)$$

Das ESB spiegelt die thermischen Bedingungen und Anbindungen wieder, wobei die Wärmetransportmechanismen auch parallele Wärmepfade verursachen können. Bei konstant zugeführter Verlustleistung stellt sich ein stationärer Zustand ein, bei dem feste Temperaturgradienten zwischen den Materialien bzw. Medien entstehen. Zur Bestimmung der thermischen Einschwingvorgänge können nach [Eckh] folgende Ansätze verfolgt werden:

1. Bei einfachen Wärmeverteilungen: Elemente aus Geometrie des Aufbaus und Materialparametern (eindimensionaler Wärmefluss)
2. Bei komplexeren Verteilungen: Finite Elemente Simulation (ggfs. dreidimensional) oder ESB mit gleicher thermischer Sprungantwort
3. ESB-Parameterbestimmung aus der Abkühlkurve des realen Systems
4. Foster-Netzwerk (kein Bezug zu realen Schichten, für Parameteruntersuchungen ungeeignet).

Um an dieser Stelle die Anschauung der thermischen Widerstände eines Halbleitermoduls zu vereinfachen, werden im Folgenden die dynamischen Vorgänge vernachlässigt. Abb. 2.19 a) zeigt ein R_{th} -Netzwerk mit Berücksichtigung der in den Schichten stattfindenden Wärmespreizung für diesen Fall (Vernachlässigung C_{th}). Das ESB für den stationären Fall und einem idealisierten eindimensionalen Wärmefluss (nur ein Entwärmungspfad, keine Wärmespreizung) zeigt Abb. 2.19 b) für einen gehäusten Leistungshalbleiter entsprechend Abb. 2.11.

Tabelle 2.1 zeigt auf Basis von Glg. 2.13 die thermischen Widerstände für typische Schichtdicken bei idealem Kühlkörper ($R_{\text{th,heatsink}} = 0$). Neben dem Anteil

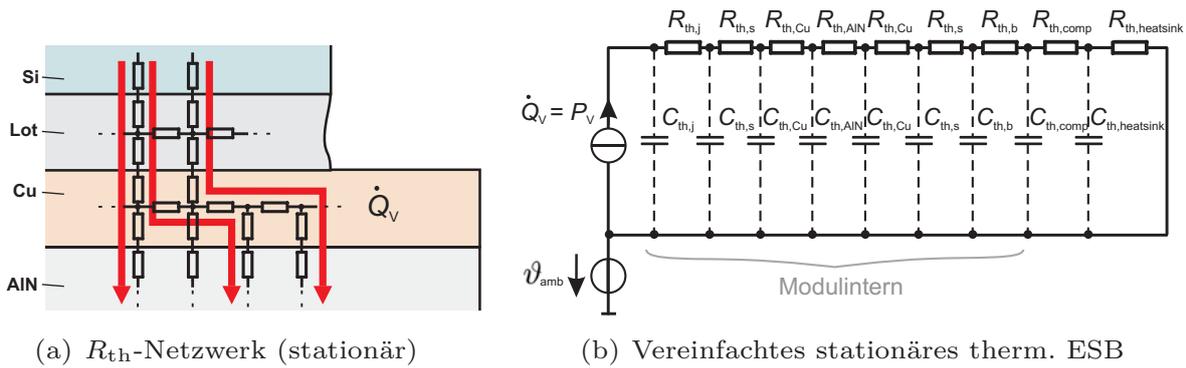


Abbildung 2.19: Thermische Widerstände bei Leistungshalbleitern

Tabelle 2.1: Typische R_{th} bei idealem Kühlkörper (Chipfläche: 1 cm^2)

Material	λ [W/mK]	d [μm]	R_{th} [K/W]	Anteil an $R_{th,ges}$
Silizium	150	200	0,013 ($R_{th,j}$)	2%
Lot	35	100	0,029 ($R_{th,s}$)	4,4%
Cu	384	300	0,008 ($R_{th,Cu}$)	1,3%
AlN	150	1000	0,067 ($R_{th,AlN}$)	10,2%
Cu	384	300	0,008 ($R_{th,Cu}$)	1,3%
Lot	35	200	0,029 ($R_{th,s}$)	4,4%
AlSiC	200	5000	0,25 ($R_{th,b}$)	38,2%
Wärmeleitpaste	2	50	0,25 ($R_{th,comp}$)	38,2%

der Wärmeleitpaste mit einer relativ niedrigen Leitfähigkeit, ist der thermische Widerstand der AlSiC-Bodenplatte aufgrund der Dicke hoch. Dünnere Bodenplatten senken real diesen Anteil nur bedingt, da mit der reduzierten Dicke auch die Wärmespreizung und somit die zur Entwärmung verfügbare Fläche reduziert wird. Laut [Semi1] wird in Modulen ohne Bodenplatte das Fehlen der Wärmespreizung im Kupfer (Cu) durch die wegfallenden thermischen Widerstände von Bodenplatte und Rückseitenlötung kompensiert.

2.4.2 Vergleich von Leistungskühltechnologien

Als Leistungshalbleiterkühlungen kommen entsprechend der geforderten Kühlleistung, dem Aufwand und den Kosten verschiedene Kühltechnologien zum Einsatz. Unterschiede in den Kühltechnologien finden sich in erster Linie in den Kühlmedien, deren Eigenschaften über Aufwand und Effizienz entscheiden.

Luftkühlung

Bei der konventionellen Luftkühlung kann die Luft ruhend oder forciert über einen Lüfter dem Kühlkörper zugeführt werden. Zur Erhöhung des Wärmeübergangskoeffizienten wird die Kühlfläche meist durch Kühlrippen vergrößert. Diese Kühlung ist einfach und kostengünstig, wird aber aufgrund der relativ geringen Kühlleistung nicht für Hochleistungskühlungen eingesetzt. Bei Einsatz sehr robuster hochoberflächiger Halbleiter und Komponenten könnten durch den Ersatz einer Wasserkühlung durch eine Luftkühlung vereinzelt kostengünstige Alternativen entstehen.

Wasserkühlung

Für höhere Kühlleistungen findet die Wasserkühlung in unterschiedlichen Bauweisen Einsatz. Hierbei wird der Leistungshalbleiter auf einen Wasser durchströmten Kühlkörper aufgebracht und entwärmt. Die abtransportierte Wärme wird im Kühlkreislauf mittels Umwälzpumpe zu einem Rückkühler abtransportiert, der die Wärme vom Wasser an die Umgebungsluft abgibt. In der Regel wird ein Wasser-/Glykol-Gemisch eingesetzt, welches nicht isolierend wirkt, so dass ein elektrischer Kontakt vermieden werden muss. Die abführbare Leistung wird durch die Differenz von Hin- und Rücklauftemperatur sowie den Volumenstrom bestimmt.

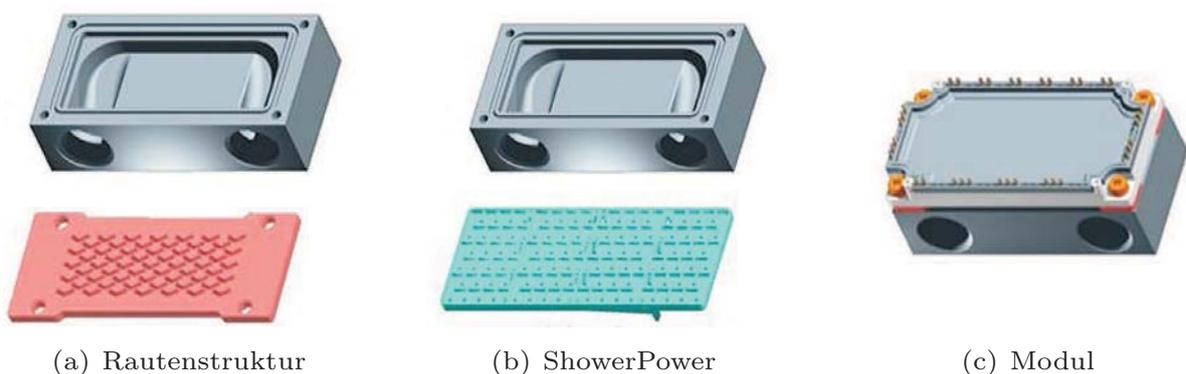


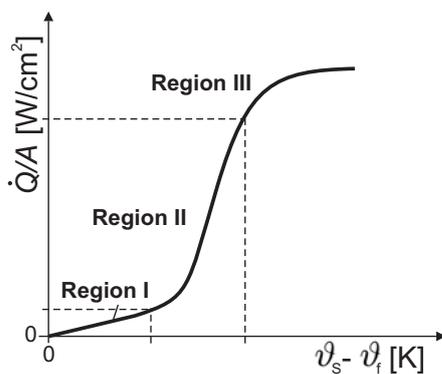
Abbildung 2.20: Optimierte direkte Wasserkühlungen [Baum]

Zur Verbesserung der Kühlanbindung bei der Wasserkühlung kann die Bodenplatte mit ihrem Wärmewiderstand eingespart werden. Hierfür wird die DCB-

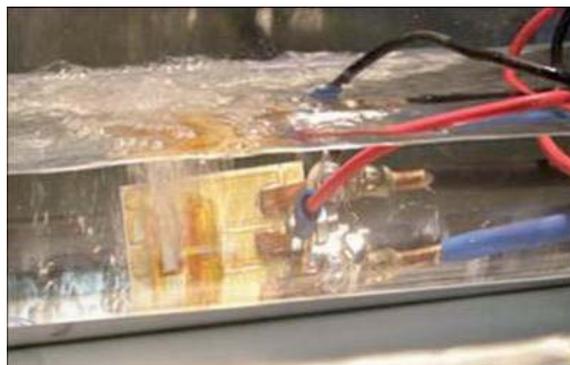
Unterseite direkt vom Wasser umspült, womit allerdings gleichzeitig die Wärmekapazität der Bodenplatte entfällt und somit die Überlastfähigkeit verringert wird. Diese sogenannte direkte Wasserkühlung gestattet noch höhere Kühlleistungen und kann weiter optimiert werden, indem die angeströmte Oberfläche der Modulunterseite vergrößert und das Kühlmittel nicht laminar, sondern turbulent geführt wird. Hierfür werden Rauten- oder Stiftstrukturen (Markenname: PinFin, Fa. Infineon) verwendet. Eine Alternative ist der Einsatz von einem Kunststoffeinsatz (Markenname: ShowerPower, Fa. Danfoss), wodurch die Kühlleistung weiter gesteigert wird und aufgrund einer mäanderförmigen Struktur Temperaturgradienten innerhalb der Bodenplatte reduziert werden. Bei allen direkt gekühlten Varianten ist jedoch die Dichtigkeit zwischen Modul und Kühlkreislauf gerade unter Druck anfällig und verlangt besonderes Augenmerk. Die in Abb. 2.20 abgebildeten Kühlkörper zeigen beide Varianten und liegen als Testmuster für die Untersuchungen vor.

Siedebadkühlung

Eine sehr effiziente Variante der Kühlung mittels Konvektion ist die Siedebadkühlung, deren physikalisches Prinzip auch für Heatpipes zur Wärmespreizung verwendet wird.



(a) Siede-Charakteristik



(b) Siedender Halbleiter

Abbildung 2.21: Siedebadkühlung

Hierbei wird durch die bei einem Phasenübergang von flüssig zu gasförmig benötigte Verdampfungsenergie zur Entwärmung der Wärmequelle genutzt und im Kühlmedium abtransportiert. Neben Wasser können auch spezielle hochisole-

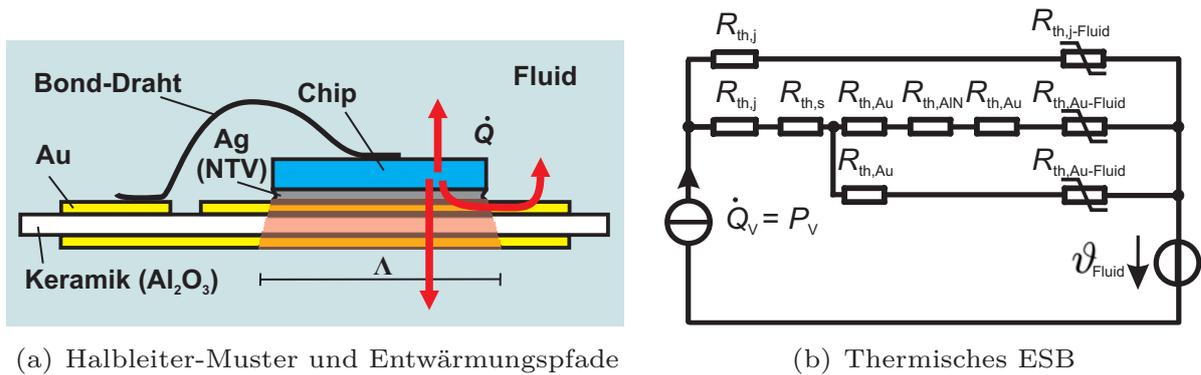


Abbildung 2.22: Thermische Betrachtung eines Moduls mit Siedebadkühlung

rende Fluide (z. B. Solkatherm) eingesetzt werden, so dass Halbleiter direkt umspült werden können. Dies ermöglicht neben niedrigen Übergangswiderständen eine beidseitige direkte Flüssigkeitskühlung. Das Fluid kann im abgeschlossenen Kühlkreislauf über eine Pumpe oder ruhend an den Halbleiter geführt werden, wobei das Gas an einem Luft- oder Wasserrückkühler kondensiert und somit wieder verflüssigt wird. Über den Druck im Kühlsystem wird die Siedetemperatur beeinflusst. Abb. 2.21 a) zeigt nach [Miti] eine typische Siedecharakteristik. Hierbei findet in Region I der Wärmetransport hauptsächlich über konventionelle Konvektion statt, da der vorherrschende Temperaturgradient noch nicht zum Sieden des Fluids führt. In Region II siedet das Kühlmedium und der Wärmeabtransport findet über die Verdampfung statt und steigt erheblich bis ein Gasfilm an der Oberfläche die Zuströmung von flüssigem Kühlmedium beeinträchtigt und ein Sättigungseffekt eintritt (Region III). Abb. 2.21 b) zeigt einen Musterhalbleiter im untersuchten Versuchsaufbau während des Siedens.

Durch die Möglichkeit der beidseitigen Kühlung entstehen im Gegensatz zum Wärmestrom in einem Modul mit konventioneller Kühlung (vgl. Abb. 2.11) weitere relevante Entwärmungspfade. Abb. 2.22 a) zeigt den Aufbau des Versuchsmusters mit den nacheinander bei jeweiligem Erreichen der Siedetemperatur zur Verfügung stehenden Pfaden. Im Gegensatz zum zuvor vorgestellten typischen Modulaufbau sind die Ober- und Unterseite mit Gold (Au) und nicht mit Kupfer (Cu) beschichtet sowie die Chip-Gold-Verbindung mittels Niedertemperatur Verbindungstechnik (NTV) realisiert. Unter Berücksichtigung der zusätzlichen Wärmepfade wurde das in Abb. 2.22 b) dargestellte thermische ESB abgeleitet,

wobei die variablen Widerstände die thermischen Übergänge durch das temperaturabhängige Sieden an den jeweiligen Oberflächen repräsentieren.

Sobald das Sieden eingesetzt hat, ist der thermische Übergangswiderstand sehr gering und somit der Wärmefluss hoch. Dies hat zur Folge, dass kaum Wärmespreizung stattfindet und dass das Sieden nur lokal um die Wärmequelle herum auftritt. Beschrieben wird dies durch die thermische Abklinglänge Λ mit

$$\Lambda = \sqrt{\frac{\lambda_{\text{Spreiz}} d_{\text{Sprei}} d_{\text{Ableit}}}{\lambda_{\text{Ableit}}}}. \quad (2.21)$$

Hierbei beschreibt λ_{Spreiz} die laterale und λ_{Ableit} die vertikale thermische Leitfähigkeit im Modulaufbau mit der vom jeweiligen Wärmefluss zu durchdringenden Materiallänge d_{Sprei} bzw. d_{Ableit} .

Bestimmung der Chip-Temperatur

Die Beurteilung der Leistungsfähigkeit von Kühltechnologien erfolgt anhand der thermischen Widerstände vom Chip in das Kühlmedium. Zu deren Bestimmung sind die umgesetzte Verlustleistung sowie die Temperaturen von Wärmequelle (Chip) und -senke (Kühlmedium) erforderlich. Da die Chip-Temperatur in der Regel nicht direkt aufgenommen werden kann, erfolgt die Bestimmung oft indirekt über einen Modul integrierten Sensor. Dieser spiegelt allerdings aufgrund der begrenzten Wärmespreizung im Modul und der Entfernung zwischen Sen-

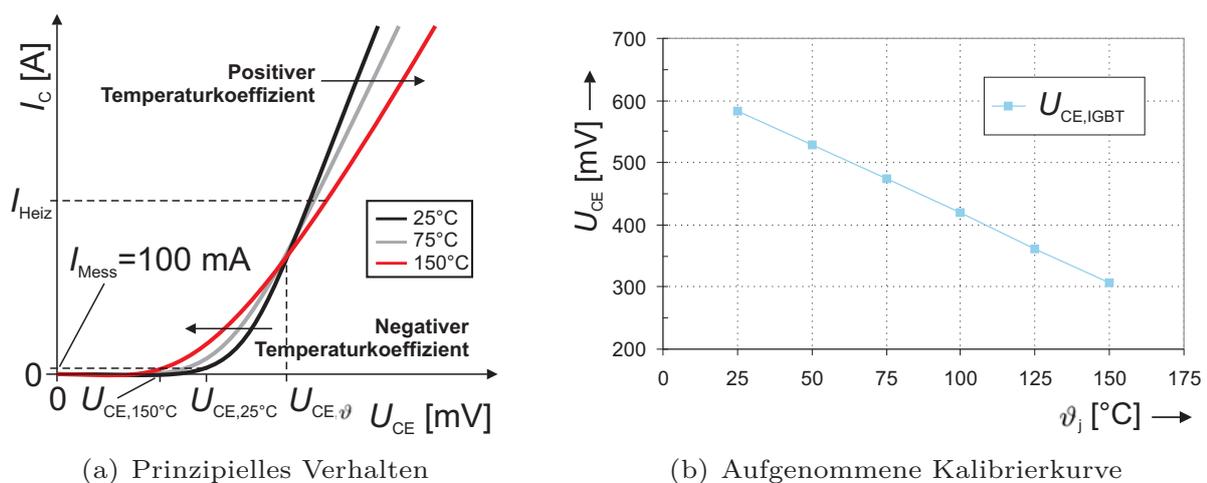


Abbildung 2.23: U_{CE} -Charakteristik eines IGBT

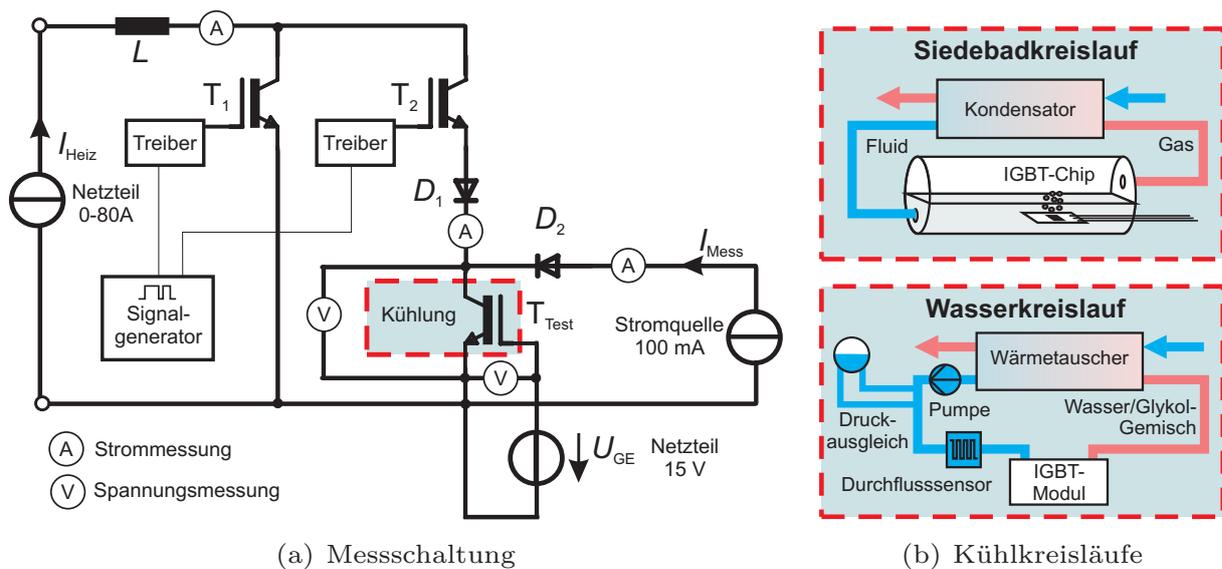


Abbildung 2.24: Messschaltung und eingesetzte Kühlkreisläufe

sor und Chip die Sperrschichttemperatur nur tendenziell wieder. Die Temperaturmessung mittels Methoden wie Infrarot oder direkt an den Chip gekoppelte Temperaturfühler ist bei Standardmodulen aufgrund des Silikonvergusses nicht möglich.

Im Rahmen dieser Arbeit wurde für einen Kühltechnologievergleich die Bestimmung der Chip-Temperatur über die Halbleitereigenschaften (Vergleiche [Sche] U_{CE} -Methode) durchgeführt. Hierbei wird die temperaturabhängige Durchlassspannung eines IGBT extern gemessen und mit einer Referenzkurve abgeglichen. Dies ermöglicht die Verwendung von Standardmodulen und vermeidet für die Umgebung einer Siedebadkühlung die Einbringung einer Störstelle als Siedekeime. Für die Messung wird der IGBT entsprechend Abb. 2.23 a) im unteren Bereich seiner Durchlasskennlinie mit einem konstanten Strom von 100 mA bestromt. In diesem Bereich besitzt der IGBT eine starke Temperaturabhängigkeit bei negativem Temperaturkoeffizienten. Allerdings ist die Referenzkurve für jeden IGBT aufzunehmen, da die Bauteilstreuung in diesem Bereich zu Abweichungen führt. Eine aufgenommene Referenzkurve für einen IGBT-Chip vom Typ SIGC158T120R3 (Fa. Infineon) zeigt Abb. 2.23 b).

Zur Erzeugung der Verlustwärme werden die Durchlassverluste des IGBT genutzt, die über einen Kollektor-Strom im Nennbereich und ggfs. durch das Ab-

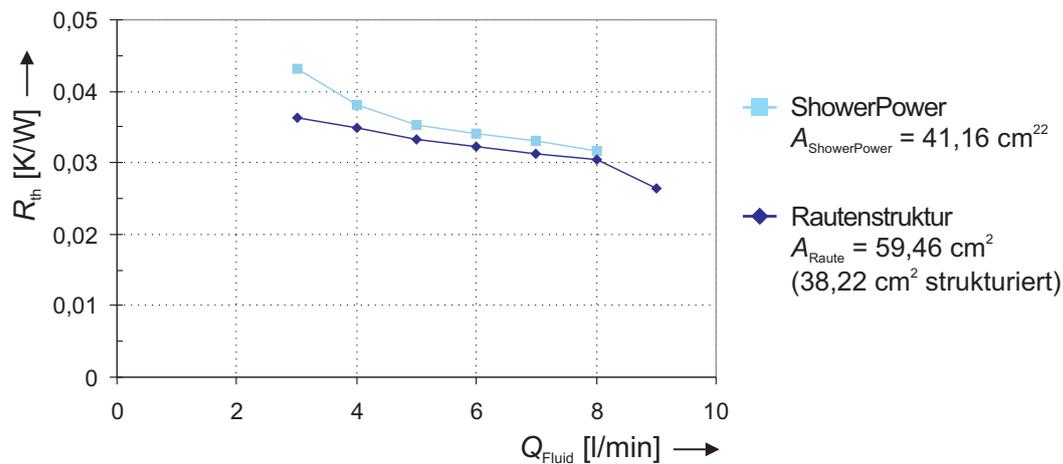
senken der Gate-Spannungen eingestellt werden können. Der Messstrom wird über eine getrennte Messschaltung kontinuierlich über den IGBT geführt, so dass zur schnellen Messung lediglich der Heizstrom abkommutiert werden muss. Abb. 2.24 a) zeigt die entwickelte Schaltung mit der hierfür geeigneten Kommutierungszelle und dem Messkreis. In Abb. 2.24 b) sind die unterschiedlichen Kühlkreisläufe für die direkte Wasserkühlung dargestellt. Die Verluste des gegenüber dem Kollektorstrom deutlich geringeren Messstromes können vernachlässigt werden. Das Abklingen der dynamischen Vorgänge beim Abkommutieren des Stromes benötigt ca. $50 \mu\text{s}$ und erlaubt damit eine sehr schnelle Bestimmung der Chiptemperatur im Vergleich zu anderen Verfahren.

Vergleich der Ergebnisse

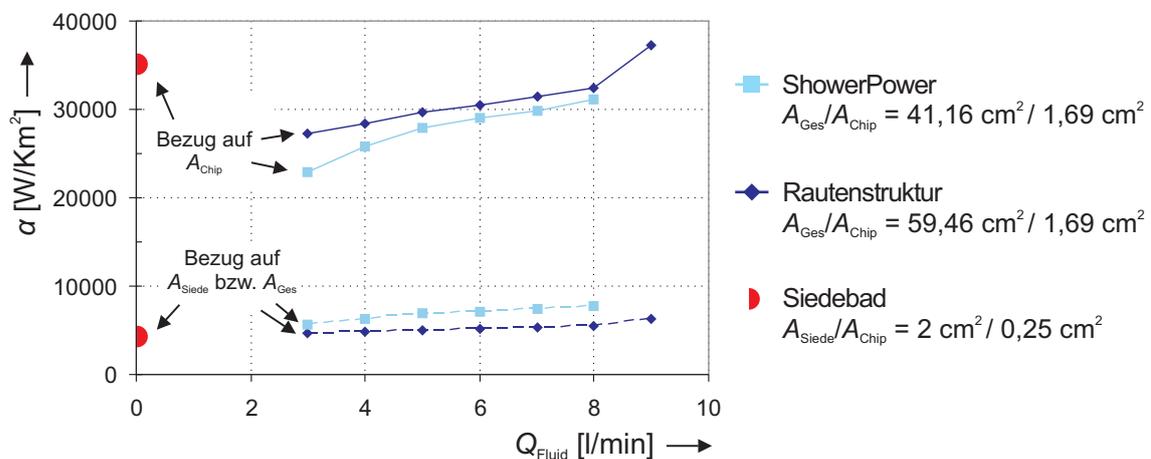
Unter Verwendung der vorgestellten Messmethode wurden für die Kühltechnologien der direkten Wasserkühlung (Rautenstruktur und ShowerPower) sowie der Siedebadkühlung die R_{th} für typische Betriebspunkte bestimmt (vgl. auch [Mada]). Abb. 2.25 a) zeigt den Vergleich der Wärmewiderstände für die Rautenstruktur- und die ShowerPower-Kühlkörpermuster über der Durchflussmenge eines Wasser/Glykol-Gemisches (1:1).

Der niedrigere R_{th} der Rautenstruktur gegenüber der ShowerPower begründet sich in der Größe der Kühlflächen bei den zur Verfügung gestellten Kühlkörpermustern. Hierbei stand bei der Dimensionierung der gleiche Druckabfall und nicht die bereitgestellte Kühlfläche im Fokus ($A_{\text{ges,Raute}} > A_{\text{ges,ShowerPower}}$). Die größere Fläche bei der Rautenstruktur führt nach Glg. 2.15 zu einem kleineren Wärmeübergangswiderstand, der einen geringeren Temperaturgradienten zwischen Sperrschicht und Kühlmedium und somit eine niedrigere Chip-Temperatur mit sich bringt. Bei zunehmendem Volumenstrom verbessert sich die Kühlung insbesondere bei der ShowerPower-Kühlung, da hier die durch das Inlay verursachten Turbulenzen zunehmen. Mit Berücksichtigung der genutzten Kühlfläche besitzt die ShowerPower-Kühlung eine höhere Effizienz, welche anhand der Wärmeübergangskoeffizienten α in Abb. 2.26 ersichtlich wird.

Für die Untersuchungen an der Siedebadkühlung wurde Solkatherm als Kühlmedium verwendet. Die Siedetemperatur liegt bei einem Druck von 0,3 bis 0,5 bar bei etwa 3 bis 5 K über der Temperatur des Kühlmediums (im Versuch 25°C),


 Abbildung 2.25: R_{th} von ShowerPower und Rautenstruktur

besitzt eine Hysterese und kann über den Druck im Kühlkreislauf eingestellt werden. Für die Untersuchungen wurden Muster zur Verfügung gestellt, die sich in der Chip-Flächengröße, der Chip-Anzahl auf der DCB, der DCB selbst und auch in der Kühlfläche im Vergleich zu denen der direkten Wasserkühlungen unterscheiden.


 Abbildung 2.26: α von ShowerPower, Rautenstruktur und Siedebadkühlung

Bei den in Anlehnung an Glg. 2.14 bestimmten α -Werten in Abb. 2.26 wurde zum Vergleich der Effizienz die genutzte Kühlfläche der jeweiligen Kühltechnologien berücksichtigt. Da allerdings das Siedebadmuster eine deutlich kleinere Chip-Fläche und somit eine konzentriertere Wärmeentwicklung besitzt, sind der

Siedeprozess und die thermische Abklinglänge, also die nutzbare bzw. siedende Kühlfläche eingeschränkt. Der resultierende Wert ist somit nur tendenziell einzuordnen, zumal die berücksichtigte genutzte Siedefläche nur ungenau bestimmt werden kann. Daher erfolgt des Weiteren ein Bezug auf die Chip-Fläche, wodurch die Entwärmung der IGBT-Muster pro Chip-Fläche bei den vorliegenden Kühlkörpern verglichen werden kann. Da allerdings hierbei die Kühlflächen nicht berücksichtigt werden, gelten die Aussagen über die Effizienz nur exemplarisch. Dies zeigt sich beim Vergleich der direkten Wasserkühlungen, bei denen die effizientere ShowerPower- gegenüber der Rautenstruktur-Kühlung aufgrund der kleineren Kühlfläche des Kühlkörpers ungünstiger erscheint.

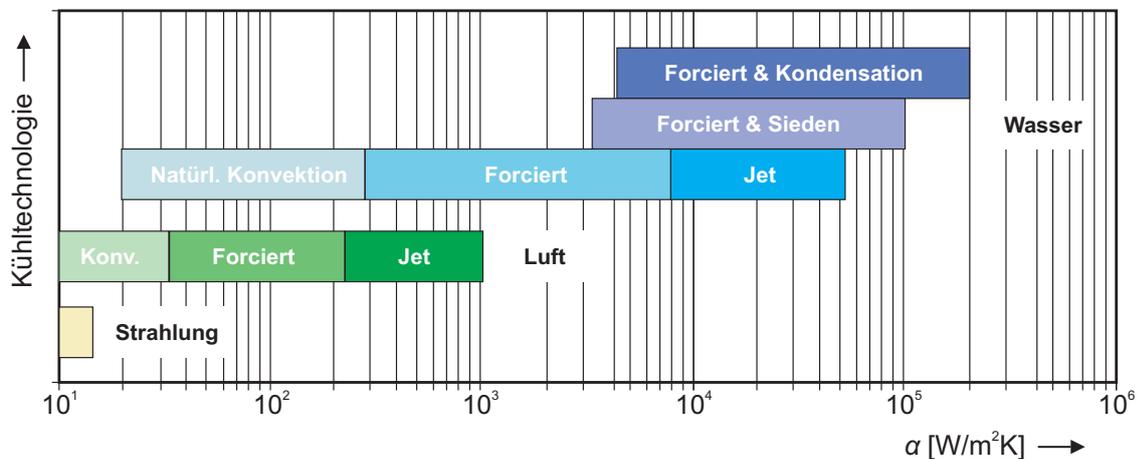


Abbildung 2.27: Vergleich der Kühltechnologien

Im vorgestellten Vergleich erreicht die Siedebadkühlung unter den gegebenen Bedingungen gegenüber den direkten Wasserkühlungen gute Wärmeübergangskoeffizienten. Durch technologische Weiterentwicklungen wie eine Vergrößerung der Siedeoberfläche durch galvanisch aufgebraute Mikrostrukturen oder einen forcierten Zufluss des Kühlmediums könnte die bereits gute Effizienz der Siedebadkühlung noch weiter gesteigert werden. Die Möglichkeit der beidseitigen Kühlung kann für hochkompakte Systeme aussichtsreich sein, wobei die eingeschränkte Überlastfähigkeit durch die Sättigung im Siedeverlauf berücksichtigt werden müsste. Abb. 2.27 zeigt abschließend die Bereiche der Wärmeübergangskoeffizienten für unterschiedliche Kühltechnologien in Anlehnung an [März2] und erlaubt eine Einordnung der gemessenen Werte.

3 Siliziumkarbid-Leistungshalbleiterbauelemente

Die Leistungshalbleiter können in Anwendungen mit erhöhten Anforderungen extremen Bedingungen unterliegen, bei denen die bisher eingesetzten Silizium- (Si-) Halbleiter an die physikalischen Grenzen stoßen. Trotz einer anhaltenden Weiterentwicklung der bereits einen hohen Reifegrad besitzenden Si-Leistungshalbleiter sind nur noch kleine Verbesserungsschritte zu erwarten. Aus diesem Grund werden alternative Halbleitermaterialien wie Siliziumkarbid (SiC) untersucht, die diese Grenzen aufgrund günstigerer Materialeigenschaften deutlich verschieben und noch höhere Anforderungen bedienen könnten. Im Folgenden werden das Halbleitermaterial SiC, dessen Materialeigenschaften sowie die auf deren Basis derzeit verfügbaren Leistungshalbleiterstrukturen vorgestellt.

3.1 Materialeigenschaften

SiC besitzt gegenüber Si einen größeren Bandabstand und zählt somit zu den sogenannten Wide-Band-Gap-Halbleitermaterialien. Der Bandabstand zwischen Valenz- und Leitungsband wird über die Energiedifferenz E_G beschrieben und ist ein entscheidender Materialparameter für alternative Leistungshalbleiterbauelemente, die verbesserte Eigenschaften besitzen sollen.

3.1.1 Kristallstruktur, Polytypen und Herstellung

Das SiC-Kristallgitter besteht aus Si- und Kohlenstoff- (C-) Atomen, die als Doppellagen angeordnet sind. Innerhalb der Lagen steht jedes Si-Atom in nahezu tetraedischer Anordnung mit vier C-Atomen in Verbindung. Die Position der Si-Atome kann leicht verschoben sein, wodurch je nach Orientierung und Stapelfolge unterschiedliche Gittervarianten, die sogenannten Polytypen, entstehen. Die Grundformen der über 190 bekannten Polytypen sind hexagonale (H) und kubische (C) Gitter, von denen derzeit lediglich das 4H- und das 6H-SiC technische Bedeutung besitzen. Die Benennung beschreibt neben der hexagonalen Struktur die Periodizität unterschiedlicher Ebenen.

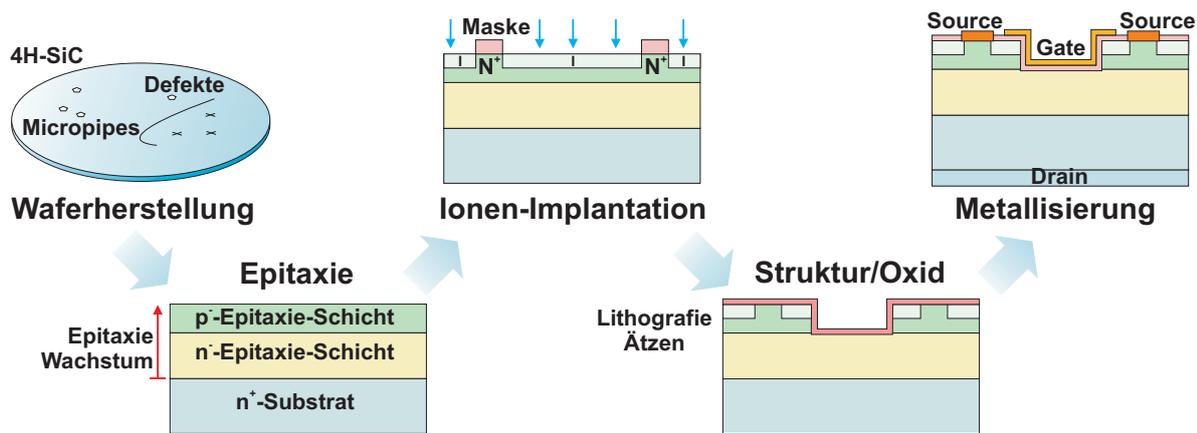


Abbildung 3.1: Herstellungsschritte eines SiC-Chips (MOSFET)

Die unterschiedlichen Stapelfolgen der SiC-Polytypen nehmen Einfluss auf die Bänderstruktur und die Materialeigenschaften. Für Leistungshalbleiter wird lediglich 4H-SiC eingesetzt, das gegenüber den anderen Polytypen die höchste Ladungsträgerbeweglichkeit besitzt und somit die höchste Leitfähigkeit ermöglicht.

Die Herstellung der SiC-Halbleiterbauelemente (Abb 3.1) erfolgt über mehrere Prozessschritte. Das Rohmaterial, ein monokristalliner SiC-Block, wird über ein aufwendiges Sublimationsverfahren gewachsen, in Scheiben gesägt und poliert. Diese Halbleiterscheiben, die sogenannten Wafer, sind das Ausgangsmaterial zur Bauelementeherstellung und müssen hochrein und somit möglichst frei von Defekten wie z. B. Micropipes oder Kristallwachstumsfehlern sein. Die Wafer dienen als Grundlage (Substrat) der Bauelemente, wobei die jeweiligen Halbleiterdotierungen durch epitaktisch aufgewachsene Schichten und Ionen-Implantation hergestellt werden. Im Unterschied zu der Si-Herstellung sind zur Herstellung der aktiven Schichten während der Epitaxie die Prozesstemperaturen sehr hoch (1500°C). Nach [Schr] wird auf Diffusion verzichtet, da die Temperatur für einen Dotandeneintrag noch höher liegt. Für MOS-Strukturen erfolgt danach die thermische Oxidation und darauf die Lithographie und Ätzstrukturierung sowie die anschließende Vorder- und Rückseiten-Metallisierung der elektrischen Kontaktflächen.

3.1.2 Vergleich von Materialparametern

Neben SiC werden auch andere Wide-Band-Gap-Materialien wie Galliumnitrid (GaN) oder Diamant auf den Einsatz als Leistungshalbleiter hin untersucht. Die gegenüber Si abweichenden Materialparameter beeinflussen das dynamische und statische Verhalten der jeweiligen Bauelemente und erfordern aber auch teilweise die erneute Erforschung bekannter Halbleiterstrukturen aufgrund anderer Mechanismen oder Einflüsse. Tab. 3.1 zeigt die wichtigsten elektrischen und physikalischen Eigenschaften der Wide-Band-Gap-Materialien im Vergleich zu Si.

Tabelle 3.1: Wide-Band-Gap-Materialeigenschaften [Koo, Chow, Schr]

Parameter	Si	4H-SiC	6H-SiC	GaN	Diamant
E_G [eV]	1,12	3,26	3,0	3,4	5,5
n_i [$1/\text{cm}^3$]	$1,5 \cdot 10^{10}$	$8,2 \cdot 10^{-9}$	$2,3 \cdot 10^{-6}$	$1,9 \cdot 10^{-10}$	$1,6 \cdot 10^{-27}$
E_{krit} [MV/cm]	0,25	2,2	2,5	3,0	5,0
$v_{\text{sat},n}$ [10^7 cm/s]	1	2	2	2,5	2,7
λ [W/cmK]	1,5	4,5	4,5	1,3	20
μ_n [cm^2/Vs]	1500	900	400	900	2200
μ_p [cm^2/Vs]	450	115	100	30	1600
ε_r	11,9	10	10	9,5	5,0

3.1.3 Auswirkungen auf Bauelementeeigenschaften

Ein größerer Bandabstand E_G von SiC gegenüber Si erlaubt eine höhere kritische elektrische Feldstärke E_{krit} im Halbleiter. E_{krit} hängt außerdem von der Dotierung ab, die im Falle von SiC aufgrund der höheren Ladungsträgerbeweglichkeit der Elektronen (μ_n) vorzugsweise durch Donatoren (n-dotiert) realisiert wird. Die intrinsische Ladungsträgerkonzentration n_i , die die Konzentration der freien Ladungsträger im undotierten Halbleiter angibt, ergibt sich zu

$$n_i^2 = N_C \cdot N_V \cdot e^{-\frac{E_G}{k\vartheta}}. \quad (3.1)$$

Hierbei sind N_V und N_C die Zustandsdichten der Dotieratome im Valenzband bzw. im Leitungsband, k die Boltzmannkonstante und ϑ die Temperatur. n_i ist aufgrund des größeren E_G für SiC deutlich kleiner als für Si. Zusammen mit

den Materialparametern bringt dies Auswirkungen auf das statische, dynamische und thermische Verhalten der Halbleiter mit sich, welche im Folgenden diskutiert werden.

Sperrfähigkeit und Durchlasswiderstand

Das durch die anliegende Sperrspannung resultierende elektrische Feld $E(w)$ wird innerhalb der Halbleiterstrukturen durch ein meist gering dotiertes Mittelgebiet, der sogenannten Driftzone w , aufgenommen. Die Sperrfähigkeit bleibt erhalten, bis die maximale Sperrspannung U_{BR} bzw. E_{krit} erreicht ist. Darüberhinaus werden die Ladungsträger so stark beschleunigt, dass die kinetische Energie der Ladungsträger größer als E_G ist, andere Ladungsträger aus dem Atomverbund herausgestoßen und so zusätzliche Ladungsträger generiert werden (Lawinendurchbruch). Die maximale Sperrspannung eines Halbleiters ergibt sich zu

$$U_{BR} = \int_0^w |E_{krit}(w)| dw = \frac{1}{2} \cdot E_{krit} \cdot w = \frac{\epsilon_0 \cdot \epsilon_r \cdot E_{krit}^2}{2 \cdot q \cdot N_{Drift}}, \quad (3.2)$$

wobei q die Elementarladung und ϵ_0 sowie ϵ_r die elektrischen Feldkonstante und die relative dielektrische Leitfähigkeit beschreibt. Je größer E_G und je niedriger der Halbleiter dotiert ist, desto später findet der Lawinendurchbruch statt und desto höher ist die Sperrfähigkeit des Halbleiters.

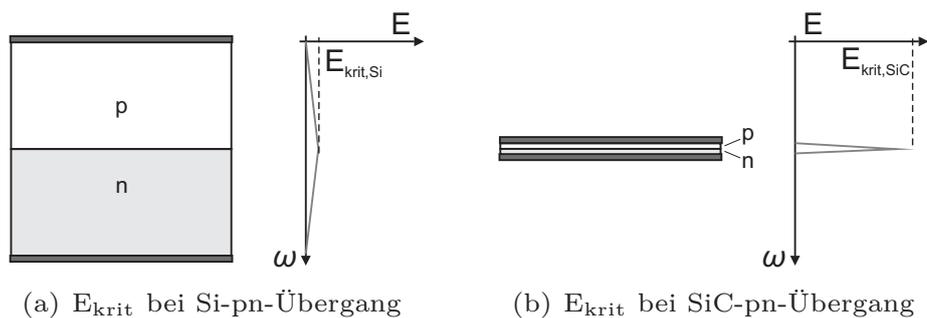


Abbildung 3.2: Vergleich des Feldstärkeverlaufes in Si- und SiC-Halbleitern

Durch den größeren Bandabstand kann SiC gegenüber Si nach Tab. 3.1 ein etwa zehnfach größeres kritisches Feld aufnehmen bzw. kann für eine definierte Sperrspannung die Dotierkonzentration der Mittelschicht erhöht und somit

die Schichtdicke auf ein Zehntel reduziert werden. Abb. 3.2 a) und b) zeigen einen dreieckigen Feldstärkeverlauf eines abrupten pn-Überganges für einen Si- und einen SiC-Halbleiter mit gleicher Sperrfähigkeit und entsprechend benötigter Schichtdicke. Im Falle gleicher Sperrspannungen kann die maximal mögliche Ladungsträgerkonzentration (Steigung des Feldstärkedreiecks) des dotierten Halbleiters im Mittelgebiet für SiC gegenüber Si mehr als hundertfach höher gewählt werden [Lutz].

Für unipolare Bauelemente besteht ein direkter Zusammenhang zwischen der Sperrfähigkeit bzw. der Sperrspannung aufnehmenden Schichtdicke und dem Driftwiderstand der Mittelschicht als Hauptanteil am Gesamtdurchlasswiderstand. Da der Flächen bezogene Driftwiderstand r_{Drift} von w und N_{Drift} der Zone abhängt [Infi3], wird der Widerstand des Mittelgebietes durch die höhere Dotierung zusätzlich verringert. Dies ist besonders für unipolare Bauelemente von Vorteil, da hier der Ladungstransport nur durch einen Ladungsträgertyp erfolgt. Der Widerstand der Mittelschicht berechnet sich aus

$$r_{\text{Drift}} = \frac{w}{A \cdot \mu_n \cdot q \cdot N_{\text{Drift}}} = \frac{4 \cdot U_{\text{BR}}^2}{A \cdot \mu_n \cdot \varepsilon_0 \cdot \varepsilon_r \cdot E_{\text{krit}}^3}. \quad (3.3)$$

Hierbei beschreibt A die Fläche der Driftzone. Nach [Schr] ergibt sich aus dem Verhältnis zwischen den BFM-Gütefaktoren¹ von SiC und Si ein theoretischer Widerstandswert von $r_{\text{Drift,SiC}} \approx \frac{1}{400} \cdot r_{\text{Drift,Si}}$. Der deutlich geringere $r_{\text{Drift,SiC}}$ relativiert die etwas niedrigere Elektronenbeweglichkeit μ_n gegenüber Si [Frey] und ermöglicht Sperrspannungen bei unipolaren SiC-Bauelementen von bis zu 3 kV [Schr].

Für bipolare Strukturen in SiC bedeutet allerdings der größere Bandabstand eine höhere Diffusionsspannung U_0 von etwa 2,6 V bis 2,8 V [Lutz]. Die damit verbundenen höheren Durchlassverluste sind ein Nachteil, der durch die Verwendung unipolarer Strukturen vermieden werden kann. Erst ab 3 kV bieten bipolare Strukturen Vorteile gegenüber unipolaren Bauelementen. Die Diffusionsspannung für pn-Übergänge in SiC ergibt sich nach [Schr] zu

$$U_0 = \frac{E_G}{q} + \frac{k \cdot \vartheta}{q} \cdot \ln \left(\frac{N_A \cdot N_D}{N_C \cdot N_V} \right). \quad (3.4)$$

¹BFM: Gütefaktor nach Baliga, BFM= $\varepsilon \cdot \mu_n \cdot E_{\text{krit}}^3$

Hierbei sind N_A und N_D die Ladungsträgerkonzentrationen im mit Donatoren und Akzeptoren dotierten bipolaren Halbleiter.

Dynamisches Verhalten

Unipolare SiC-Bauelemente besitzen ein exzellentes dynamisches Verhalten, da in der Driftzone nur eine Ladungsträgersorte vorliegt und dadurch z. B. bei Schottky-Dioden keine Speicherladung vorhanden ist. Die daraus resultierenden Rückwärtserhol-Eigenschaften sind ausgezeichnet und führen gegenüber konventionellen Leistungsdioden zu sehr geringen Schaltverlusten. Des Weiteren besitzt SiC eine gegenüber Si doppelt so hohe Sättigungsdriftgeschwindigkeit v_{sat} , die das Schaltverhalten begünstigt und ebenfalls eine höhere Schaltgeschwindigkeit zulässt. Gemäß [Schr] ist nach dem KFM-Gütefaktor² eine theoretisch drei mal höhere Schaltgeschwindigkeit möglich. Das günstigere Schaltverhalten bringt geringere dynamische Verluste mit sich, die gegenüber Si-Halbleitern nahezu temperatur- und alterungsunabhängig sind [Frey]. Bei hochsperrenden unipolaren SiC-Halbleiterschaltern entfällt zusätzlich der für den IGBT typische Tail-Strom, wodurch ebenfalls die Schaltverluste reduziert werden können. Die hohe Sperrfähigkeit der SiC-Bauelemente führt außerdem zu reduzierten aktiven Flächen und somit zu kleinen Eingangs- und Ausgangskapazitäten, wodurch die Schaltgeschwindigkeit weiter gesteigert werden kann [Treu].

Thermisches Verhalten

Für höhere Einsatztemperaturen ist ein größerer Bandabstand ebenfalls günstig, da die über der Temperatur exponentiell anwachsende n_i gegenüber Si deutlich niedriger ist. Um die Funktionsfähigkeit des Halbleiters zu gewährleisten, darf n_i die Leitfähigkeit der Dotierung N_{Drift} nicht beeinflussen. Sollte über n_i bei hohen Temperaturen die über die Dotierung eingestellte Leitfähigkeit verändert werden, dominiert dies das Verhalten des Halbleiters und es kann aufgrund des gleichzeitig sinkenden Widerstandes zu einer thermischen Mitkopplung und somit zur Bauelementzerstörung führen. Daher gibt $n_i \approx N_D$ eine erste Abschätzung für die maximale Sperrschichttemperatur $\vartheta_{j,\text{max}}$. Nach [Lutz] trifft dies in einem 1000 V-Si-Bauelement bei einer Grunddotierung von etwa $N_D = 10^{14} \text{cm}^{-3}$ bei

²KFM: Gütefaktor nach Keyes, $\text{KFM} = \lambda \cdot \left(\frac{c \cdot v_{\text{sat}}}{4 \cdot \pi \cdot \epsilon_0 \cdot \epsilon_r} \right)$

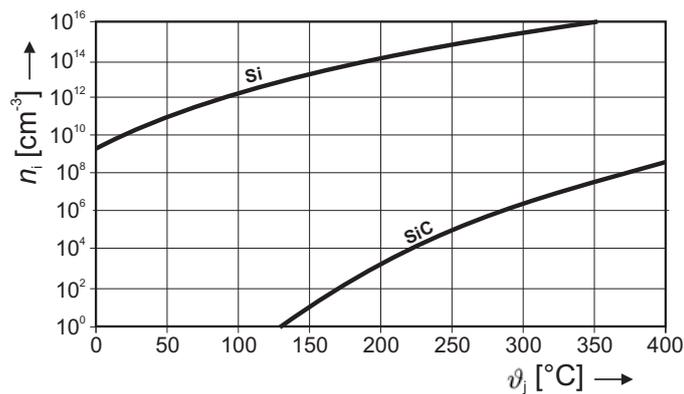


Abbildung 3.3: Intrinsische Ladungsträgerkonzentration für Si und SiC

nahe 200 °C zu (vgl. Abb 3.3). Bei SiC hingegen läge $\vartheta_{j,\max}$ theoretisch bei 700°C, wobei es allerdings derzeit keine Aufbau- und Verbindungstechniken (AVT) gibt, die diese Temperaturen abdecken.

SiC-Halbleiterbauelemente können aufgrund der physikalischen Eigenschaften des Materials den Temperaturbereich für den Einsatz von Halbleiterelementen theoretisch deutlich erweitern und erlauben eine hohe Überlastfähigkeit. Für die derzeitig verfügbaren gehäuseten SiC-Muster wird allerdings im Bereich der Schnittstellen zwischen Chip und Gehäuse oft die klassische AVT der Si-Bauelemente verwendet. Da sich die Materialparameter, insbesondere der Wärmeausdehnungskoeffizient und die Wärmeleitfähigkeit, zwischen Si und SiC unterscheiden, ist die AVT nicht für die SiC-Bauelemente und deren Belastungen optimiert. Erste Simulationen nach [Poll] zeigen, dass die thermomechanischen Belastungen an den Grenzflächen zwischen Chip und AVT die Lebensdauer von SiC-Modulen aufgrund von erhöhtem Risswachstum sogar verkürzen können.

3.2 Aussichtsreiche SiC-Leistungshalbleiterstrukturen

Die hohe Sperrfähigkeit unipolarer SiC-Halbleiter ermöglicht deren Einsatz wie beschrieben bis etwa 3 kV. Da die Bauelemente bis zu dieser Sperrspannungsklasse die vorgestellten Anwendungen in der Regel abdecken, liegt der Fokus der Untersuchungen auf den unipolaren SiC-Strukturen. In dem nachfolgenden Überblick wird zudem auch die bereits am Markt etablierte SiC-Schottky-Diode vorgestellt, da sie bei den nachfolgenden Messungen als Freilaufdiode der schalt-

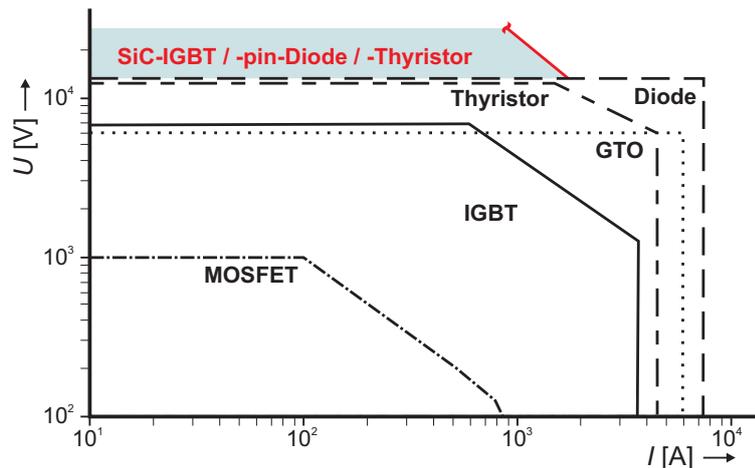


Abbildung 3.4: Leistungshalbleiter-Einsatzgebiete (U/I) [Frey1, Grün, Lore]

baren Halbleiter Einsatz findet. Im Bereich der abschaltbaren unipolaren SiC-Bauelemente werden derzeit drei Strukturen favorisiert. Bipolare Strukturen auf Basis von SiC werden zur Vollständigkeit zusammengefasst erwähnt.

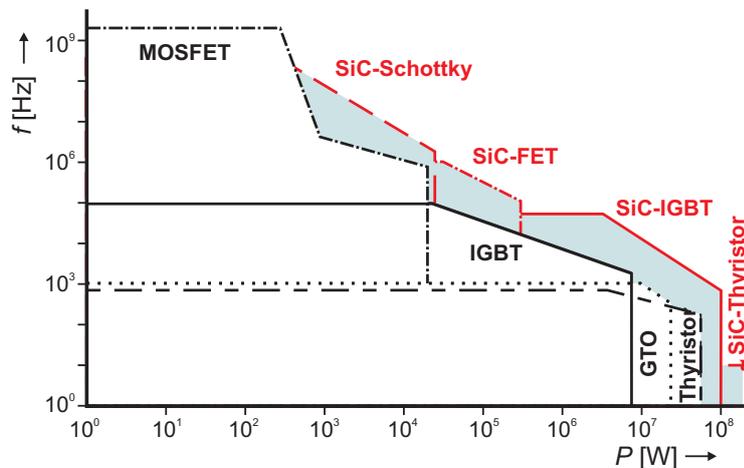


Abbildung 3.5: Leistungshalbleiter-Einsatzgebiete (f/P) [Frey1, Grün, Lore]

Da der Einsatz von Leistungshalbleitern für erhöhte Temperaturen, wie beschrieben vom Package bestimmt wird, sind die Einsatzgebiete für Si und SiC von Standardgehäusen derzeit nahezu identisch. Effizienz- und auch die Einsatztemperaturen müssen applikationsbezogen verglichen werden. Darüberhinaus ist anhand der Abb. 3.4 und Abb. 3.5 erkennbar, dass SiC-Leistungshalbleiter neben dem Potenzial für Anwendungen mit erhöhten Effizienz- und Robustheits-

anforderungen auch für Höchstspannungen und -leistungen geeignet erscheinen. Abb. 3.4 zeigt einen Überblick über die Einsatzgebiete derzeitiger Si- und zukünftiger SiC-Leistungshalbleiter in Abhängigkeit von der Sperrspannung sowie des Stroms und in Abb. 3.5 von der Leistungsklasse und der Schaltfrequenz.

3.2.1 Schottky Barriere Diode (SBD)

Der beschriebene Zusammenhang zwischen Drift-Widerstand und Sperrspannung begrenzt die Sperrspannung bei Si-Schottky-Dioden auf etwa 200 V [Kami]. Bei SiC-Schottky-Dioden erlaubt der größere Bandabstand eine Metall-Halbleiterbarriere bis zu deutlich höheren Sperrspannungen.

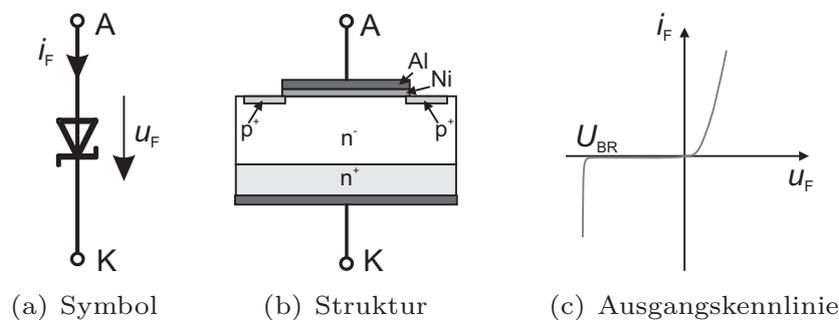


Abbildung 3.6: SiC-Schottky-Diode

Der Schottky-Übergang ist ein sogenannter Heteroübergang, bei dem zwei Materialien (Halbleiter und Metall) mit unterschiedlicher Austrittsarbeit direkt verbunden sind, wobei die Austrittsarbeit der Energie entspricht, die ein Elektron aus dem Atomverbund löst. Ein Schottky-Übergang liegt vor, wenn der Halbleiter n-dotiert und das Metall eine größere Austrittsarbeit als der Halbleiter besitzt, so dass die durch die Bandverbiegung entstehende Raumladungszone bei Anlegen einer positiven Spannung am Metall gegenüber dem Halbleiter kleiner wird, die Barriere sinkt und der Halbleiter leitfähig wird. Bei umgekehrter Polarität weitet sich die Verarmungszone aus und der Halbleiter sperrt [Infi3]. Zusätzliche p-Inseln verringern die Feldstärken am Übergang (Abb. 3.6), was zu deutlich geringeren Sperrströmen führt. Der Schottky-Übergang bei SiC benötigt zum Überwinden der Barriere eine Schwellspannung von 0,6 bis 0,8 V, die damit im Bereich der bipolaren Si-Leistungsdioden liegt.

Anders als bei der pin-Diode wird der Strom bei der Schottky-Diode nur unipolar bzw. durch die Ladungsträger der Dotierung bestimmt. Dies bedeutet, dass keine Überschwemmungsladungen bzw. Speicherladung beim Sperren ausgeräumt werden müssen, so dass schnelleres und nahezu Temperatur unabhängiges Schalten und geringe Schaltverluste ermöglicht werden. Nur ein geringer Verschiebestrom ist für den Aufbau der Raumladungszone nötig. Zusätzlich reduzieren sich die Einschaltverluste im korrespondierenden Schalter. Weiter besitzt ein unipolarer Halbleiter einen positiven Temperaturkoeffizienten, der sich günstig beim Parallelisieren von Bauelementen auswirkt [Infi3].

Die erste kommerzielle SiC-Diode wurde unter dem Markennamen thinQ! von Infineon eingeführt. Die Vorteile etablierten mittlerweile den Einsatz von Si-SiC-Hybrid-Modulen, in denen die Freilaufdioden von konventionellen Si-IGBT oder -MOSFET durch SiC-Schottky-Dioden realisiert sind (Hersteller: CREE, Infineon, Microsemi).

3.2.2 Sperrschicht Feldeffekttransistor (JFET)

Die relativ einfache Bauelementstruktur macht den JFET zu einer aussichtsreichen Leistungshalbleiterstruktur für effiziente und robuste SiC-Bauelemente. Insbesondere die nicht benötigte Oxid-Schicht, die in Bezug auf höhere Einsatztemperaturen zu Ausfällen führen kann, erlaubt trotz des jungen Reifegrades geringe prozesstechnologische Toleranzen und führt zu relativ kleinen Bauteilstreuungen. Die Bauelemente besitzen für eine gute Leitfähigkeit vorzugsweise n-dotierte Substrate und Mittelgebiete. Die Sperrspannung wird innerhalb der Struktur meist vertikal aufgenommen (VJFET), wobei im Wesentlichen zwei unterschiedliche VJFET-Strukturen verfolgt werden. Der Unterschied zwischen diesen Strukturen besteht in der Realisierung des Kanals und der dortigen Dotierung. So wird von der Firma SiCED der VJFET mit lateralem und von der Firma Semisouth mit vertikalem Kanal favorisiert. Hiervon hat sich derzeit noch keine Struktur als überlegen herauskristallisiert, weshalb im Folgenden auch beide Varianten diskutiert werden.

Lateraler Kanal (LC-VJFET)

Die Struktur des VJFET mit lateralem Kanal zeigt Abb. 3.7 b). Hierbei ist in die n-dotierte Mittelschicht eine p-Zone als Gate eingebracht. Beim Anlegen ei-

ner negativen Gate-Spannung U_{GS} sperrt der pn-Übergang und führt zu einer positiven Raumladungszone im Kanal. Sobald die Gate-Spannung die Kanalabschnürspannung $U_{pinch-off}$ erreicht, befinden sich keine freien Elektronen mehr zwischen dem hochdotierten n^+ -Gebiet vom Source und der n-dotierten Mittelschicht. Somit ist kein Stromfluss möglich und der Schalter sperrt. Wird die Gate-Spannung darüber hinaus um einige Volt erhöht, bildet sich ein leitfähiger Kanal zwischen Gate und Source, so dass der bis hierher vernachlässigbare Stromfluss drastisch ansteigt (Punch Through). Liegt keine Spannung zwischen Gate und Source an, erlauben die freien Ladungsträger der n-dotierten Mittelschicht einen leitfähigen Kanal. Damit ist der JFET in dieser Strukturvariante selbstleitend (normally-on). Die eingebrachte p-Schicht am Source verhindert den Stromfluss im gesperrten Zustand und erlaubt rückwärtig am Kanal vorbei einen pn-Übergang, der als Freilaufdiode (Body-Diode) genutzt werden kann.

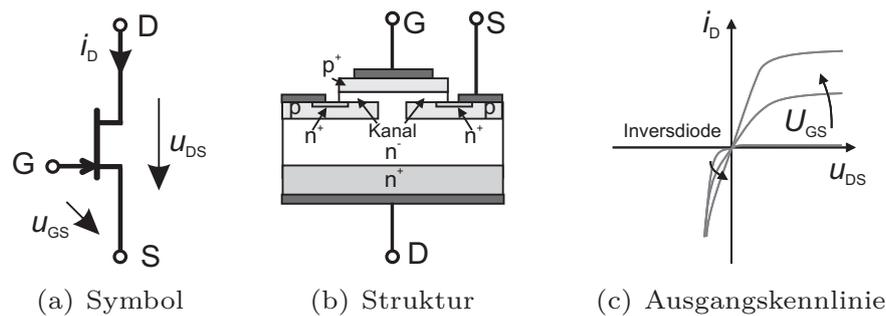


Abbildung 3.7: SiC-VJFET mit lateralem Kanal

Diese Struktur ermöglicht aufgrund der hohen Dotierungen und des relativ breiten Kanals [Alex, Bhat] sehr effiziente Leistungshalbleiterschalter und eine sehr geringe Prozesstoleranz [Bako], welches als Merkmal für die Tauglichkeit zur Serienproduktion anzusehen ist. Allerdings ist das normally-on-Verhalten der Bauelemente oft sicherheitskritisch und verhindert die direkte Substitution von Si-Schaltern bei etablierten Topologien sowie die Akzeptanz dieser nach [Bako] aussichtsreichsten Struktur. Auch wenn das normally-on-Verhalten als Eigenschaftsprofil für andere Topologien genutzt werden könnte, stünde dem Einsatz in Anwendungen ein deutlicher Mehraufwand für die Neuentwicklung der Systeme entgegen.

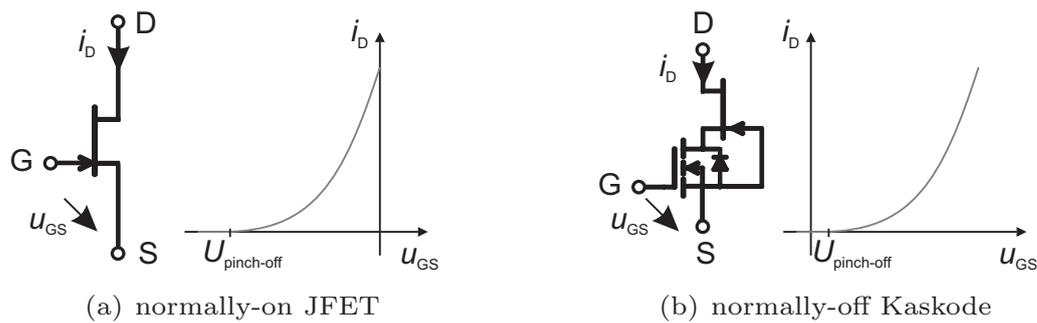


Abbildung 3.8: Normally-on und -off Charakteristik

Um der normally-off-Anforderung zu entsprechen, werden sowohl auf Schaltungsebene als auch auf Bauelementstrukturebene Lösungen angeboten. Praktikabel ist ein zusätzlicher Si-Low-Volt-MOSFET [Elpe, SiCE] oder ein in die Struktur integrierter MOSFET [Bako] in der sogenannten Kaskoden-Schaltung entsprechend Abb. 3.8 b). Diese Maßnahme wandelt die normally-on Eingangscharakteristik aus Abb. 3.8 a) in eine normally-off Charakteristik (Abb. 3.8 b)) um und ermöglicht somit die Verwendung von konventionellen Treiberstufen und die direkte Substitution konventioneller Si-MOSFETs oder Si-IGBTs.

Die Kaskode wird über den zusätzlichen MOSFET gesteuert, wobei der JFET weiterhin die Sperrspannung aufnimmt. Ist der MOSFET ausgeschaltet, ist innerhalb des JFET das Source positiv gegenüber dem Gate, was zum Sperren des n-Kanals im JFET führt. Im Durchlasszustand ist der JFET in Serie zum MOSFET. Das statische und dynamische Verhalten wird weitestgehend über den MOSFET bestimmt. Bei kurzzeitiger Temperaturbelastung (z. B. Kurzschluss) weist die Kaskode ein sehr robustes Verhalten auf, welches durch den MOSFET zuverlässig abgeschaltet werden kann [Schr, SiCE].

Vertikaler Kanal (VC-VJFET)

Eine weitere Möglichkeit zur Realisierung des normally-off-Verhaltens ist die Anpassung der Dotierung im Kanal innerhalb der VJFET-Struktur beim Bauelementdesign. Nach [Blum] bestimmt sich die Kanalabschnürspannung $U_{\text{Pinch-off}}$ zu

$$U_{\text{Pinch-off}} = U_0 - \frac{q \cdot N_D \cdot a_{\text{ch}}^2}{8 \cdot \epsilon_0 \cdot \epsilon_r}. \quad (3.5)$$

Hieraus ist ersichtlich, dass $U_{P\text{inch-off}}$ von der Ladungsträgerkonzentration N_D und der Kanalweite a_{ch} abhängt. Bei Anpassung der Dotierung und entsprechender Kanalweite führt die entstehende Raumladungszone ohne angelegte Spannung zur Abschnürung des Kanals. Allerdings muss nach [Bako] der Kanal soweit verengt und die Dotierung soweit reduziert werden, dass die Leitfähigkeit für höhere Ströme abnimmt und der Einfluss der Temperatur sowie die Prozesstoleranzen stark zunehmen. Dennoch ist diese Variante aufgrund des normally-off Verhaltens so attraktiv, dass der Hersteller Semisouth diese Struktur umgesetzt hat und als Bauelement anbietet.

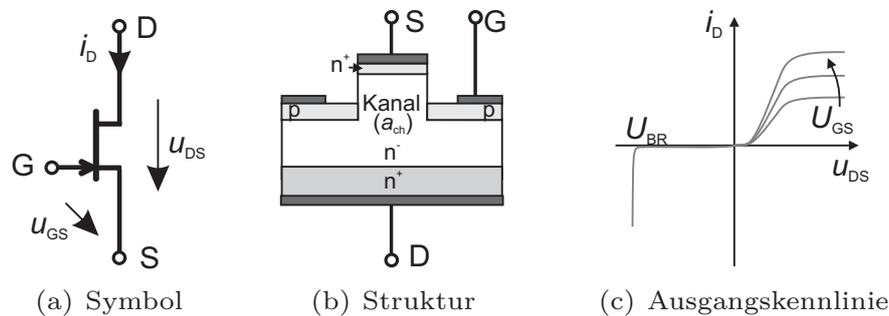


Abbildung 3.9: SiC-VJFET mit vertikalem Kanal

Abb. 3.9 b) zeigt die Struktur, wobei durch die beidseitige laterale Abschnürung ein größerer Kanal möglich wird.

3.2.3 Metalloxid Feldeffekttransistor (MOSFET)

Der MOSFET auf Basis von SiC ist besonders aufgrund der direkten Substitutionsmöglichkeit des Si-IGBT oder Si-MOSFET als aussichtsreicher Kandidat zu sehen. Durch die mit SiC mögliche hohe Sperrfähigkeit und den sehr geringen Durchlasswiderstand ist diese Struktur das ideale Schaltelement bis zu einigen kV.

Die Struktur des MOSFET ist vergleichbar mit der des Si-MOSFET, wobei auch die in Kap. 2 vorgestellte Superjunction-Struktur prinzipiell möglich wäre [Yu], die derzeit allerdings noch nicht umgesetzt wird. Für den Kanal wird, wie zuvor beschrieben, aufgrund der höheren Beweglichkeit der Elektronen eine n-dotierte Schicht bevorzugt. Abb. 3.10 zeigt die von der Firma SiCED umgesetzte Struktur mit lateralem Kanal für ein selbstsperrendes Bauelement. Auch hier

sind die n-Gebiete Source und Drain durch eine p-Schicht getrennt, in der beim Anlegen einer positiven Gate-Source-Spannung eine Inversion stattfindet und ein oberflächennaher Kanal leitfähig wird. Anders als beim JFET ist allerdings das Gate über eine SiC-Oxid-Schicht getrennt, was eine durchgängig stromlose Ansteuerung erlaubt.

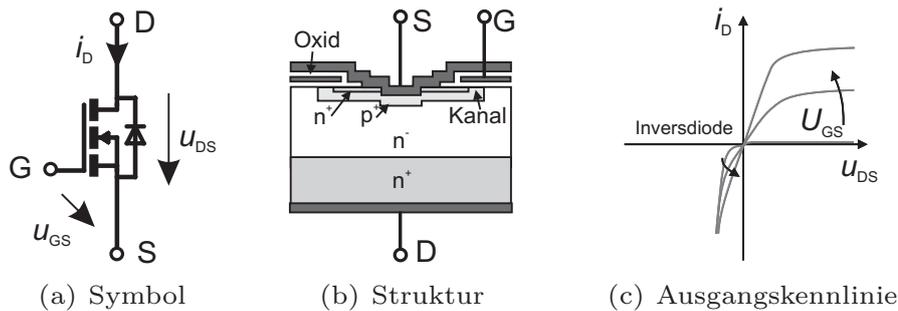


Abbildung 3.10: Der vertikale SiC-MOSFET

Während im ohmschen Bereich der Ausgangskennlinie in Abb. 3.10 c) der Drain-Source-Spannungsabfall direkt proportional zum Strom ist, begrenzt im Sättigungsbereich die Kanalweite den Stromfluss. Über eine höhere Gate-Source-Spannung lässt sich, begrenzt durch die Sperrfähigkeit des Gates, Einfluss auf die Kanalbreite und somit auf die Leitfähigkeit nehmen.

Die Materialeigenschaften ermöglichen beim SiC-MOSFET hohe Sperrspannungen und niedrige Durchlasswiderstände. Die stromlose Ansteuerung aufgrund des isolierten Gates ist im Vergleich zur JFET-Struktur ein Vorteil. Allerdings gibt es bei den Herstellungsprozessen das Hindernis, dass die p-Wannen in SiC nicht diffundiert, sondern implantiert werden müssen, was zu deutlich höheren Kosten führt. Ein weiteres Hindernis ist die begrenzte Stabilität und Zuverlässigkeit des Oxids vor allem in Hinblick auf höhere Einsatztemperaturen. Insbesondere an der Grenzfläche treten aufgrund der geringeren Abmessungen bei SiC sehr hohe Feldstärken auf, die das Oxid belasten und zu einer verringerten Zuverlässigkeit führen können. Darüberhinaus wird beim SiC-MOSFET der Temperaturkoeffizient erheblich stärker durch den Kanalwiderstand beeinflusst, was allerdings mit einer SiC-Superjunction-Struktur unterbunden werden könnte [Kami].

Der strukturbedingte pn-Übergang ermöglicht die Einsparung einer zusätzlichen diskreten Freilaufdiode, führt aber zu der höheren Schwellspannung von et-

wa 2,8 V. Mit Beschaltung einer zusätzlichen antiparallelen SiC-Schottky-Diode kommt es nach [Schröder] nicht zum Aufbau einer Speicherladung, so dass bei Bedarf die Vorteile beider Strukturen voll ausgeschöpft werden können.

3.2.4 Bipolare Halbleiterstrukturen

Die höhere Diffusionsspannung des pn-Überganges bei SiC macht bipolare SiC-Strukturen wie die pin-Diode, den IGBT und den Thyristor erst für Sperrspannungen ab 3 kV interessant. In diesem Bereich wird der Driftwiderstand bei unipolaren SiC-Bauelementen aufgrund der direkten Abhängigkeit zur Sperrspannung sehr hoch. Da die Entwicklungen von bipolaren SiC-Bauelementen derzeit noch am Anfang stehen und die resultierenden hohen Sperrspannungen innerhalb der vorgestellten Anwendungen nicht benötigt werden, wird auf eine detaillierte Beschreibung dieser Strukturen verzichtet.

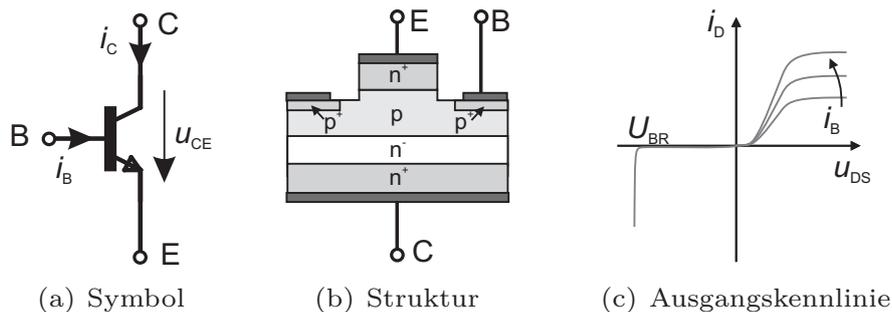


Abbildung 3.11: Der SiC-Bipolartransistor

Eine Ausnahme bezüglich des Einsatzbereichs ist allerdings die Struktur des Bipolar-Sperrschicht-Transistors (BJT), der als Si-Leistungshalbleiter nahezu keine Rolle mehr spielt. Bei BJT auf Basis von SiC kann die Diffusionsspannung des pn-Überganges in der Sättigung kompensiert werden, so dass deutlich niedrigere Durchlassspannungen erreicht werden können. Generell nachteilig ist allerdings die geringe Stromverstärkung ($\beta = 20$), die mittels Darlington-Schaltung hochgesetzt werden muss. Dafür besitzt der BJT ein nahezu temperatur unabhängiges und ein nahezu schwelspannungsfreies Ausgangskennlinienfeld, so dass bei kleinen Strömen entsprechend niedrige Durchlassspannungen resultieren. Die Steuerung des BJT bedarf aufgrund der niedrigen Stromverstärkung entsprechend hohe Basisströme, die zusammen mit einer zusätzlichen Diffusionsspannung von

2,8 V zwischen Basis und Mittelschicht aufgrund des pn-Übergangs signifikante Gate-Verluste verursacht [Kami]. Eine Inversdiode ist Struktur bedingt nicht vorhanden.

3.3 Potenzial, Marktreife und Verfügbarkeit

Aus den vorangegangenen Kapiteln ist ersichtlich, dass Leistungshalbleiterbauelemente auf Basis von Wide-Band-Gap-Halbleitern gegenüber Si höhere Sperrspannungen oder reduzierte Driftwiderstände, bessere dynamische Eigenschaften für geringere Verluste oder höhere Schaltfrequenzen, höhere Einsatztemperaturen und somit kompaktere und effizientere Systeme theoretisch ermöglichen.

Gegenüber anderen Wide-Band-Gap-Materialien ist SiC hauptsächlich aufgrund der zu Si vergleichbaren Prozesstechnologie, der Möglichkeit zur thermischen Oxidbildung und der hohen Wärmeleitfähigkeit aussichtsreich [Gu, Frie1, Schr]. Insbesondere finden parallel auch Entwicklungen von Leistungshalbleitern auf Basis von Galliumnitrid (GaN) statt, welches eine etwas höhere Bandlücke und eine gute Elektronenbeweglichkeit aufweist. Allerdings ist die Wafer-Produktion noch nicht ausgereift, da immer noch eine sehr hohe Dichte an Versetzungen vorhanden ist. Dies führt zu einer GaN-Wafer-Größe von nur 2" und wenigen μm Schichtdicken, so dass GaN-Halbleiter derzeit nur als hochfrequente Kleinsignaltransistoren kommerziell erhältlich sind (z. B. Hersteller Cree). GaN besitzt kein natürliches Oxid und Strukturen auf Basis von GaN benötigen ein Substrat, bei dem in der Regel Si, SiC oder Saphir verwendet wird. Weiter sind die Bauelementestrukturen ausschließlich lateral, was sowohl die möglichen Sperrspannungen als auch die Stromtragfähigkeiten im Vergleich zu vertikalen Dioden und Transistoren begrenzt. Insgesamt bieten sowohl die SiC- als auch die GaN-Technologie Vor- und Nachteile, so dass ein endgültiger Favorit derzeit nicht erkennbar ist.

Allerdings ist die Entwicklung ausgereifter Leistungshalbleiter nicht kurzfristig realisierbar, da die Prozesstechnologien sowie das elektrische Verhalten der dotierten Bereiche und Oxide vom lang optimierten Si abweicht. Somit müssen Erfahrungen mit der Herstellung des neuen Halbleitermaterials gesammelt werden, um dann die Halbleiterstrukturen optimieren zu können. Aufgrund der unterschiedlichen Eigenschaften sind auch die herkömmlichen Halbleiterstrukturaus-

legungen nicht zwangsläufig optimal, so dass auch in diesem Bereich neue Wege beschritten werden müssen. Allerdings gab es in den vergangenen Jahren große Fortschritte innerhalb der SiC-Technologie, so dass bereits 100 mm-Wafer mit einer hohen Qualität erhältlich sind [Frie] und für Ende 2010 mit 6" (150 mm) angekündigt [Mill] wurden. Da die Herstellung verglichen mit Si-Prozessen energieintensiver und teilweise technologisch anspruchsvoller ist, werden SiC-Bauelemente auch langfristig teurer als Si-Bauelemente bleiben. Sowohl die begrenzte Wafer-Größe als auch die hohen Kosten führen momentan noch zu nur geringen Stromtragfähigkeiten.

Obwohl auf dem Gebiet der SiC-Leistungshalbleiter in den letzten Jahren große Fortschritte erzielt wurden, hat die Si-Technologie einen sehr großen Entwicklungsvorsprung [Frie]. So sind auch dort Fortschritte, wie die Superjunction-Technologie oder Trench Gate Field Stop IGBT in 4. Generation erzielt worden, die derzeit einen hohen Benchmark für die neuen SiC-Leistungshalbleiter setzen. Der hohe Preis des Grundmaterials und die Einschränkungen im Bereich der Prozesstechnologie sind ein Hindernis bei der Entwicklung und Optimierung von uneingeschränkt konkurrenzfähigen Schaltern. Sollten die jetzigen Leistungshalbleiterschalter Systemvorteile in vereinzelt Anwendungen wie z. B. den vorgestellten bieten, könnte eine Massenproduktion eine Kostensenkung ermöglichen und die Weiterentwicklungen beschleunigen. Als gehäuste Bauelemente sind die SiC-Schottky-Dioden seit 2001 kommerziell erhältlich (Hersteller: Cree, Infineon), die u. a. in Schaltnetzteilen und als Freilaufdioden in Si-Halbleiter-Modulen zum Einsatz kommen. Die abschaltbaren SiC-Leistungshalbleiter (JFETs, MOSFET und BJT) befinden sich in der Phase der Produkteinführung. Um das Potenzial der SiC-Halbleiter für die Anwendungen aufzuzeigen, werden im Folgenden Messergebnisse zu den Halbleitern unter Berücksichtigung der Anforderungsbedingungen vorgestellt.

4 Vergleich der Bauelementeeigenschaften

Im Folgenden werden Untersuchungsergebnisse zu den Bauelementeeigenschaften der Versuchsmuster vorgestellt, aus denen das Potenzial der neuen Technologie abgeleitet wird. Da allerdings derzeit die SiC-Strukturen aufgrund des jungen Entwicklungsstadiums noch laufend optimiert werden und Prototypen nur vereinzelt verfügbar sind, ist die Zusammenstellung der folgenden Ergebnisse kein abschließender Vergleich, sondern eine Momentaufnahme für aussichtsreiche zur Verfügung stehende Muster. Die verfolgte Vorgehensweise bietet allerdings darüberhinaus auch für zukünftige Leistungshalbleiter eine Grundlage zum Vergleich der Verlusteigenschaften unter Berücksichtigung gleicher Randbedingungen.

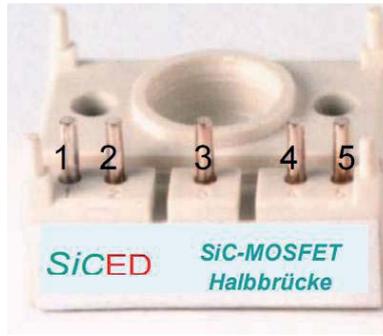
4.1 Versuchsmuster, Randbedingungen und Vergleichbarkeit

Die Betriebsbedingungen von Leistungshalbleitern werden durch die jeweilige Anwendung definiert, auf Grund dessen für die Untersuchungen am SiC-LC-VJFET als Schwerpunkt dieser Arbeit die extremen Anforderungen der Automobil-Anwendungen und für die SiC-MOSFETs die der Photovoltaik gewählt wurden. In Hinblick auf eine hohe Zwischenkreisspannung von $U_{ZK} = 600 \text{ V}$ kommen Halbleiter der 1200 V-Klasse zum Einsatz, deren Stromtragfähigkeiten durch die derzeit begrenzten Chip-Flächen der verfügbaren SiC-Halbleiterschalter bis etwa 15 A betragen.

Abb. 4.1 a) bis c) zeigen die Gehäuse der zur Verfügung stehenden Si- und SiC-Muster. Die SiC-Halbleiter-Chips wurden von der Firma SiCED (SiC-LC-VJFET und -MOSFET) als Prototypen zur Verfügung gestellt, während der Modulaufbau bei der Firma Infineon (SiC-LC-VJFET) bzw. Semikron (SiC-MOSFET) erfolgte. Die Vergleichsreferenz ist der Trench Gate Field Stop IGBT in der 4. Generation der Firma Infineon mit antiparalleler EmCon-Diode in einem easy1b-Gehäuse (Si-IGBT⁴). Der Fokus der Untersuchungen liegt auf dem selbstleitenden SiC-LC-VJFET, der für gleiche thermische und zuleitungsbedingte Voraussetzungen in einem dem IGBT entsprechenden Gehäuse eingebracht wurde.



(a) easy1b-Gehäuse [Infi5]



(b) Semitop-Gehäuse [SiCE1]



(c) TO247 [Semi3]

Abbildung 4.1: Zur Verfügung stehende 1200 V-SiC-Muster

Der SiC-MOSFET und ein selbstsperrender SiC-VC-VJFET (Firma Semisouth) besitzen ein individuelles Gehäuse, weshalb diese nicht in den anschließenden Vergleich von Wechselrichterverlusten der verschiedenen Muster einbezogen werden. Für die SiC-MOSFET-Muster (Semitop-Gehäuse) wurde vom Hersteller auf den Einsatz von zusätzlichen SiC-Schottky-Freilaufdioden verzichtet, so dass die Verwendung der Struktur internen Inversdioden (Bodydioden) möglich wird. Für den VC-VJFET wurde eine SiC-Schottky-Diode der Firma Semisouth eingesetzt. In den entsprechenden Modulen sind die SiC-LC-VJFETs und -MOSFETs sowie die Si-IGBTs mit Si-oder SiC-Diode als Halbbrücke verschaltet. Die kommerziell erhältlichen Semisouth-JFETs (TO247) besitzen zwei parallele Chips ohne integrierte Diode.

Die Halbleitermuster unterscheiden sich nicht nur in ihren Strukturen, sondern auch in den Chip-Größen und den resultierenden aktiven Flächen. Somit ist zwar ein exemplarischer Mustervergleich zulässig, aber ein Technologievergleich nicht aussagekräftig, da die Verlustmechanismen in Abhängigkeit zur bereitgestellten aktiven Chip-Fläche stehen. Um dies zu berücksichtigen, sind die Messergebnisse auf die aktive Fläche bezogen, so dass ein Vergleich bei gleicher Stromdichte, also bei gleicher Chip-Auslastung möglich wird. Um nicht nur für einzelne Arbeitspunkte Vergleichsaussagen zu erhalten, wurden für die Messungen Untersuchungsparameter festgelegt, die sowohl das Verhalten im gesamten Nennbereich, als auch das tendenzielle Verhalten in Grenzbereichen aufzeigen.

Tabelle 4.1 zeigt die Chip-Größen und die aktiven Flächen der untersuchten Halbleiter. Die Unterscheidung in Sperr- und Flussrichtung berücksichtigt nach

SiCED den Randabschluss des Chips, der nur in Sperrrichtung mit in die aktive Fläche eingeht. Für die Si-Chips kann nach Infineon gerade im hohen Temperaturbereich die Berücksichtigung des Randabschlusses vernachlässigt werden bzw. sind die gesamte und die aktive Fläche identisch. Die Werte zu den aktiven Flächen des Semisouth-JFETs lagen nicht vor. Eine Größenordnung liefert [Sche].

Tabelle 4.1: Chip-Größen und aktive Flächen

Halbleiter	A_{ges} [mm ²]	$A_{\text{akt,Fluss}}$ [mm ²]	$A_{\text{akt,Sperr}}$ [mm ²]	Gehäuse- typ
Si-IGBT ⁴	13,49	6,93	6,93	Easy1b
Si-EmCon	7,5	3,55	3,55	Easy1b
SiC-LC-VJFET	5,38	3,95	5,23	Easy1b
SiC-SBD	7,51	5,818	6,81	Easy1b
SiC-MOSFET	6,1	4,5	4,5	Semitop
SiC-VC-VJFET	2x 4	ca. 2x 2,7	ca. 2x 2,7	TO247

Die Vorgehensweise für einen Vergleich der Gesamtverluste von konventionellem Si- und der SiC-Halbleiter in einem Wechselrichter mit gleichen Randbedingungen basiert auf Messungen zum statischen und dynamischen Verhalten der Halbleiter (vgl. Abb 4.2). Hierfür werden die Parameter (i , u , ϑ , R_G) variiert, um die Abhängigkeiten bestimmen zu können. Da nach Glg. 3.3 der Driftwiderstand des Halbleiters antiproportional zu der Chip-Fläche ist, sinken die resultierenden Durchlassverluste bei vergrößerter Chip-Fläche. In Bezug auf einen Vergleich der Durchlass- und Sperreigenschaften kann aufgrund dieser Linearität bei gleicher Chip-Belastung trotz unterschiedlicher Chip-Flächen ein Vergleich stattfinden. Dem entgegen ist ein Vergleich des Schaltverhaltens aufgrund der indirekten Abhängigkeit zwischen Chip-Fläche und Kanalabschnürverhalten nur näherungsweise möglich. Der hier verfolgte Vergleichsansatz ist die Umrechnung der Verluste auf eine gleiche Chip-Flächengröße bei Linearisierung der Schaltverluste für einen definierten Chip-Auslastungsbereich, wobei Randeffekte vernachlässigt werden. Hiermit können die Schaltverluste zweier Halbleiter mit unterschiedlicher Chip-Flächen im linearisierten Bereich für die gleiche Chip-Größe und -auslastung abgeleitet werden. Für den Vergleich müssen neben der Chip-Auslastung auch das

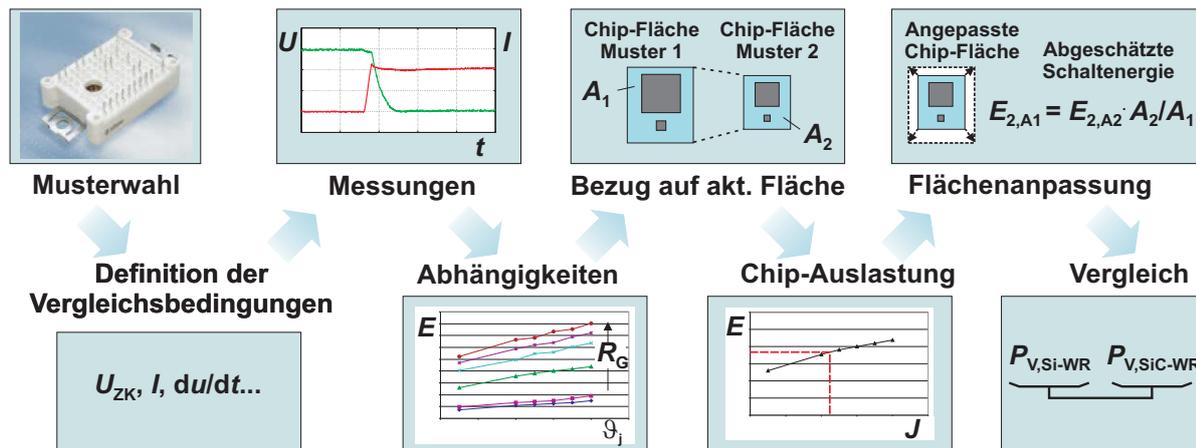


Abbildung 4.2: Vorgehensweise zum Vergleich des Potenzials neuer Halbleiter

für die Anwendung zulässige maximale du/dt und die Sperrschichttemperatur ϑ_j des Vergleichspunktes definiert werden. Weiter müssen mit Hinblick auf reale Arbeitspunkte des Wechselrichters weitere Randbedingungen wie der durch die Last bestimmte $\cos(\varphi)$, die Nennspannung U_{Nenn} und der Nennstrom I_{Nenn} etc. festgelegt werden. Abschließend kann der Vergleich der Gesamtverluste erfolgen.

Da in Automobil-Anwendungen im Motorraum Umgebungstemperaturen von 125°C entstehen können (vgl. Kap. 2), müssen die Komponenten diesen Temperaturen respektive der Eigenerwärmung, der Überlastfähigkeit und einem Sicherheitsabstand standhalten. Für die Untersuchungen an den SiC-LV-VJET wurde daher ein Temperaturbereich von 25°C bis 200°C festgesetzt, wobei Anforderungen bezüglich tieferen Temperaturen nicht berücksichtigt werden. Um die Eigenerwärmung und die damit verbundenen Messfehler minimieren zu können, werden die statischen Eigenschaften durch kurze Einzelpuls-Messungen und die dynamischen Eigenschaften mittels des sogenannten Doppelpulsmessverfahrens [Hintr] bestimmt. Die hierbei entstehenden Verluste treten somit nur kurz auf und die resultierende Eigenerwärmung kann vernachlässigt werden. Die Erwärmung auf den Betriebspunkt erfolgt über eine an die Modulbodenplatte angebrachte Widerstandsheizung in einem thermisch isolierten Umfeld.

Die beschriebene Vorgehensweise wird im Folgenden systematisch angewendet, wobei der auf den Messungen basierende Vergleich von berechneten Wechselrichterverlusten im Kap. 5 folgt. Zunächst werden die Messergebnisse zur SiC-

Schottky-Diode und anschließend die Verhaltensweisen der vorliegenden SiC-Halbleiterschalter vorgestellt. Da größtenteils keine Datenblattangaben erhältlich waren, muss, um die Halbleiterschalter sicher und angemessen ansteuern zu können, zunächst das Verhalten der Steuereingänge bestimmt werden. Mit einer den Halbleiterbedürfnissen entsprechenden Treiberstufe können anschließend die Untersuchungen zu den dynamischen und statischen Eigenschaften durchgeführt werden. Die aufgenommenen Si-Bauelemente werden hierbei nicht detailliert beschrieben, sondern als Vergleichsreferenz in den betreffenden Kurven verwendet. Die Messergebnisse zum SiC-MOSFET und zum SiC-VC-VJFET erlauben nur einen tendenziellen Vergleich. Abschließend erfolgt eine Diskussion zu den Eigenschaften der SiC-Schalter mit für Anwendungen relevanten Aspekten.

4.2 Vergleich zwischen Si-EmCon und SiC-SBD

Die Chips der SiC-Schottky-Diode (SiC-SBD) befinden sich mit den Halbleiterschaltern in einem Modul, so dass parasitäre Induktivitäten möglichst gering gehalten werden. Die Si-Vergleichsdiode ist die in den aktuellen IGBT⁴-Modulen eingesetzte EmCon-Diode.

4.2.1 Statische Eigenschaften

Bei den statischen Eigenschaften der SiC-SBD werden die Durchlassspannung U_F und der Sperrstrom I_{Sperr} betrachtet. Da mit Blick auf den Einsatz von SiC-Schaltern die Möglichkeit besteht, auf die Schalterstruktur interne Inversdiode zurückzugreifen, werden deren Eigenschaften am Beispiel der rückwärtigen pn-Diode des LC-VJFET ebenfalls vorgestellt. Allerdings ist hierbei eine höhere Durchlassspannung U_F aufgrund des SiC-pn-Überganges zu erwarten, weshalb diese Alternative zumindest beim JFET nicht weiter berücksichtigt wird.

Durchlassverhalten

Für die Messung von U_F wurden in die Bauelemente für eine Zeitdauer von ca. $50 \mu\text{s}$ Rechteck förmige Strompulse in Durchlassrichtung mit definierter Amplitude eingepreßt. Abb. 4.3 a) zeigt die mittels Pulsverfahren aufgenommenen Durchlassspannungen der SiC-SBD und der Si-EmCon-Diode. Hierbei ist J die

Stromdichte, also der auf die aktive Chip-Fläche $A_{\text{aktiv,Fluss}}$ bezogene Laststrom I . Hierbei weist die bipolare Si-Diode eine deutlich geringere Temperaturabhängigkeit auf als die SiC-Diode. Eine typische Stromdichte der Si-Diode liegt bei ca. $2,5 \text{ A/mm}^2$ ($I_{\text{nenn}} = 10 \text{ A}$). Der positive Temperaturkoeffizient der SiC-Diode ist günstig für die Parallelschaltung mehrerer Bauelemente. Die Durchlassspannungen beider Dioden sind zwar vergleichbar, jedoch bleibt festzuhalten, dass die Si-Diode gegenüber der untersuchten SiC-Schottky-Diode eine Temperatur unabhängigere und niedrigere Durchlassspannung U_F besitzt.

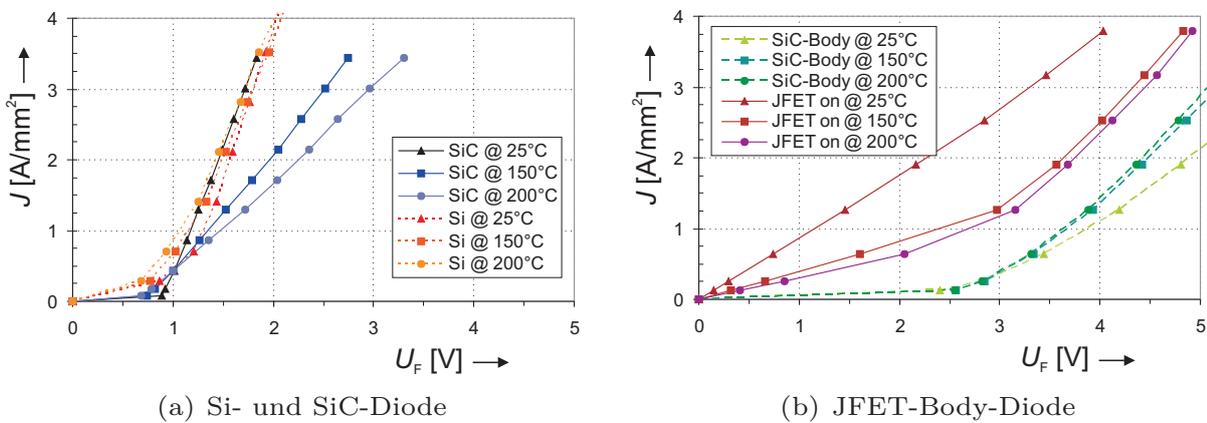


Abbildung 4.3: Durchlassspannungen von Si-, SiC-Diode und JFET-Body-Diode

In Abb. 4.3 b) ist die Durchlasscharakteristik der LC-VJFET-Struktur internen Body-Diode dargestellt. Aufgrund des SiC-pn-Überganges liegt die Diffusionsspannung U_D bei etwa $2,8 \text{ V}$, wodurch U_F deutlich oberhalb der von Si-EmCon- und der von SiC-Schottky-Diode liegt. Dies gilt auch für höhere Temperaturen, wobei der Temperaturkoeffizient ebenfalls negativ ist. U_F kann reduziert werden, indem der JFET, nachdem der Kommutierungsvorgang abgeschlossen ist und die Diode den Strom vollständig übernommen hat, ebenfalls eingeschaltet wird. In diesem Zustand bestimmt der $R_{\text{DS,on}}$ des bidirektionalen JFETs den Spannungsabfall. Dieser ist allerdings stark temperaturabhängig und weist einen positiven Temperaturkoeffizienten auf, so dass bei höheren ϑ_j sogar die U_D des pn-Überganges erreicht und die Inversdiode somit leitend wird. Bei beiden Varianten ist die Fläche des JFETs ohne Randabschluss aktiv. Für den Vergleich wurde eine Fläche von $5,23 \text{ mm}^2$ sowohl für die Body-Diode als auch für den rückwärtig leitenden JFET angenommen. Auch wenn diese Freilaufdiode-Alternative

Halbleiterkosten einsparen würde, ist die Nutzung der SiC-Inversdiode aufgrund der höheren Durchlassspannung für Systeme mit erhöhten Effizienzanforderungen unattraktiv. Das Einschalten eines bidirektionalen SiC-Schalters hingegen kann für niedrige Temperaturen zumindest im Teillastbereich bzw. bei sehr geringen Chip-Auslastungen Vorteile bringen.

Sperrverhalten

Der Sperrstrom I_{Leck} der Dioden ist für ϑ_j unterhalb von 125°C vernachlässigbar gering. Ab 125°C steigen in der Si-Diode die generierten Ladungsträger so stark an, dass entsprechend dem Verhalten von n_i der I_{Leck} bzw. J_{Leck} signifikant ansteigt.

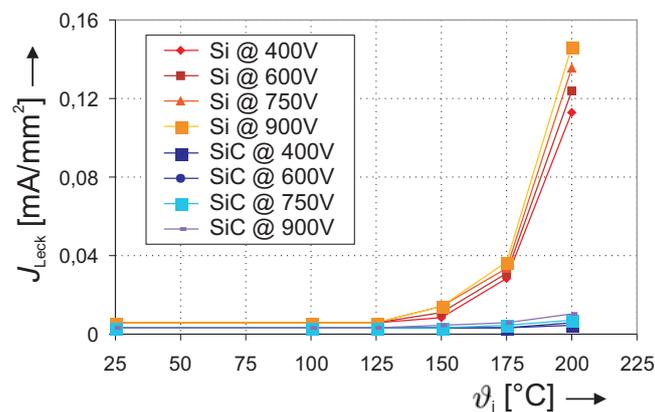


Abbildung 4.4: Dioden-Sperrstromdichten im Vergleich

Abb. 4.4 zeigt I_{Leck} bezogen auf $A_{\text{aktiv,Sperr}}$ (J_{Leck}) über ϑ_j , aus der eine deutlich geringere Temperaturabhängigkeit für die SiC-Diode hervorgeht.

4.2.2 Dynamische Eigenschaften

Zu den Verlustanteilen eines Pulswechselrichters zählen die Schaltverluste, die aus der gewählten Schaltfrequenz und den Schalteigenschaften der Halbleiter resultieren. Neben dem Schaltverhalten zählt zu den dynamischen Eigenschaften auch das Verhalten bei kurzzeitigen Überlastungen. Eine Aussage über die Überlastfähigkeit der Dioden spiegelt das Stoßstromverhalten wieder, für dessen Bestimmung die Dioden mit einer Sinusstromhalbwelle belastet werden. Durch

die Steigerung der Stromamplitude kann die Belastungsgrenze der vorliegenden Diodenmuster ermittelt werden.

Schaltverhalten

Für die Untersuchungen zum Schaltverhalten wurden die Halbleiterschalter mit einer Doppelpulsansteuerung in einer niederinduktiven Kommutierungszelle mit induktiver Last eingesetzt. Abb. 4.5 zeigt den oszillographierten Verlauf des von der Diode abkommütierenden Stromes und die sich aufbauende Sperrspannung entsprechend Abb. 2.17 c). Für die Messungen wurde ein IGBT⁴ mit Si-EmCon-Diode bzw. SiC-SBD verwendet.

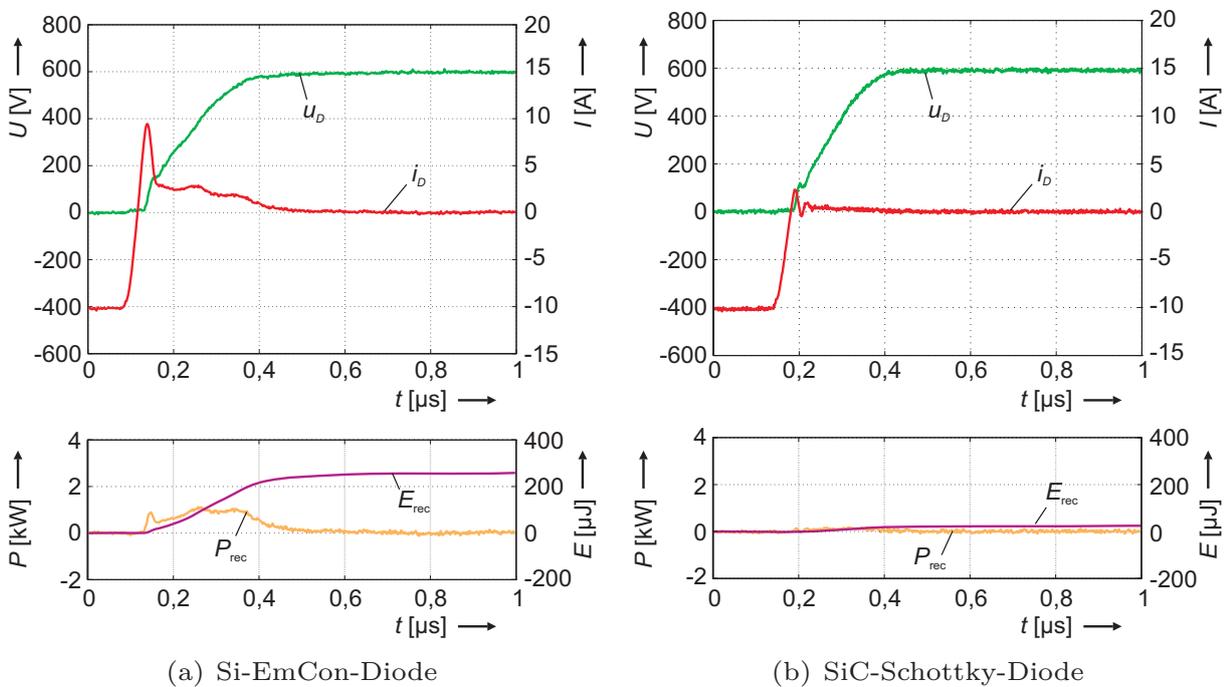


Abbildung 4.5: Ausschaltverläufe von Si- und SiC-Diode

Die Verlustenergien sind Funktionen der Temperatur und des Stromes, wobei die Einschaltverluste der Dioden vernachlässigt werden können (Kap. 2). Die Ausschaltverluste E_{rec} bipolarer Si-Dioden werden maßgeblich durch den Rückwärtserholstrom während des Ausschaltens bestimmt. Bei der SiC-Schottky-Diode ist der Umladestrom nicht vorhanden, wodurch sich die Schaltverluste drastisch reduzieren. Dieses ist im Schottky-Übergang begründet, der im Gegensatz zu der Si-Diode keine Speicherladung besitzt [Lutz]. Stromüberschwin-

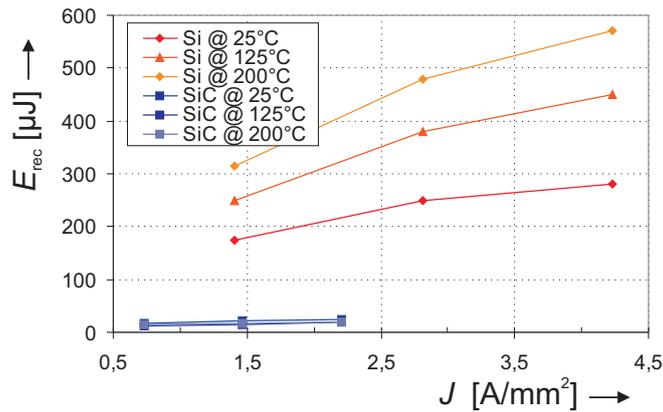


Abbildung 4.6: E_{rec} von Si- und SiC-Diode (Messpunkte jeweils 5, 10 und 15 A)

ger sind lediglich auf parasitäre Kapazitäten zurückzuführen. Abb. 4.5 zeigt den Stromverlauf einer Si- sowie einer SiC-Diode während des Ausschaltens bei 600 V und 10 A im Vergleich. In Abb. 4.6 sind die Verlustkurven der beiden Halbleiter in Abhängigkeit von der Stromdichte für verschiedene Temperaturen aufgetragen.

Da der Rückwärtserholstrom beim Halbleiterschalter zusätzliche Verluste verursacht, reduzieren die günstigen dynamischen Eigenschaften der unipolaren SiC-SBD zusätzlich die Schaltverluste im Schalter. Abb. 4.7 zeigt einen typischen Einschaltvorgang eines IGBT bei 600 V und 10 A, dessen Einschaltstromüber-

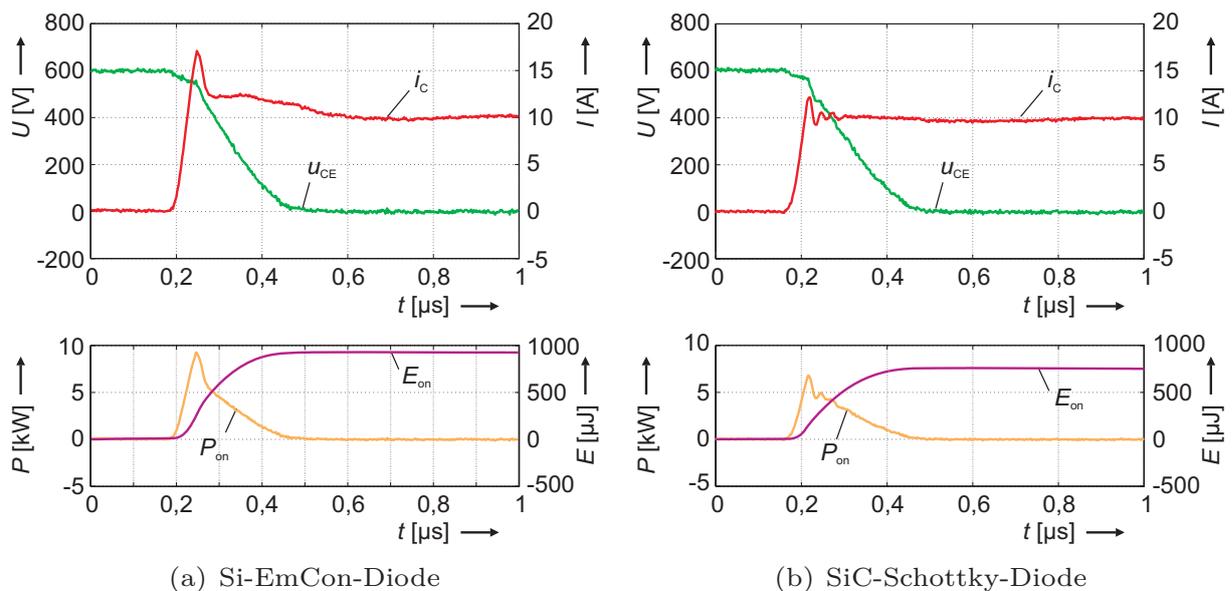


Abbildung 4.7: Einschaltverläufe von IGBT mit Si- und SiC-Diode

schwinger durch das günstige Rückwärtserholverhalten der SiC-Diode deutlich verringert wird.

Das Verhalten der Einschaltverlustenergien E_{on} des IGBT mit einer Si- und einer SiC-Diode über der Temperatur zeigen die Abb. 4.8 a) und b) für unterschiedliche Ströme. Die Ausschaltverluste des IGBT werden durch die Schalteigenschaften der Dioden kaum beeinflusst.

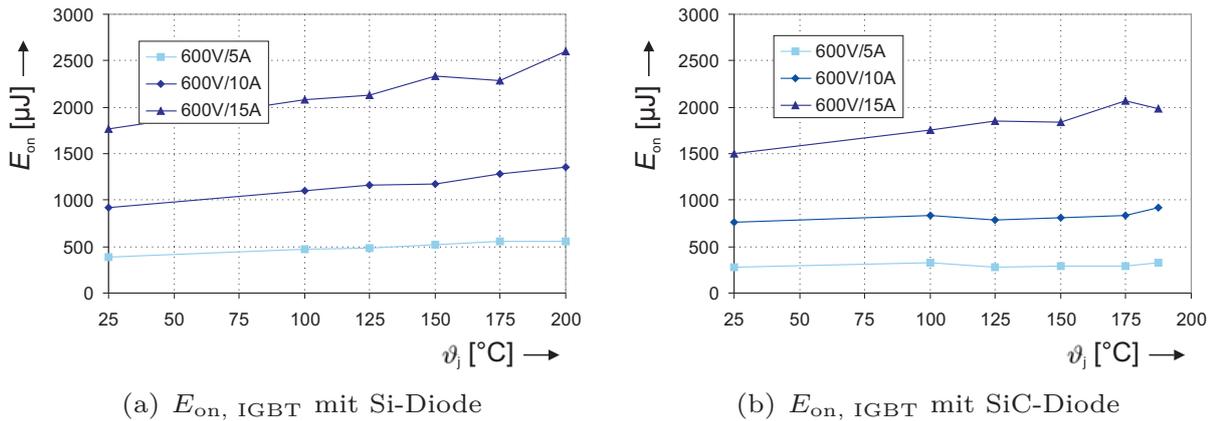


Abbildung 4.8: Einfluss des Rückwärtserholstromes auf die Schaltverluste

Stoßstromverhalten

Um Aussagen über die Robustheit zu gewinnen, werden Dioden auf ihre Stoßstromfestigkeit untersucht. Hierfür wird eine sinusförmige Stoßstromhalbwelle i_{Halb} für 10 ms in die zu testende Diode eingepreßt. Abb 4.9 zeigt die dafür aufgebaute Versuchsschaltung.

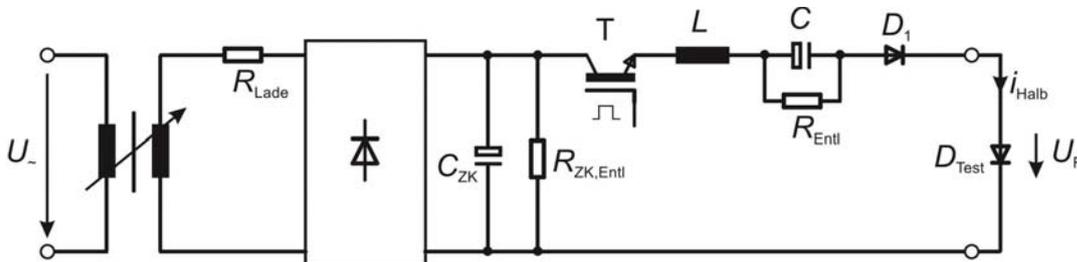


Abbildung 4.9: Messschaltung Stoßstromversuch

Die Schwingung wird durch einen LC -Schwingkreis erzeugt, dessen Resonanzfrequenz auf 50 Hz abgestimmt ist und somit die für diesen Test üblichen 10 ms pro Halbwelle ermöglicht. Der Stromfluss kann aufgrund der Diodendurchlassrichtung nur in eine Richtung erfolgen, die negative Halbwelle wird unterdrückt. Mit dem Einschalten des IGBTs wird der Schwingkreis angeregt, wobei der IGBT nach der Halbwelle wieder ausgeschaltet wird, um weitere positive Halbwellen zu unterdrücken. Im ausgeschalteten Zustand wird C über den Widerstand R_{Ent1} entladen.

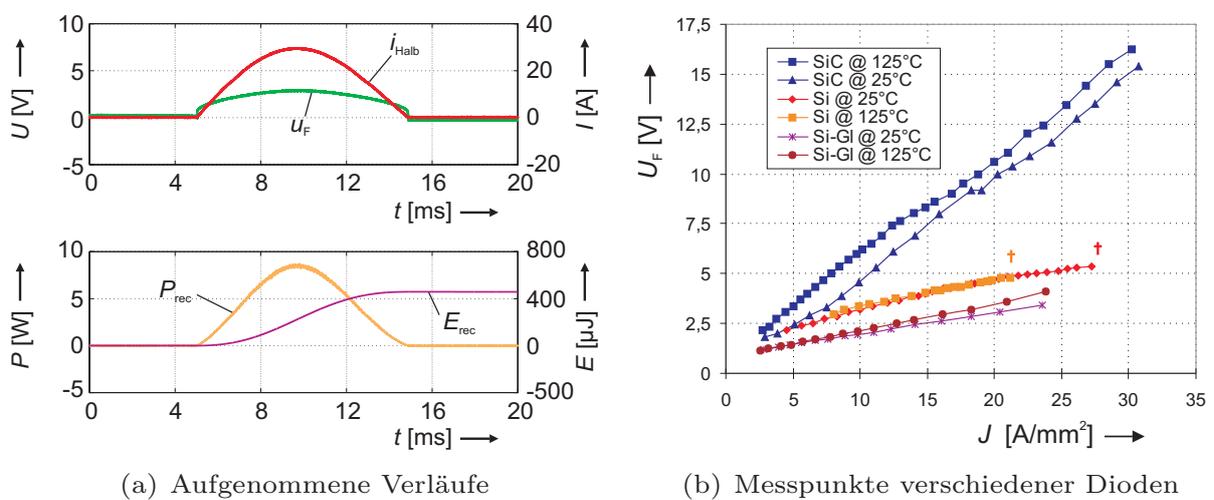


Abbildung 4.10: Ergebnisse der Stoßstromuntersuchung

Abb. 4.10 a) zeigt einen gemessenen Verlauf während einer Stoßstromhalb- welle für eine Si-Diode. In den Versuchen wird die Spannung im Zwischenkreis sukzessiv erhöht, wodurch der durch den Schwingkreis entstehende Halbwellen- stoßstrom ebenfalls ansteigt. Der Strom wird soweit erhöht, bis die Dioden- Durchlassspannung u_F aufgrund der Temperaturerhöhung im Chip zusammen- bricht und die Diode irreversibel geschädigt ist. In Abb. 4.10 b) sind die Strom- belastungen und die dabei hervorgerufenen Spannungen abgebildet. Hierbei ist ersichtlich, dass die unipolare SiC-Diode im Vergleich zu der Si-EmCon-Diode und der Si-Gleichrichter-Diode (Si-Gl) deutlich höhere Durchlassspannungen be- sitzt und trotz der höheren umgesetzten Verlustleistung einer größeren Strom- belastung standhält. Bei der SiC-Diode konnte bis zu einer Stromdichte von ca. 30 A/mm^2 (ca. 180 A) sowohl bei 25°C als auch bei 125°C keine Schädigung festgestellt werden. Die Si-Diode hingegen wurde bereits ab einer Stromdichte

von ca. 22 A/mm² (ca. 80 A) bei 125°C irreversibel geschädigt. Im Datenblatt des IGBT⁴ ist das Grenzlastintegral I^2t der Freilaufdioden bei 125°C mit 16 A²s angegeben. Das Grenzlastintegral ergibt sich zu

$$I^2t = \int_0^{\frac{T}{2}} (\hat{i} \cdot \sin(\omega t))^2 dt = \hat{i}^2 \cdot \left(\frac{(-\sin(\omega t)) \cdot \cos(\omega t)}{2\omega} + \frac{t}{2} \right). \quad (4.1)$$

Bei Berücksichtigung der Grenzen des Integrals entfällt der erste Summand. Damit erhält man für den maximal zulässigen Strom der Diode

$$\hat{i} = \sqrt{\frac{I^2t}{\frac{t}{2}}}. \quad (4.2)$$

Im Falle der Si-Diode ($I_{\text{Nenn,DC}} = 10$ A) resultiert unter Verwendung der Datenblattangaben für 125°C ein maximaler zulässiger Stromscheidenwert von etwa 56 A.

4.3 Vergleich zwischen selbstleitendem SiC-LC-VJFET und Si-IGBT

Der vertikale Sperrschichttransistor mit lateralem Kanal (LC-VJFET) bietet aufgrund der robusten Struktur und des prozesstechnisch einfachen Kanals günstige Voraussetzungen für effiziente und robuste SiC-Leistungshalbleiterschalter. Allerdings führt die damit in Verbindung stehende Selbstleitfähigkeit der Bauelemente zu einer verhaltenen Akzeptanz für potentielle Anwendungen, da gegenüber den bisher eingesetzten selbstsperrenden Leistungshalbleiterschaltern neben einer Treiberstufenanpassung auch Maßnahmen zur Ausfallsicherheit der Ansteuerungen sichergestellt werden müssen. Alternativ kann auch die vorgestellte Kaskode aus SiC-JFET und Si-MOSFET die Kompatibilität herstellen. Die nachfolgenden Messergebnisse zeigen das statische und dynamische Verhalten des SiC-LC-VJFETs ohne MOSFET mit angepasster Treiberstufe, deren Anforderungen abgeleitet und zunächst vorgestellt werden.

4.3.1 Treiberstufenanforderungen

Die Treiberstufen bilden die Schnittstelle zwischen der Steuerung und den steuerbaren Leistungshalbleitern. Sie gewährleisten eine Anpassung zwischen dem Logiklevel und den für die Steuereingänge zulässigen Ein- und Ausschaltpegeln, wobei die entsprechende vom Leistungshalbleiter abhängige Steuerleistung bereitgestellt werden muss. In Halbbrückenschaltungen ist aufgrund des im Betrieb springenden Mittelpunktspotenziales für die Oberschalter, sowie bei gewünschtem freien Bezugspotenzial der Unterschalter, eine Potenzialtrennung innerhalb der Treiberstufen nötig. Zusätzlich können je nach Anforderungen in die Treiberstufe Schutzfunktionen integriert werden, die verschiedene Parameter (ϑ , i , u) überwachen und bei Eintritt eines kritischen bzw. unzulässigen Betriebspunktes Schutzmaßnahmen einleiten.

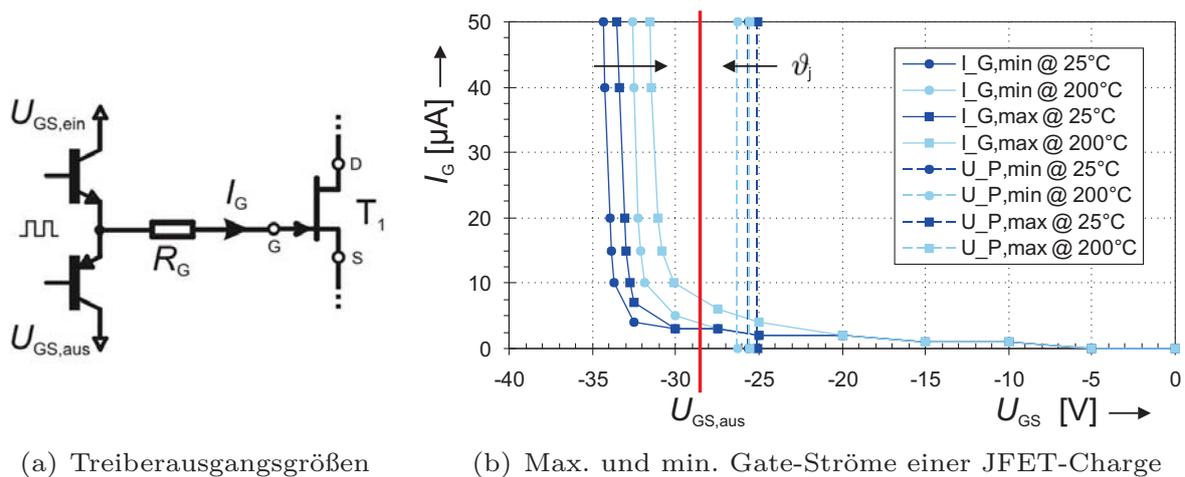


Abbildung 4.11: Treiberstufen-Spannungspegel für SiC-LC-VJFETs

Anders als beim konventionell eingesetzten IGBT benötigt der SiC-LC-VJFET eine negative Gate-Spannung zum Sperren des Kanals. Erst wenn der Kanal bei $U_{P\text{inch-off}}$ vollständig abgeschnürt ist, befindet sich der Schalter im gesperrten Zustand. Zusammen mit der einige Volt darunter liegenden Durchbruchspannung des pn-Überganges am Gate (Punch-through) ergibt sich ein Spannungsfenster für zulässige Gate-Sperrspannungen $U_{GS,aus}$ (vgl. Abb. 4.11). Ein zu niedriges Spannungslevel darf ebenfalls nicht gewählt werden, um einen zu hohen Gate-Stromanstieg in der Punch-through-Region zu vermeiden. Die Gate-Spannung

zum Einschalten des LC-VJFETs $U_{GS,ein}$ liegt bei 0 V. Ein positiver Spannungsniveau erhöht die Leitfähigkeit, jedoch ist nach Herstellerangaben der pn-Übergang zwischen Gate und Drain bereits ab 2,5 V überlastet. Weiter reduziert sich nach Herstellerangaben der R_{on} nur gering, weshalb auf einen positiven Einschaltspannungsniveau verzichtet werden kann. Der Bereich zwischen Ein- und Ausschaltspannungsniveau wird als Linearbereich bezeichnet und in der Regel nicht stationär betrieben.

Obwohl Prozesstechnologie bedingte Bauteilstreuungen in den letzten Jahren stark reduziert werden konnten, unterscheiden sich Pinch-off- und Punch-through-Spannungsniveau nicht nur zwischen den verschiedenen JFET-Generationen, sondern auch innerhalb der vorliegenden Charge leicht. Abb. 4.11 b) zeigt den kleinsten und größten Gate-Strom der vorliegenden JFET-Charge für 25°C und 200°C, woraus ersichtlich wird, dass das entstehende Fenster der geeigneten Ausschalt-Gate-Spannungsniveau über ϑ_j verkleinert. Zusammen mit einer bauteilstreuungsbedingten Varianz des Spannungsfensters bei verschiedenen Bauelementen erscheint zunächst die arithmetische Mitte (-28 V) als einheitlicher Ausschalt-Gate-Spannungsniveau angemessen.

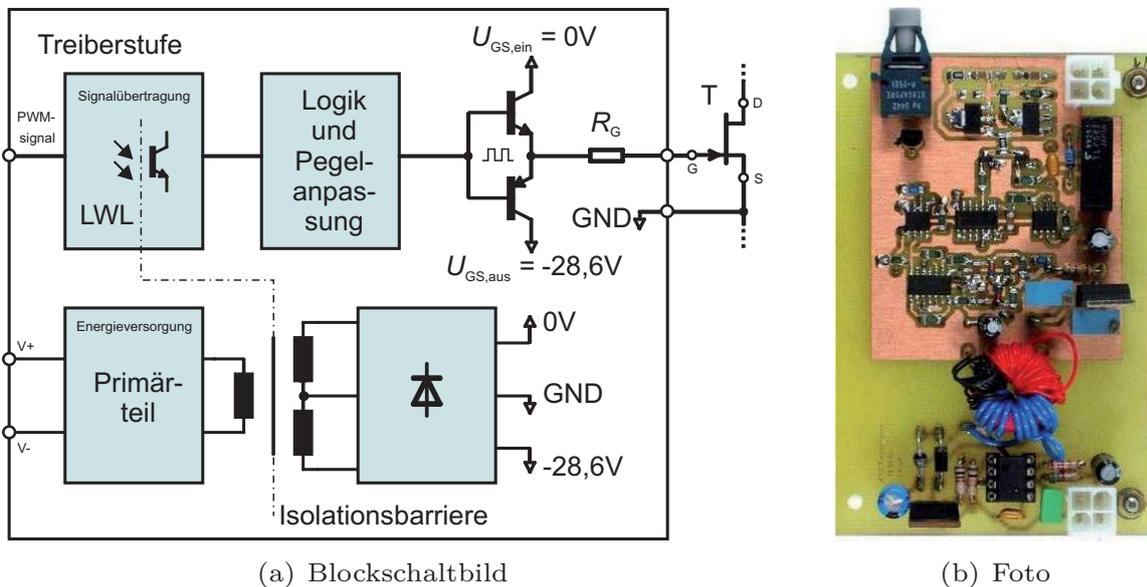


Abbildung 4.12: SiC-LC-VJFET-Treiberstufe

Die dynamischen Vorgänge und die resultierenden Verluste werden durch die Schaltgeschwindigkeit beeinflusst, die maßgeblich durch den Gate-Widerstand

R_G der Treiberstufe bestimmt wird. Zur Reduzierung der Schaltverluste werden schnelle Schaltvorgänge bei konstanten Strom- und Spannungssteilheiten angestrebt. Die zulässigen Strom- und Spannungsanstiegsgeschwindigkeiten sind allerdings aufgrund der Elektromagnetischen Verträglichkeit (EMV) oder der Maschinenisolation in vielen Applikationen begrenzt.

Die in Kap. 1 benannten Anforderungskriterien nehmen ebenso Einfluss auf die Treiberstufenauslegung, da z. B. für hohe Einsatztemperaturen die Auswahl an Elektronikbauteilen stark eingegrenzt ist und dadurch entsprechende Schaltungsabwandlungen folgen können. Aufgrund der unterschiedlichen Anwendungsanforderungen sind eine Vielzahl von Treiberlösungen möglich. Abb. 4.12 zeigt die für die Versuche realisierte Treiberlösung.

4.3.2 Statische Eigenschaften

Entsprechend der Messmethode für die Dioden wurden bei den Halbleiterschaltern die statischen Eigenschaften durch Einzelpulsmessungen bestimmt, wodurch die Erwärmung des Chips vernachlässigt werden kann.

Durchlassverhalten

Die Abhängigkeit zwischen Durchlassspannung und Strom weist bei unipolaren Halbleitern idealisiert ein ohmsches Verhalten auf. Daher werden die Durchlasseigenschaften unipolarer Bauelemente meist über den $R_{DS,on}$ angegeben, der sich als Quotient aus Drain-Source-Spannung U_{DS} und Drain-Strom I_D ergibt. Um allerdings Abweichungen hiervon, den Einfluss der Temperatur oder des Gate-Widerstandes auf die Leitfähigkeit zu verdeutlichen und die Vergleichbarkeit zum IGBT zu ermöglichen, wird im Folgenden weiterhin die Durchlassspannung U_D betrachtet. Abb. 4.13 a) zeigt die gemessenen Durchlassspannungen von SiC-JFET ($U_{D,JFET} = U_{DS}$) und Si-IGBT ($U_{D,IGBT} = U_{CE}$) für die auf die Chip-Fläche bezogenen Ströme (bis 15 A). Bei Berücksichtigung der deutlich kleineren Chip-Fläche des SiC-JFETs wird ersichtlich, dass der JFET-Chip bei gleichem Strom gegenüber dem IGBT-Chip einer 1,7-fach höheren Auslastung unterliegt. Der lineare Anstieg beim JFET ist auf die Unipolarität zurückzuführen, wogegen der IGBT als Vertreter der bipolaren Halbleiter den auch für Dioden typischen exponentiellen Verlauf zeigt. Dadurch ergibt sich für den JFET eine niedrigere

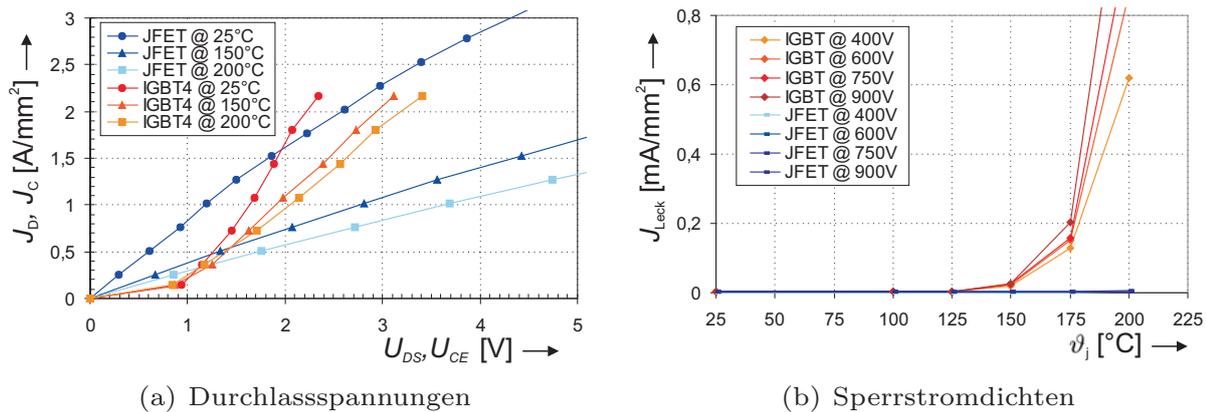


Abbildung 4.13: Vergleich der statischen Eigenschaften

U_D bei geringen Stromdichten. Allerdings nimmt die Temperatur ϑ_j auf U_{DS} des JFETs gegenüber der U_{CE} des IGBT größeren Einfluss, so dass bei höheren ϑ_j deutlich höhere U_D für den JFET resultieren.

Sperrverhalten

Die Messkurven in Abb. 4.13 b) zeigen die Sperrstromdichten J_{Leck} der Halbleiterschalter bei verschiedenen Sperrspannungen und Chip-Temperaturen. Im Vergleich zu den sehr geringen und nahezu Temperatur unabhängigen Sperrströmen des SiC-JFETs, weist der Si-IGBT ab 150°C kritisch ansteigende Sperrströme auf. In den Versuchen betrug der Sperrstrom bei einer Sperrschichttemperatur von 175°C und einer Sperrspannung von 600 V mehr als 1 mA , was zu Sperrverlusten von über $0,6\text{ W}$ pro Schalter führt. Allerdings kann dieser Wert laut Angabe des Datenblattes deutlich höher ausfallen bzw. kann ein Strom von 1 mA schon bei 25°C auftreten (Bauteilstreuung). Im ungünstigen Fall führt dies somit zu kritisch hohen Verlusten (vgl. Abb. 2.16 b und [Infi2]). Für den SiC-Schalter sind die Leckströme auch für hohe Temperaturen sehr gering.

4.3.3 Dynamische Eigenschaften

Die dynamischen Eigenschaften der Halbleiter wurden an einer niederinduktiven Kommutierungszelle für verschiedene Betriebspunkte und Temperaturen entsprechend zu Abb. 2.17 und 2.18 durchgeführt. Während der Messungen kam es für den IGBT bei 200°C zu häufigen Ausfällen. Deshalb wurde die maximale

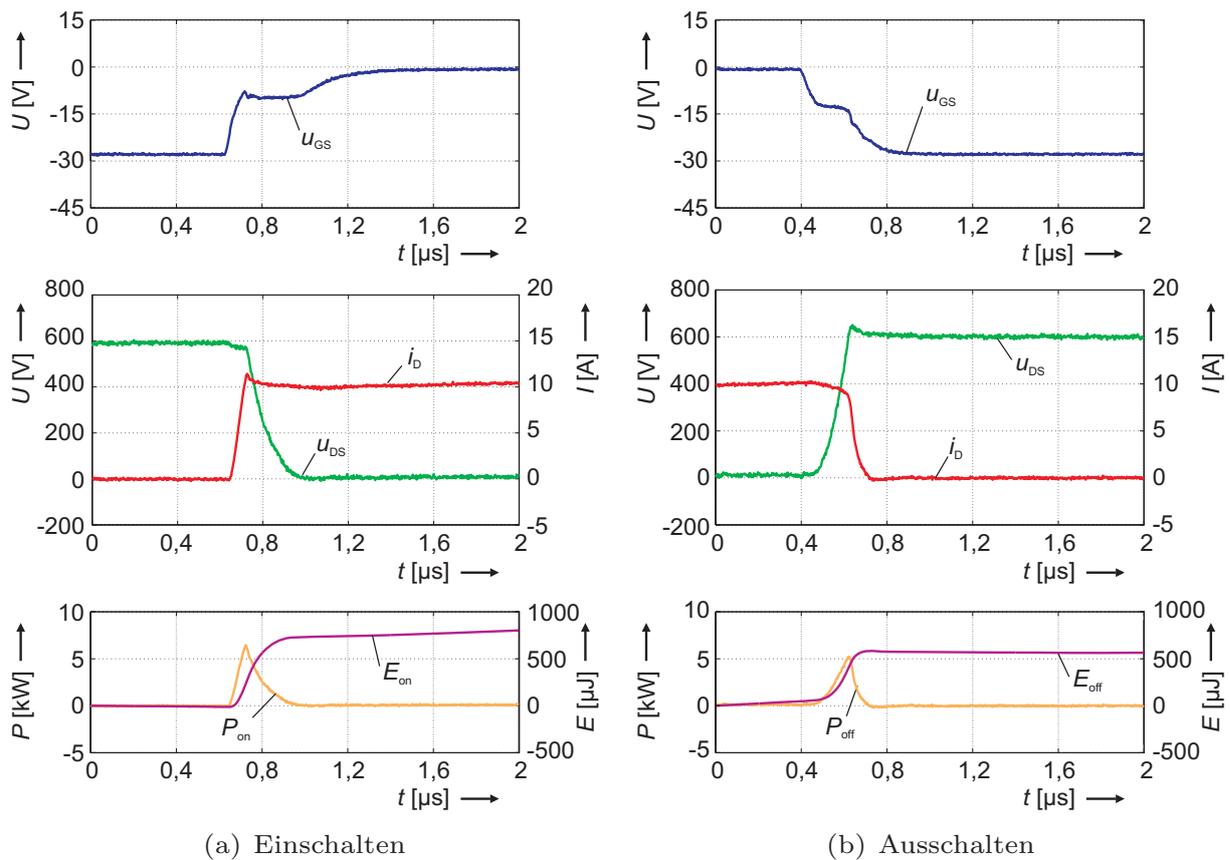


Abbildung 4.14: Typische JFET-Kurvenverläufe ($R_G = 150 \Omega$, $\vartheta_j = 200^\circ\text{C}$)

Junction-Temperatur beim IGBT teilweise auf 187°C begrenzt, was sich auch in den Messergebnissen widerspiegelt.

Schaltverhalten

Typische Spannungs- (u_{DS}) und Stromverläufe (i_D) zum Ein- und Ausschaltvorgang des JFET bei 600 V und 10 A zeigen die Abb. 4.14 a) und b). Hierin sind zusätzlich die Verläufe von Gate-Spannung (u_{GS}), Schaltleistung (P) und -energie (E) abgebildet. Charakteristisch für den selbstleitenden JFET ist seine Ansteuerspannung, die zwischen 0 V (leitend) und -28 V (sperrend) geschaltet wird. Abb. 4.15 a) und b) zeigen die Schaltvorgänge des IGBT als Benchmark bei gleicher Spannung und gleichem Strom. Um bei den Schaltvorgängen die Vergleichbarkeit zwischen den Halbleiterschaltern herstellen zu können, sollten Spannungs- (du/dt) und Stromsteilheiten (di/dt) beider Schalter möglichst identisch sein. Aufgrund der unterschiedlichen zugrunde liegenden Strukturen kön-

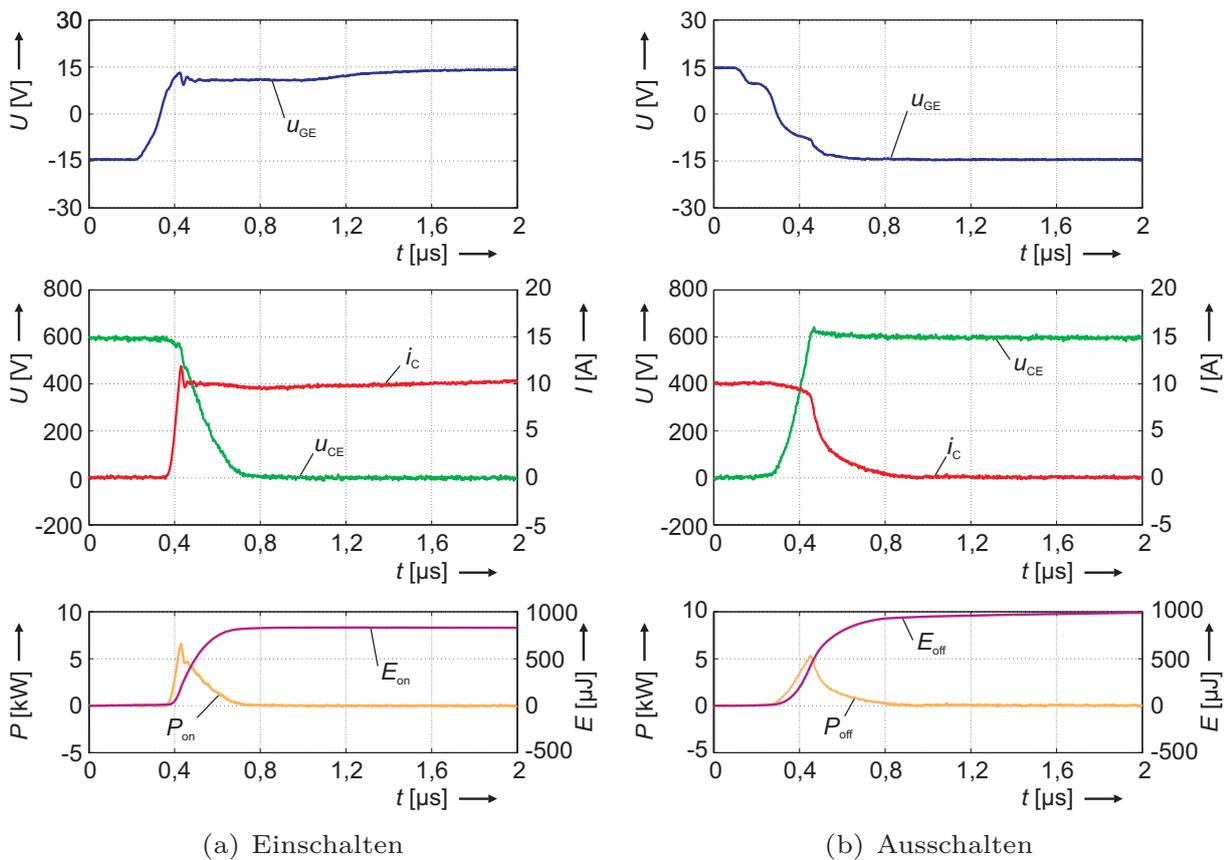
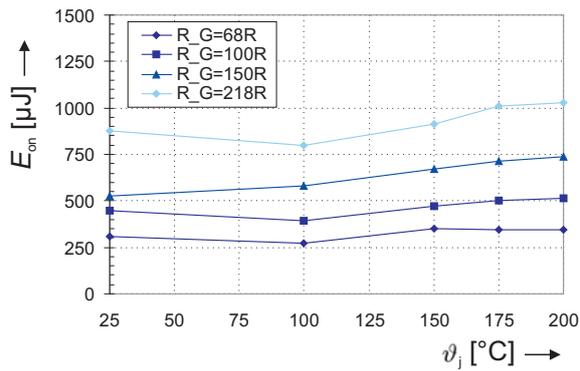


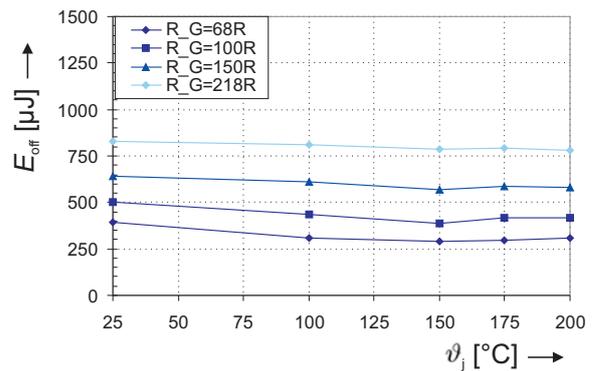
Abbildung 4.15: Typische IGBT-Kurvenverläufe ($R_G = 82 \Omega$, $\vartheta_j = 187^\circ\text{C}$)

nen Strom- und Spannungsflanke nicht gleichzeitig in Übereinstimmung gebracht werden. Daher sind die R_G so gewählt, dass ein gleiches du/dt (im Falle der gezeigten Kurven von ca. $5 \text{ kV}/\mu\text{s}$) resultiert. Die Messungen wurden bei einem gleichen Strom von 10 A aufgenommen, was bei Berücksichtigung der benötigten aktiven Fläche $A_{\text{akt,Sperr}}$ einer JFET-Chip-Auslastung von $1,91 \text{ A}/\text{mm}^2$ und einer IGBT-Chip-Auslastung von $1,44 \text{ A}/\text{mm}^2$ entspricht. Aufgrund der unterschiedlichen Auslastung sind die resultierenden Verluste der beiden Halbleiter, wie beschrieben, nicht direkt vergleichbar.

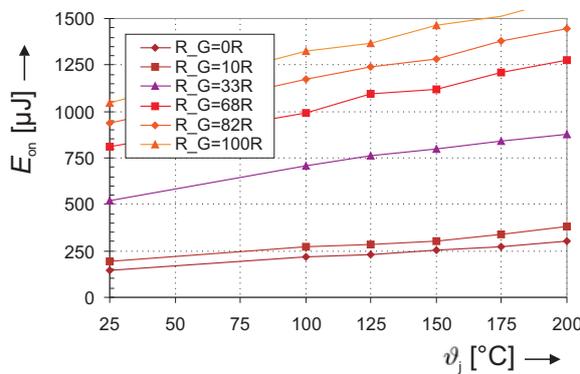
Die Verläufe von Spannung und Strom der unterschiedlichen Schaltertechnologien unterscheiden sich neben den unterschiedlichen Gate-Spannungsniveaus und der für die am Gate zur Umladung benötigten Zeitdauer in dem beim Ausschaltvorgang auftretenden Tail-Strom des IGBT. Anhand des Verhältnisses der Ein- und Ausschaltenergien ist dennoch bereits ableitbar, dass die Ausschaltverluste beim IGBT gegenüber dem JFET einen höheren Anteil besitzen.



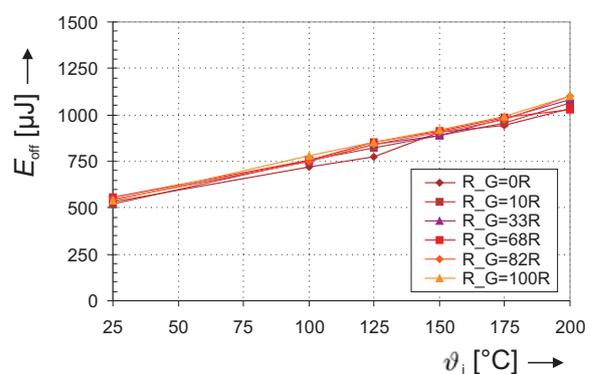
(a) E_{on} , SiC-JFET mit SiC-Diode



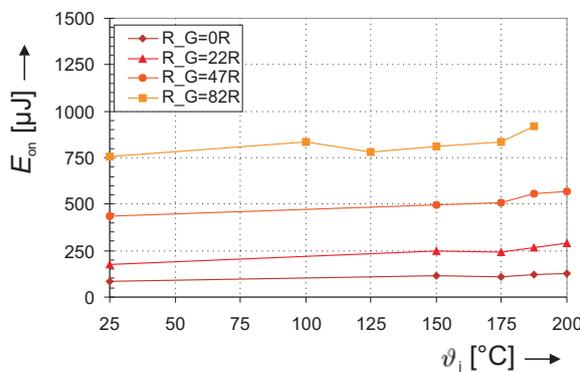
(b) E_{off} , SiC-JFET mit SiC-Diode



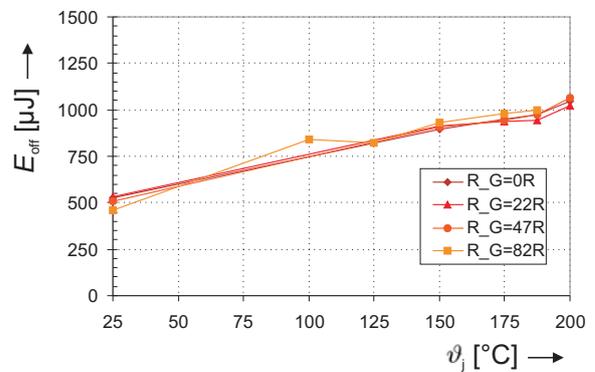
(c) E_{on} , Si-IGBT mit Si-Diode



(d) E_{off} , Si-IGBT mit Si-Diode



(e) E_{on} , Si-IGBT mit SiC-Diode



(f) E_{off} , Si-IGBT mit SiC-Diode

Abbildung 4.16: Schaltverluste der Halbleiterschalter als Funktion von ϑ_j

Die Ein- und Ausschaltenergien des JFET mit SiC-Diode und des IGBT mit Si- und SiC-Diode über ϑ_j für verschiedene R_G zeigen die Abbildungen 4.16 a) bis f). In den Kurven ist zu erkennen, dass die Schaltverluste des JFET über ϑ_j nahezu konstant bleiben während die des IGBT zunehmen. Weiter ist ersichtlich, dass die

4 Vergleich der Bauelementeeigenschaften

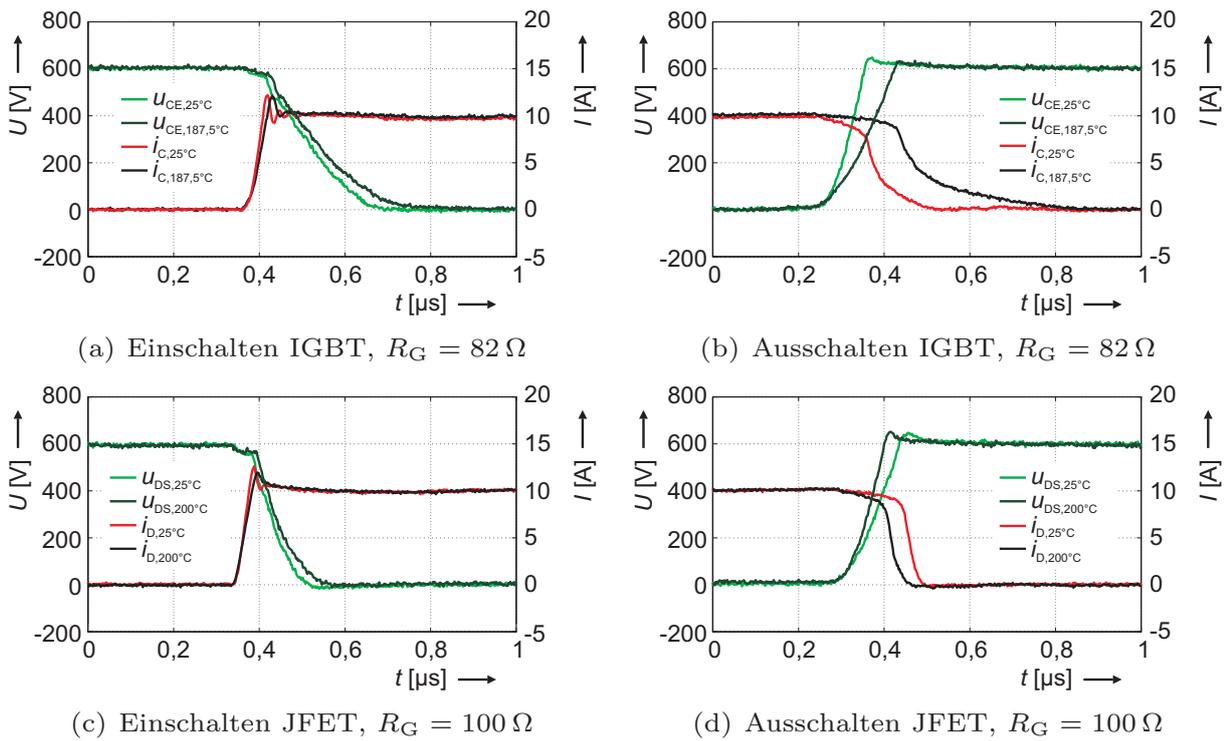


Abbildung 4.17: Schaltverläufe von IGBT und JFET bei verschiedenen ϑ_j

Ausschaltverluste beim IGBT unabhängig vom gewählten Gate-Widerstand sind und die SiC-Diode, wie im vorigen Kapitel beschrieben, die Ausschaltverluste kaum beeinflusst.

Der Temperatureinfluss auf die Schaltverluste wird neben der Rückwirkung der Diodeneigenschaften auch durch die temperaturabhängige Schaltcharakteristik des Halbleiterschalters sichtbar. Abb. 4.17 zeigt den Einfluss der Temperatur auf die Schaltflanken bei unveränderten Gate-Widerständen für 25°C und 200°C bzw. 187°C. In den Kurven ist erkennbar, dass sich unter diesen Randbedingungen bei steigender Temperatur die Schaltgeschwindigkeit vom JFET erhöht und vom IGBT reduziert. Darüberhinaus nimmt die Temperatur auf den Stromverlauf des IGBT Einfluss, der bei 187°C einen deutlich erhöhten Tail-Strom aufweist. Das maximale du/dt und di/dt während des Einschaltens bleibt zumindest bei den verwendeten R_G beim JFET und beim IGBT nahezu Temperatur unabhängig. Während des Ausschaltvorganges hingegen steigt beim JFET im dargestellten Fall das maximale du/dt und führt zu einer Verringerung der Schaltverluste, wogegen beim IGBT sowohl das maximale du/dt als auch das maximale di/dt

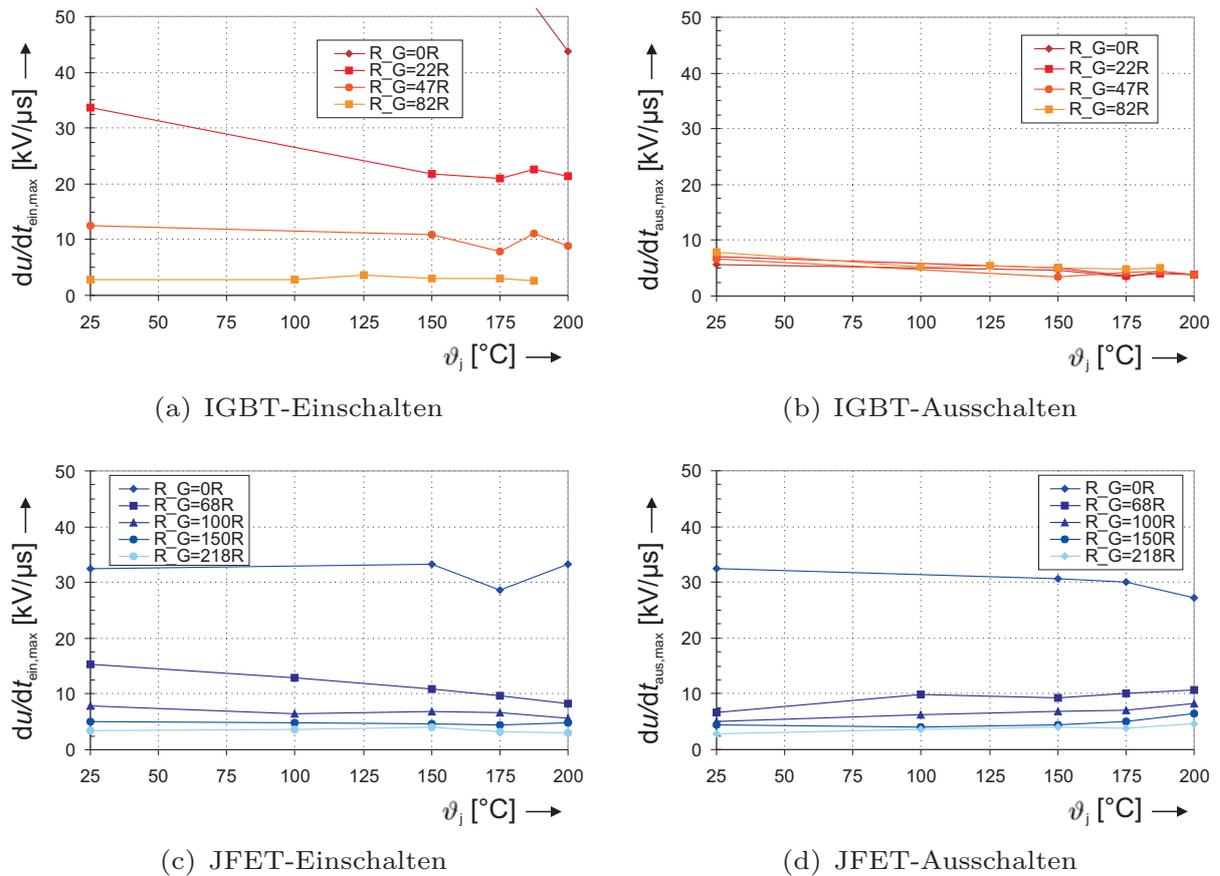


Abbildung 4.18: Flankensteilheiten von IGBT und JFET über ϑ_j

deutlich sinkt und somit erhöhte Verluste mit sich bringt. Insbesondere beim IGBT findet die Stromkommutierung im Verhältnis zum Spannungsverlauf bei der erhöhten Temperatur verspätet statt, was ebenfalls zu einer Erhöhung der Verluste führt. Zusammenfassend ist der Einfluss der Temperatur auf den JFET relativ gering, wobei bei höheren Temperaturen die Verluste tendenziell reduziert werden.

Aufgrund des Zusammenhanges zwischen der Schaltgeschwindigkeit und den Schaltverlusten ist für die Vergleichbarkeit ein Betriebspunkt mit gleichen Flankensteilheiten nötig. Da sich Ein- und Ausschaltgeschwindigkeit unterscheiden können und die Kurvenverläufe unterschiedlicher Schalter nicht identisch sind, kann diese Anpassung nur näherungsweise stattfinden. Zusätzlich nimmt die Temperatur sowohl auf das Schaltverhalten als auch auf die Schaltgeschwindigkeit erheblichen Einfluss. Da zur Speisung elektrischer Maschinen das du/dt oft

4 Vergleich der Bauelementeeigenschaften

aufgrund der Maschinenisolation begrenzt werden muss (typ. 2,5 bis 10 kV/ μ s [Cand1]), wurde vor diesem Hintergrund das du/dt als Vergleichsparameter definiert. Mit Berücksichtigung des Temperatureinflusses auf die Schaltgeschwindigkeit wurde als Vergleichspunkt eine Temperatur von 150°C als Nenntemperatur angenommen. Bei geringeren Einsatztemperaturen könnte für gleiche du/dt sogar ein kleinerer JFET-Gate-Widerstand gewählt werden, wodurch dessen Verluste weiter reduziert würden. Bei einem Nenn-Gate-Widerstand von 47 Ω für den IGBT würde eine maximale Spannungssteilheit von etwa 10 kV/ μ s resultieren. Dies entspräche einem Gate-Widerstand von 68 Ω für den JFET, der sowohl für das Ein- als auch für das Ausschalten verwendet werden könnte. Abb. 4.18 zeigt die aus verschiedenen R_G resultierenden Spannungssteilheiten über ϑ_j .

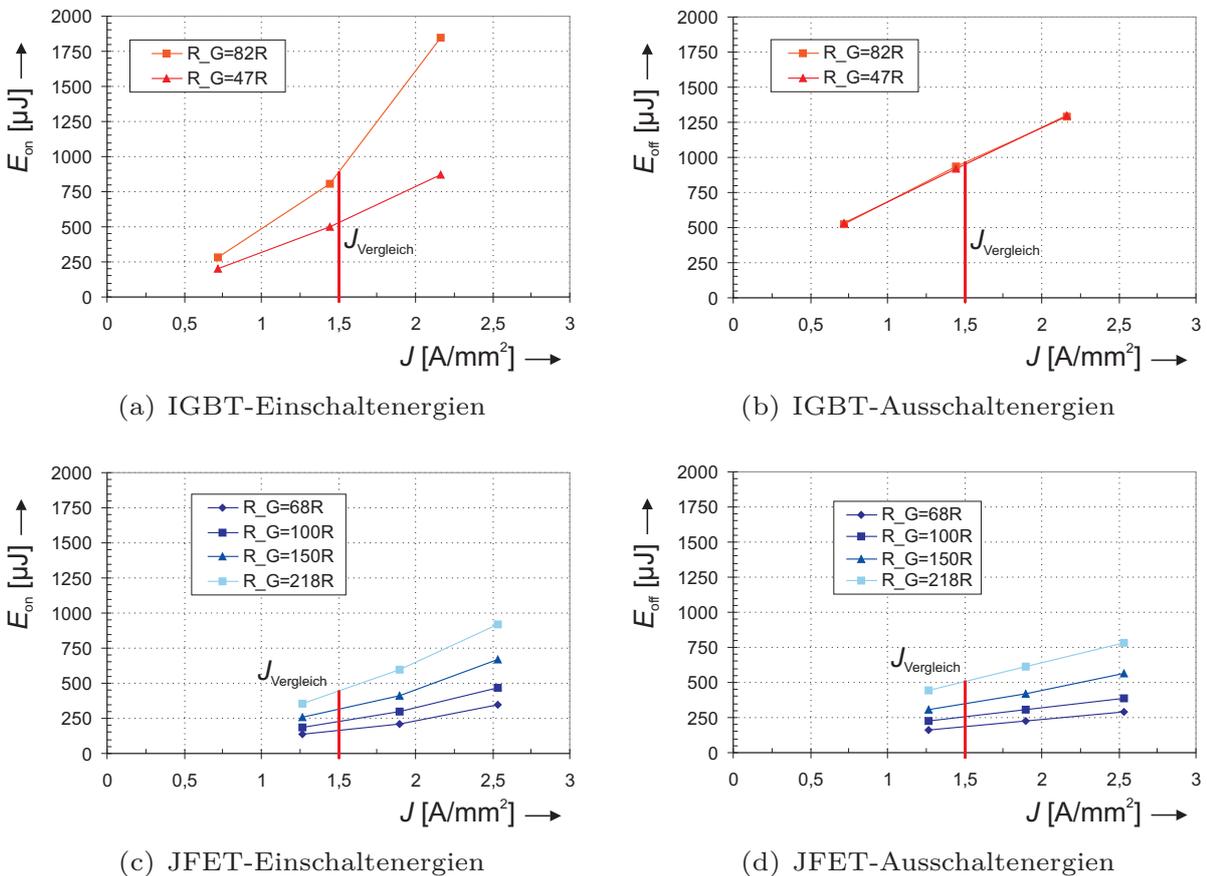


Abbildung 4.19: IGBT- und JFET-Schaltenergien bei 150°C und 600 V

Abb. 4.19 zeigt die Ein- und Ausschaltenergien beider Schalter über der Stromdichte J bei 150°C. Da in den IGBT-Datenblättern je nach Revision sowohl 82 Ω

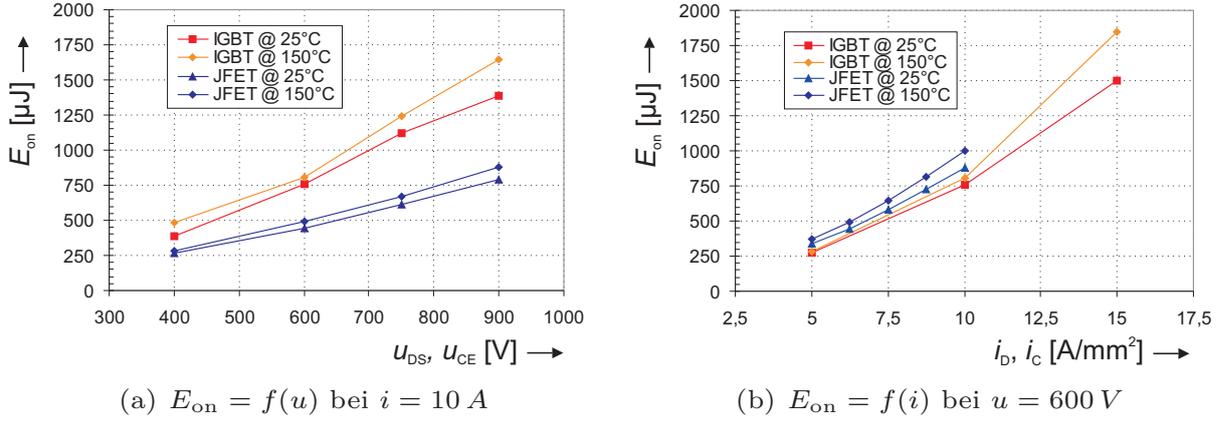


Abbildung 4.20: Linearitätsbedingung

als auch 47Ω als Nenn-Gate-Widerstand $R_{G,\text{IGBT}}$ angegeben sind, wurden beide als Referenzwerte berücksichtigt. Je nach Vergleichsbedingung (hier gleiches du/dt) ist dementsprechend der $R_{G,\text{JFET}}$ zu wählen.

Bei einer gleichen Chip-Auslastung können für die Annahme eines linearen Zusammenhanges zwischen Schaltverlusten und Strom sowie Schaltverlusten und Spannung die Schaltverluste für den Linearisierungsbereich auf eine andere Chip-Fläche umgerechnet werden. Nach Herstellerangaben ist die Linearität beim IGBT gegeben. Dass die hierfür angenommenen Linearitäten für den JFET ebenso gegeben sind, zeigen die Abb. 4.20 a) und b). Unter vergleichbaren Bedingungen (gleiches du/dt und gleiches $J_{\text{Vergleich}}$) bestimmen sich die Verluste zu

$$E_{\text{on, JFET}}(A_{\text{akt,IGBT}}) = E_{\text{on, JFET}}(A_{\text{akt,JFET}}) \cdot \frac{A_{\text{akt,IGBT}}}{A_{\text{akt,JFET}}}. \quad (4.3)$$

Die Abschätzung führt als Beispiel bei $J_{\text{Vergleich}} = 1,5 \text{ A/mm}^2$, $R_{G,\text{IGBT}} = 82 \Omega$ und $R_{G,\text{JFET}} = 281 \Omega$ rechnerisch für den JFET mit einer auf den IGBT angepassten aktiven Chip-Fläche zu

$$\begin{aligned} E_{\text{on, JFET}}(A_{\text{IGBT}}) &= 781 \mu\text{J} & \text{und} & & E_{\text{off, JFET}}(A_{\text{IGBT}}) &= 886 \mu\text{J} \\ E_{\text{on, JFET}}(A_{\text{JFET}}) &= 445 \mu\text{J} & \text{und} & & E_{\text{off, JFET}}(A_{\text{JFET}}) &= 505 \mu\text{J}, \\ E_{\text{on, IGBT}}(A_{\text{IGBT}}) &= 850 \mu\text{J} & \text{und} & & E_{\text{off, IGBT}}(A_{\text{IGBT}}) &= 965 \mu\text{J}. \end{aligned}$$

Somit können die Schaltenergien bei gleicher Chip-Fläche und -auslastung des IGBT und des JFET abgeleitet werden. Die umgerechneten und somit vergleichbaren Ein- und Ausschaltenergien sind in Abhängigkeit vom R_G in Abb. 4.21 dargestellt. Die Wahl der Gate-Widerstände erfolgt über die Festlegung des du/dt (vgl. Abb. 4.18).

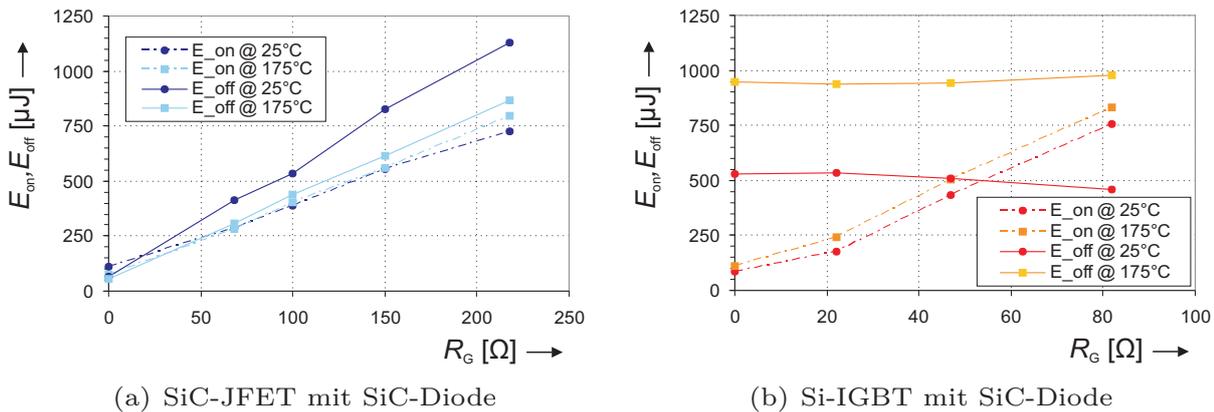


Abbildung 4.21: Schaltenergien für gleiche Chip-Größen und -auslastungen

Bei Berücksichtigung eines gleichen du/dt (und der entsprechenden R_G) ist in Abb. 4.21 erkennbar, dass die Schaltverluste des JFET deutlich geringer ausfallen. Je höher die Schaltgeschwindigkeit gewählt wird, desto vorteiliger verhält sich der SiC-Schalter, da sich beim JFET bei verkleinertem R_G sowohl Ein- als auch Ausschaltverluste reduzieren. Die Ausschaltverluste des IGBT hingegen sind unabhängig vom Gate-Widerstand. Als Ergebnisse können neben den vergleichbaren Schaltenergien die Abhängigkeiten über ϑ_j festgehalten werden. Hier weist der SiC-JFET bei steigenden Temperaturen geringere Ausschaltverluste auf, während die Einschaltverluste über ϑ_j nahezu konstant bleiben. Für die weiteren Untersuchungen wurde ein Nenn-Gate-Widerstand des IGBT von 47 Ω berücksichtigt, was bei Berücksichtigung eines gleichen du/dt von etwa 10 $\text{kV}/\mu\text{s}$ und einer Temperatur von 150°C beim JFET einen R_G von 68 Ω erfordert.

Halbbrückenverhalten

Die zuvor beschriebenen Schalteigenschaften des LC-VJFET wurden mit Hilfe eines einfachen Tiefsetzstellers ermittelt, in dem ein diskreter Halbleiterschalter, z. B. T_2 mit einer diskreten korrespondierenden Freilaufdiode D_1 agiert. Dies repräsentiert das Verhalten der Halbleiter in einer Halbbrücke unter der Annahme,

dass sich Ober- und Unterschalter einer konventionellen Brückenschaltung nicht gegenseitig während des Betriebes beeinflussen (vgl. Abb. 2.17 und Abb. 2.18). Diese Unabhängigkeit wird über die Steuereingangscharakteristik bestimmt und ist nicht zwangsläufig bei allen Leistungshalbleiterschalterstrukturen gegeben. Parasitäre Effekte können zu einer Beeinflussung und zu erheblich höheren Verlusten führen [Semi2, Koch1], wenn die Steuereingänge aufgrund einer sensiblen Steuercharakteristik auf Störbeeinflussung reagieren. Untersuchungen am LC-VJFET zeigen ein solches Verhalten, das anhand von Abb. 4.22 a) mit Berücksichtigung der hierauf Einfluss nehmenden parasitären Größen näher erläutert wird. Die anschließenden Optimierungen sind ein Ansatz zur Reduzierung bzw. Vermeidung der daraus resultierenden zusätzlichen Verluste.

Der Einschaltstromüberschwinger beim Einschaltvorgang entsprechend den Erläuterungen zu Abb. 2.17 besteht aus mehreren Anteilen, die je nach Halbleiterbauelement und Randbedingungen Einfluss nehmen können. Ein wesentlicher Anteil begründet sich in den Rückwärtserholeigenschaften bei Einsatz von bipolaren Dioden. Maßgeblich für die resultierende Überstromamplitude sind die Ladungen Q_{rr} in der Raumladungszone, die bei der Stromkommutierung ausgeräumt werden müssen, damit die Diode D_1 sperrt. Beim Einsatz von SiC-Schottky-Dioden ist aufgrund der Unipolarität des Bauelementes keine Speicherladung vorhanden [Lutz]. Allerdings bilden die Sperrschichten der Halbleiterschalter ebenfalls Kapazitäten (C_{DS} , C_{DG} und C_{GS}), deren Ladungen ausgeräumt werden müssen. In Aufbauten mit größeren Abmessungen können auch parasitäre aufbaubedingte Kapazitäten einen Beitrag zum Überstrom liefern. Da allerdings die Halbleiter-Chips in den vorliegenden Modulen und die resultierenden Aufbauabmessungen relativ klein sind, können diese Überstromanteile weitestgehend vernachlässigt werden.

Bei Halbleiterstrukturen, wie MOSFETs oder LC-VJFETs, kann unabhängig vom Halbleitermaterial ein ungewolltes Einschalten des sperrenden Schalters durch den Schaltvorgang des korrespondierenden hervorgerufen werden. Hierbei führt die resultierende erhöhte Stromamplitude des Einschaltstromüberschwingers zu zusätzlichen Schaltverlusten.

Abb. 4.22 b) zeigt die schematischen Verläufe beim Einschalten eines JFETs in einer Halbbrücke bei Einsatz eines Schalter-Dioden-Paares S und unter Berücksichtigung der hierbei möglichen parasitären Einflüsse. Hierin stellen $u_{GS,T2}$ die

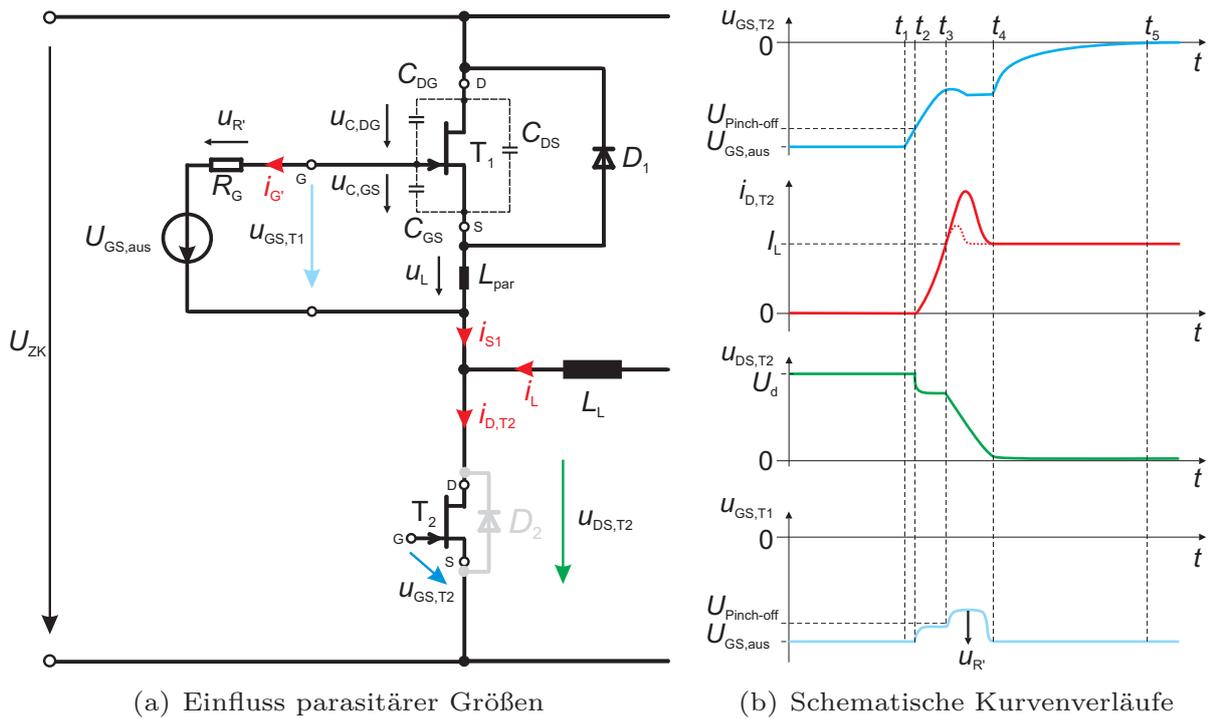
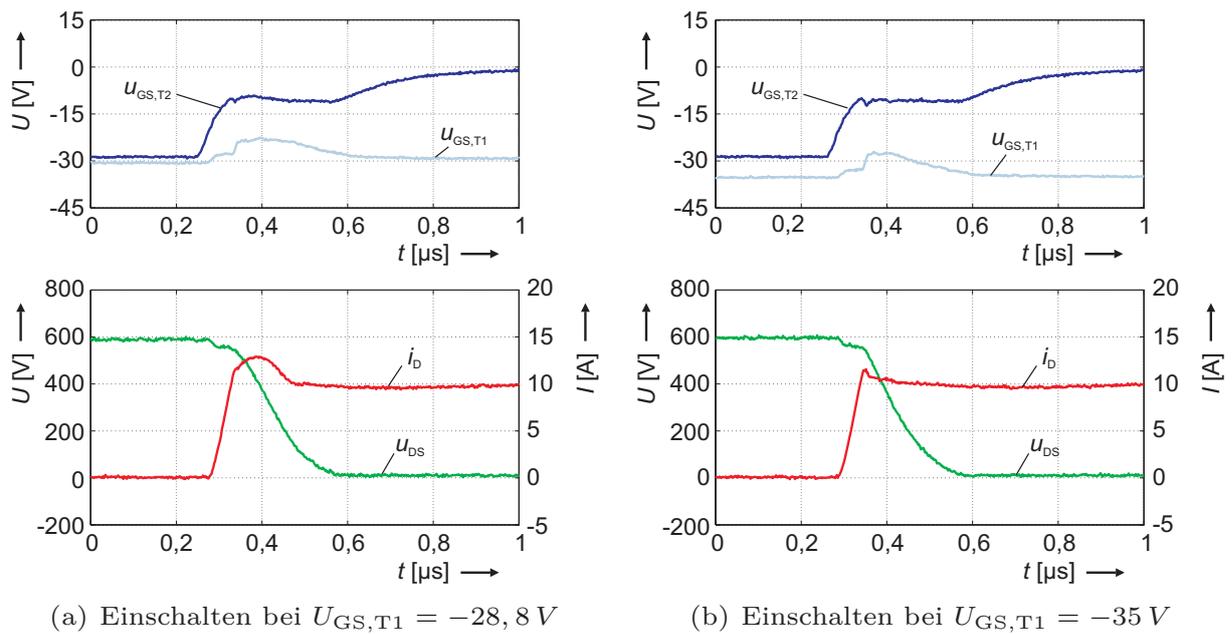


Abbildung 4.22: Entstehung von Einschaltstromüberschwingern

Gate-Spannung, $i_{D,T2}$ den Drain-Strom und $u_{DS,T2}$ die Drain-Source-Spannung des unteren einschaltenden JFETs T_2 dar. Zusätzlich ist die Gate-Spannung $u_{GS,T1}$ des sperrenden Oberschalters T_1 dargestellt. Der Verlauf von $i_{D,T2}$ zeigt zum einen in Anlehnung an die Messungen aus Abb. 4.14 den Einschaltstrompeak des JFETs bei idealen Bedingungen (gestrichelter Verlauf) und einen durch parasitäre Einflüsse erhöhten Strompeak bei Einsatz der Schalter-Dioden-Kombination (durchgezogener Verlauf). Die Gate-Spannungsausschaltlevel $U_{GS,aus}$ wurden entsprechend Abb. 4.11 in der Mitte zwischen der Pinch-off-Spannung und dem Punch-through-Bereich angenommen.

Ergänzend hierzu zeigt Abb. 4.23 a) die gemessenen Verläufe bei einem Ausschaltlevel von $U_{GS,aus} = -28\text{ V}$. Während des Einschaltens von T_2 ist ein Spannungsanstieg auf $u_{GS,T1} = -22\text{ V}$ ersichtlich, was oberhalb der Pinch-off-Spannung von ca. -26 V liegt (vgl. Abb. 4.11) und somit zu einem nicht vollständig gesperrten JFET T_1 führt. Der resultierende Kurzschlussstrom ist allerdings nicht kritisch, da der JFET in diesem Bereich noch einen relativ hohen Durchlasswiderstand besitzt. Der Anstieg von $u_{GS,T1}$ ist auf folgende zwei Vorgänge zurückzuführen, wovon nur der zweite zum ungewollten Einschalten führt:


 Abbildung 4.23: Einfluss von $U_{GS,aus}$ auf das JFET-Schaltverhalten

Zum einen verursacht das di/dt des von der Diode abkommütierenden Stromes bei $t_2 > t > t_3$ einen Spannungsabfall u_L an der Modul internen parasitären Zuleitungsinduktivität L_{par} der Bonddrähte (Abb. 4.22). Aus dem Spannungsumlauf im Gate-Kreis wird ersichtlich, dass hierdurch ein Spannungsabfall $u_{R'}$ an R_G und somit ein Spannungseinbruch in $u_{GS,T1}$ erzwungen wird. Als Folge wird C_{GS} umgeladen bzw. sinkt $u_{C,GS}$, bis der Punch-through-Bereich erreicht und $u_{C,GS}$ sowie $u_{GS,T1}$ konstant gehalten werden.

Zum anderen springt das Bezugspotenzial der Treiberstufe des sperrenden T_1 entsprechend dem Halbbrückenmittelpunkt während des Einschaltens von T_2 bei $t_3 < t < t_4$. Hierbei kann das Gate-Potenzial durch die kapazitive Ankopplung über C_{DG} an $+U_{ZK}$ nicht zeitgleich folgen. Der Umladevorgang von C_{DG} wird über den Gate-Strom i_G , bestimmt, dessen Amplitude durch R_G begrenzt wird. Der durch i_G hervorgerufene Spannungsabfall $u_{R'}$ reduziert $u_{GS,T1}$ und kann zu einer Überschreitung der Pinch-off-Spannung führen, so dass T_1 nicht mehr vollständig gesperrt ist und zusätzliche Schaltverluste in T_1 und auch T_2 entstehen. Analog kann ein ungewolltes Einschalten bei der Abkommütierung von D_2 erfolgen.

Je schmaler das Halbleiterstruktur abhängige Fenster zwischen $U_{P\text{inch-off}}$ und dem Punch-through-Bereich ist, desto empfindlicher wird der Schalter bezüglich der Störeinkopplung. Bei der MOSFET- und der IGBT-Struktur können durch einen reduzierten Gate-Ausschaltspannungslevel diese Auswirkungen unterdrückt werden. Insbesondere bei der JFET-Struktur sind Maßnahmen zur Unterdrückung dieses ungewollten Einschaltens und der damit verbundenen zusätzlichen Schaltverluste angebracht.

Eine Reduzierung des Strompeaks kann mit einem zusätzlichen Gate-Kondensator entsprechend Abb. 4.24 a) erreicht werden. Hierdurch wird $u_{GS,T1}$ stabilisiert. Allerdings ist dies aufgrund der benötigten Größe der Gate-Kapazität nur bedingt praktikabel, da die Schaltgeschwindigkeit erheblich verlangsamt, Schaltverläufe ungünstiger und die Schaltverluste somit gesteigert würden.

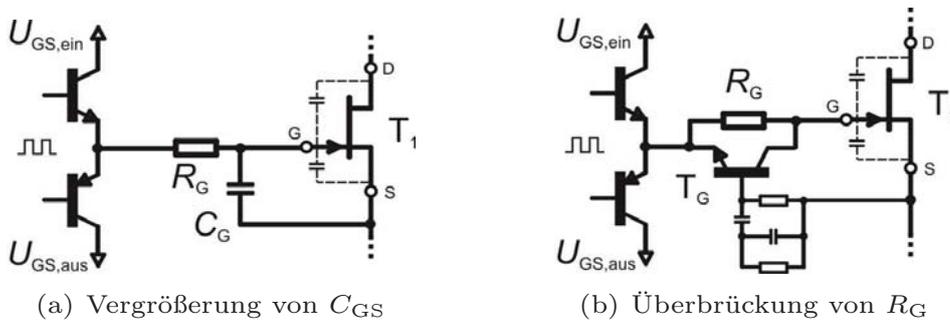


Abbildung 4.24: Treiberseitige Maßnahmen gegen ungewolltes Einschalten

Sinnvoll zur Reduzierung des Strompeaks erscheint die Maximierung des Störabstandes durch die Wahl eines Gate-Spannungsausschaltlevels nahe am oder sogar im Punch-through (vgl. Abb. 4.11). Der Spannungslevel sollte soweit abgesenkt werden, dass trotz des Spannungseinbruches am Gate $U_{P\text{inch-off}}$ nicht überschritten wird. Abb. 4.23 b) zeigt die Messkurven für einen Einschaltvorgang bei einer Gate-Spannung von -35 V . Hierbei ist ersichtlich, dass der Spannungseinbruch in $u_{GS,T1}$ zwar weiterhin vorhanden ist, aber nicht über $U_{P\text{inch-off}}$ hinaus geht und somit auch nicht zum Einschalten des Schalters führt. Der restliche Überschwinger ist in einer Größenordnung, die den genannten parasitären kapazitiven Ladungen des JFET-Dioden-Paares zugeordnet werden kann. Allerdings bleibt anzumerken, dass in Hinblick auf die starke Temperaturabhängigkeit des Gate-Stromes die Wahl von -35 V für höhere Temperaturen trotzdem kritisch werden könnte und den Bauteilparametern und deren Streuungen unterliegt.

Sollte der Störabstand bei der gewünschten Schaltgeschwindigkeit nicht ausreichen, um das ungewollte Einschalten zu unterbinden, kann das Kurzschließen des Gate-Widerstandes im gesperrten Zustand (Gate-Clamping) durchgeführt werden. Abb. 4.24 b) zeigt hierfür eine zusätzliche Gate-Beschaltung mit einem Bipolartransistor, der während des gesperrten Zustandes eingeschaltet ist, somit höhere Ausgleichsströme während des Potentialsprunges zulässt und die Zeitdauer des parasitären Einschaltens stark verkürzt.

Weitere Eigenschaften

Für den Einsatz von Leistungshalbleitern in Wechselrichtern sind neben dem möglichst verlustarmen und störungsfreien Schalten auch weitere Aspekte für Anwendungen von Interesse. Dabei wird im Folgenden auf die Parallelisierbarkeit und die Kurzschlussfestigkeit eingegangen.

Aufgrund der hohen SiC-Materialkosten sind derzeit nur Leistungshalbleiter mit kleinen Stromtragfähigkeiten erhältlich. Daher müssen die Halbleiter für höhere Stromtragfähigkeiten parallel geschaltet werden können. Hierzu erlaubt der positive Temperaturkoeffizient eine sichere thermische Stromaufteilung. Allerdings können aufgrund der Bauteilstreuung der Halbleiter-Chips $U_{\text{Pinch-off}}$ und Punch-through des ohnehin schon schmalen Ausschaltspannungsfensters erheblich abweichen. Somit kann beim Betreiben der parallelgeschalteten Chips mit einer einzelnen Treiberstufe $U_{\text{GS,aus}}$ für einzelne Chips im ungünstigsten Fall im Punch-through-Bereich oder unterhalb der Pinch-off-Spannung liegen. Hieraus resultieren dann statisch im Chip entweder sehr hohe Gate-Ströme oder ein erhöhter Leckstrom. Dynamisch kann dies zu einer ungleichen Strom und Schaltverlustaufteilung führen, da im ungünstigsten Fall einer der parallelgeschalteten Chips den vollen Strom kurzzeitig führen muss.

Eine Reihenschaltung mehrerer JFETs für sehr hohe Spannung ist nach [Biel] insbesondere für die normally-off Kaskode gut möglich.

Gerade bei erhöhten Anforderungen werden aufgrund der extremen Randbedingungen eine hohe Robustheit und Zuverlässigkeit gefordert. Für qualitative Aussagen sind hierzu statistische Ausfalldaten in verschiedenen Betriebspunkten nötig, die aufgrund der begrenzten Musteranzahl nicht Gegenstand dieser Untersuchungen sind. Dennoch muss sicher gestellt sein, dass die Muster zumindest

die Kriterien für einen sicheren Betrieb erfüllen und im Fehlerfall ein sicheres Abschalten möglich ist.

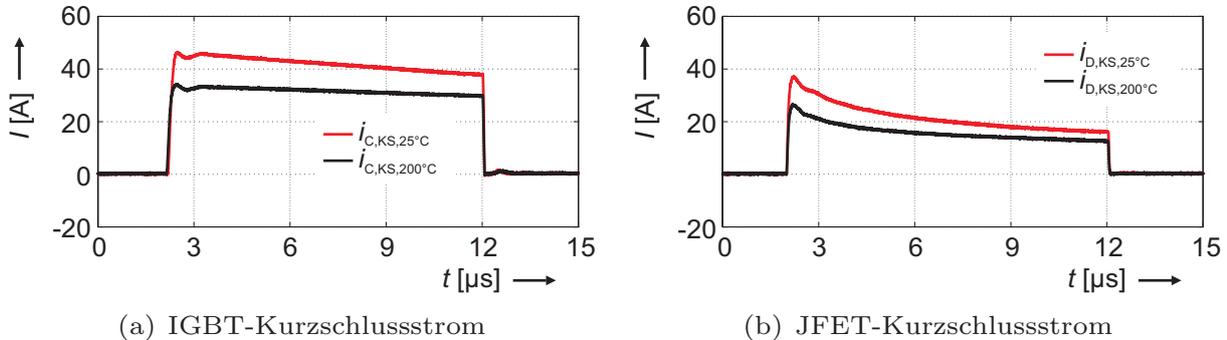


Abbildung 4.25: Aufgenommene Stromverläufe bei einem $10\ \mu\text{s}$ -Kurzschluss

Leistungshalbleiterschalter sollten im Fehlerfall für den Zeitraum der Erkennung kurzschlussfest sein, weshalb moderne Leistungshalbleiter in der Regel eine Kurzschlussfestigkeit von $10\ \mu\text{s}$ aufweisen. Auch wenn sich gegenüber den bipolaren IGBT bei den neuen SiC-Leistungshalbleitern aufgrund der Unipolarität andere Kurzschlussstromamplituden einstellen, soll die Kurzschlussfestigkeit für $10\ \mu\text{s}$ weiterhin gewährleistet sein. Die Abb. 4.25 a) und b) zeigen die Kurzschlussströme für $10\ \mu\text{s}$ von JFET und IGBT bei 25°C und 200°C . Da keine Schädigung an den Mustern festgestellt werden konnte, ist die Kurzschlussfestigkeit zumindest exemplarisch nachgewiesen. In [Frie2] konnte gezeigt werden, dass die Kurzschlussfestigkeit aufgrund des positiven Temperaturkoeffizienten und der Temperaturbeständigkeit des SiC-Grundmaterials sogar im ms-Bereich und somit deutlich über der des IGBT liegt.

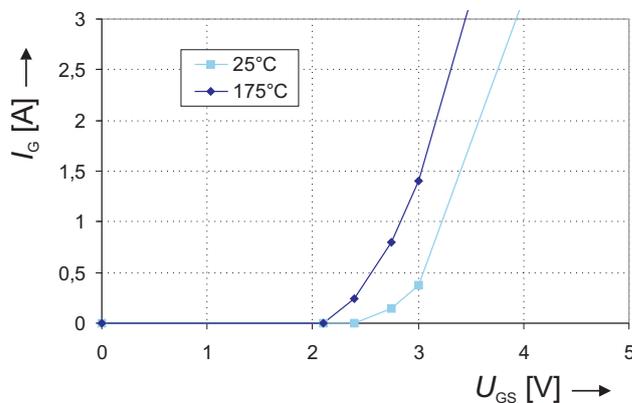
4.4 Untersuchungen zum selbstsperrenden SiC-VC-VJFET

Aufgrund des normally-off-Verhaltens ist der SiC-Sperrschichttransistor mit vertikalem Kanal (SiC-VC-VJFET) ebenfalls eine aussichtsreiche Struktur, die effiziente und in Bezug auf Sicherheitsaspekte kompatible Leistungshalbleiter verspricht. Die untersuchten VC-VJFET-Muster sind im Vergleich zu den VJFET mit lateralem Kanal jünger und weisen bereits günstigere Durchlasseigenschaften auf. Da sich sowohl das Package als auch die hierbei extern beschaltete SiC-Schottky-Diode im Vergleich zum IGBT- und zum LC-VJFET-Modul un-

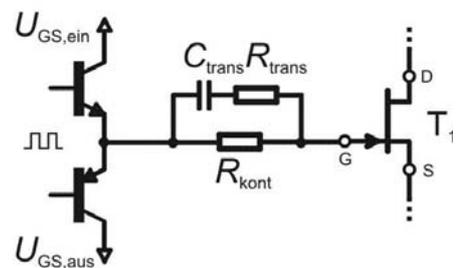
terscheiden und außerdem nur die Größenordnung der aktiven Chip-Fläche bekannt ist, werden auch nur grundlegende Untersuchungen ohne Bezug auf die aktive Chip-Fläche durchgeführt, deren Ergebnisse dennoch exemplarisch mit den vorgestellten Schaltern verglichen werden können (vgl. auch [Semi5, Lepp]).

4.4.1 Treiberstufenanforderungen

Obwohl die VC-VJFET-Struktur ein normally-off-Verhalten aufweist, können die Schalter nicht ohne Treiberstufenanpassungen substituiert bzw. müssen die Treiberstufen an die anderen Gate-Eigenschaften angepasst werden. Der Grund hierfür ist eine relativ niedrige Einschalt-Gate-Spannung und ein kritisch hoher Strom bei höheren Gate-Spannungen. Ein angemessener stationärer Einschaltspannungslevel zur Vermeidung von hohen Gate-Verlusten liegt bei etwa 3 V. Abb. 4.26 a) zeigt hierzu i_G über u_{GS} . In Hinblick auf einen geringen R_{on} ist eine Erhöhung der Einschalt-Gate-Spannungslevel nur begrenzt unter Inkaufnahme eines sehr hohen Gate-Stromes möglich.



(a) Eingangskennlinie



(b) Endstufenvariante

Abbildung 4.26: SiC-VC-VJFET-Gate-Charakteristik und -Treiberstufe

Die Schaltgeschwindigkeit des Schalters wird durch die Umladezeit der Gate-Kapazität bestimmt. Für das Erreichen von kurzen Schaltzeiten muss ein entsprechend hoher Gate-Strom bereitgestellt werden. Da die Amplitude der treibenden Gate-Spannung stationär klein ist, muss hierfür ggfs. die Treiberstufe für den Zeitraum des Umladens eine höhere Gate-Spannung anlegen. Alternativ kann ein höherer Strom auch durch einen für den Schaltzeitraum reduzierten

Gate-Widerstand R_{trans} entsprechend der Schaltung in Abb. 4.26 b) realisiert werden.

Der Treiberstufe des VC-VJFET kommt somit eine besondere Bedeutung zu, da erstens zum Erreichen einer hohen Schaltgeschwindigkeit ein hoher Gate-Strom kurzzeitig bereitgestellt werden muss, und zweitens ein Kompromiss aus den stationären Gate-Verlusten und dem Durchlasswiderstand gefunden werden muss. Der relativ geringe Einschaltspannungspegel in Kombination mit den hohen transienten Umladeströmen führt weiter zu einer empfindlichen Transfercharakteristik, die sich als Schwingungsanteil beim Schaltvorgang zeigt. Vom Hersteller werden gestufte und ungestufte Treiberendstufenvarianten [Semi3] vorgeschlagen, die vor diesem Hintergrund mit zusätzlichen Filterkondensatoren (RC -Bus-Snubber) und einem Ferritkern in der Gate-Zuleitung ausgestattet werden. Für den vorliegenden Fall sind aufgrund der angestrebten Spannungssteilheiten im Bereich von $10 \text{ kV}/\mu\text{s}$ die Treiberstufenanforderungen moderat. Zudem wird eine Endstufe ohne gestufte Gate-Spannung mit einfacher RCR -Beschaltung nach Abb. 4.26 b) sowie ohne zusätzliche Filtermaßnahmen eingesetzt. Hierbei bestimmt R_{kont} den stationären maximal erlaubten Strom und somit den Einschaltspannungslevel und R_{trans} die Schaltgeschwindigkeit des Schalters. Die sich aus C_{trans} und R_{trans} ergebende Zeitkonstante muss den Gate-Umladevorgang gewährleisten, bis R_{kont} den Gate-Strom auf den stationären Wert begrenzt.

4.4.2 Statische Eigenschaften

Die Ergebnisse der Untersuchungen zu den statischen Eigenschaften sind aufgrund der nicht genau bekannten Chip-Fläche exemplarisch einzuordnen.

Durchlassverhalten

Die Durchlassspannung U_{DS} des VC-VJFET als Funktion des Stromes I_{D} zeigt Abb. 4.27 a). Bei Berücksichtigung der Größenordnung von der aktiven Chip-Fläche (vgl. Tab. 4.1) ist U_{DS} im Vergleich zu den Werten des SiC-LC-VJFET und auch des Si-IGBT (Abb. 4.13) verhältnismäßig gering. Die hohe Temperaturabhängigkeit unipolarer Halbleiter bleibt weiterhin bestehen.

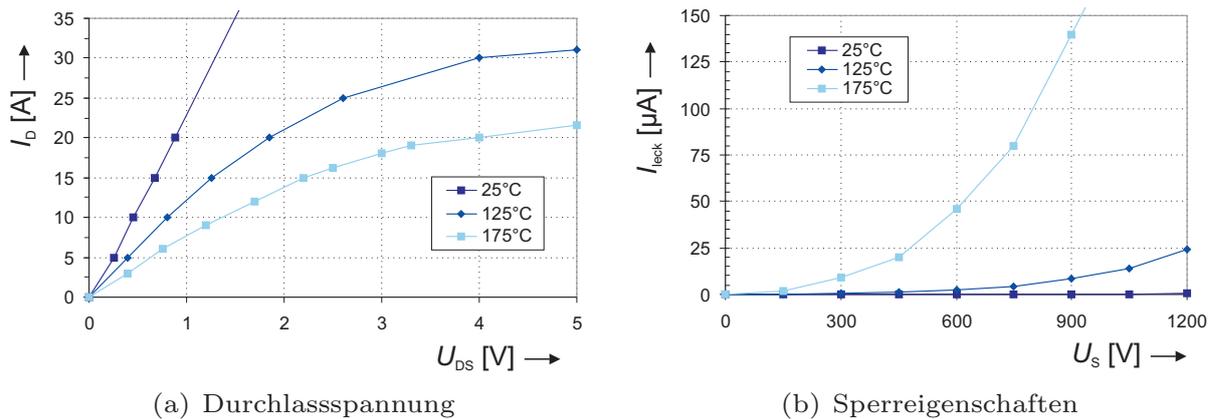


Abbildung 4.27: Statische Eigenschaften des SiC-LC-VJFET

Sperrverhalten

Abb. 4.27 b) zeigt die Sperrströme I_{Leck} über der Sperrspannung U_S für verschiedene Temperaturen bei einer Gate-Spannung von -15 V . Im Vergleich zu dem LC-VJFET liegen die Werte in der gleichen Größenordnung, wobei die kleinen Ströme die erkennbare Temperaturabhängigkeit relativieren. Im Datenblatt ist der maximale Sperrstrom für 1200 V , einer Gate-Spannung von 0 V bei 25°C mit $1200\ \mu\text{A}$ angegeben. Die Untersuchungen zeigten, dass im Falle eines Treiberausfalles bzw. eines hochohmigen Gates dieser Wert kritisch ansteigt. In den Versuchen war bei unbeschaltetem Gate bereits bei einer Zwischenkreisspannung von 16 V ein Sperrstrom von 130 mA messbar. In diesem Zustand führte eine Zwischenkreisspannung von 600 V zur sofortigen Zerstörung des Schalters. Somit bleibt anzumerken, dass der VC-VJFET trotz des normally-off-Verhaltens z. B. bei einem Ausfall der Treiberstufenversorgung zu einem ähnlichen Kurzschluss führen würde, wie eine normally-on Struktur.

4.4.3 Dynamische Eigenschaften

Die dynamischen Eigenschaften hängen in besonderem Maße von der Realisierung der Treiberstufe ab, die auch durch zusätzliche Filtermaßnahmen [Semi3] zur Reduzierung von Oszillationen beeinflusst werden. Bei den durchgeführten Messungen wurde die in Abb. 4.26 b) dargestellte Variante verwendet und auf zusätzliche Filtermaßnahmen verzichtet, um das unbeeinflusste Schaltverhalten des JFET aufzuzeigen ohne eventuelle Verlustanteile in den Filterelementen.

Schaltverhalten

Typische Verläufe von Spannung u_{DS} , Strom i_D und Schaltleistung P sowie Schaltenergie E des Ein- und Ausschaltens vom VC-VJFET zeigen die Abb. 4.28 a) und b). Die Zwischenkreisspannung U_{ZK} beträgt hierbei 600 V, der Laststrom I_L 10 A und die Junction-Temperatur ϑ_j 25°C, wobei für die Untersuchungen die korrespondierende SiC-Schottky-Diode vom Typ SDP30S120 ohne parallelen Schalter verwendet wurde. Die Oszillationen in der Gate-Spannung weisen auf das sensible Gate-Verhalten hin. Das maximale du/dt für das Ein- und Ausschalten beträgt etwa 18 kV/ μ s bzw. etwa 10 kV/ μ s und führt bei der verwendeten Treiberbeschaltung zu einem di/dt von etwa 1000 A/ μ s. Somit ist das di/dt deutlich über dem des SiC-LC-VJFET und Si-IGBT (vgl. Abb. 4.17), woraus geringere Schaltverluste und ein erhöhter Störpegel resultieren. Der relativ hohe Stromüberschwinger ist auf die verwendete diskrete 30 A-Diode zurückzuführen.

Innerhalb des Gate-Spannungsverlaufes ist neben den Oszillationen zu sehen, dass die Umladung der Gate-Kapazität weit über den eigentlichen Schaltvorgang hinaus geht. Die entstehende Gate-Verzögerungs-Zeit begründet sich in einer relativ großen Gate-Drain-Kapazität.

Die sich bei den unterschiedlichen transienten Gate-Widerständen ergebenden Ein- und Ausschaltenergien zeigt Abb. 4.29 a). Allerdings nehmen neben dem R_G auch die Eigenschaften der Endstufentransistoren Einfluss auf den Gate-Strom und somit auf das sensible Schaltverhalten des VC-VJFET. Daher kann trotz gleicher Gate-Widerstände bei verschiedenen Treiberstufenvarianten die Schaltgeschwindigkeit variieren und ist die Größe des Gate-Widerstandes zur Identifikation des Betriebspunktes nicht zwangsläufig eindeutig. Die resultierende Schaltgeschwindigkeit über dem transienten Gate-Widerstand ist in Abb. 4.29 b) dargestellt, so dass eine Betriebspunktzuordnung möglich ist. Hierbei ist erkennbar, dass sich die maximale Ein- und Ausschaltgeschwindigkeit stark unterscheiden. Dies könnte durch die komplementären Endstufentransistoren (n- und p-Kanal-MOSFETs) der Treiberstufe verursacht werden.

Wie Abb. 4.29 a) zeigt, bleiben die Schaltverluste über ϑ_j nahezu konstant.

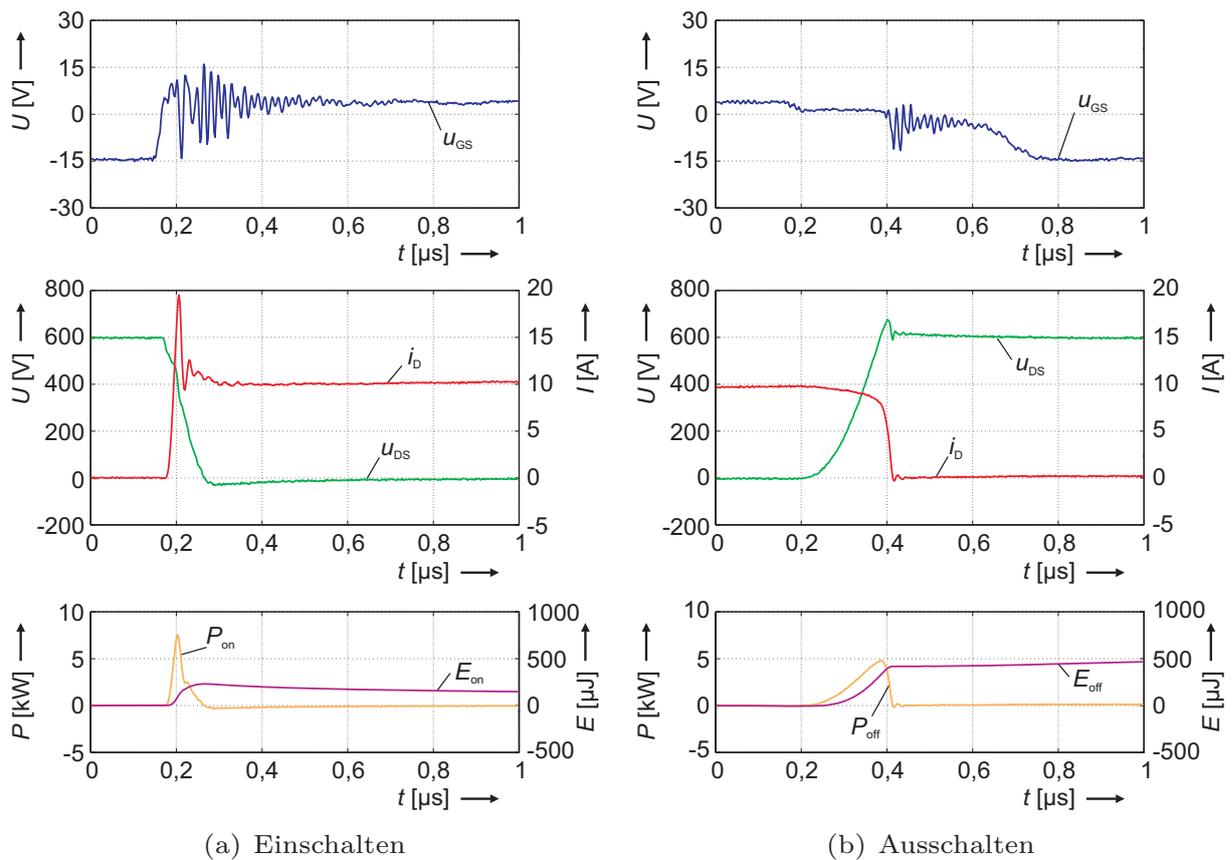


Abbildung 4.28: Ein- und Ausschaltverläufe des VC-VJFET ($R_G = 33 \Omega$)

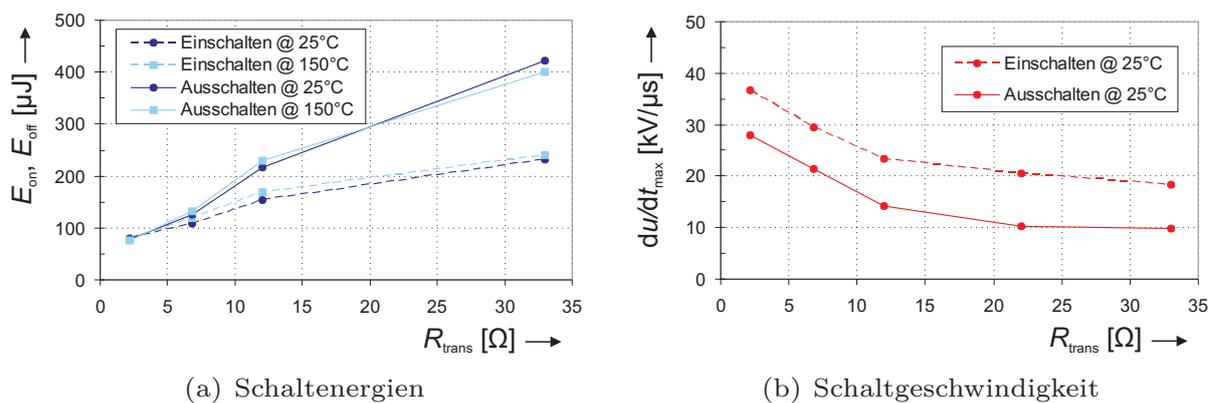


Abbildung 4.29: Schaltenergien und -geschwindigkeit des SiC-VC-VJFET

Aufgrund der starken Abhängigkeit zwischen i_G und u_{DS} sowie deren Einfluss auf das Schaltverhalten muss allerdings die Treiberstufe ein thermisch stabiles Verhalten aufweisen. In Hinblick auf einen Einsatz im erhöhten Temperaturbe-

reich ist ein indirekter Einfluss auf das Schaltverhalten durch Veränderung der Endstufenschaltcharakteristik absehbar.

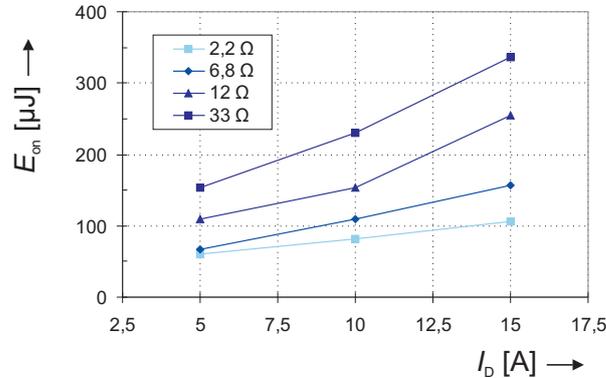


Abbildung 4.30: Schaltenergien über Drain-Strom

Abb. 4.30 zeigt als Beispiel zur Linearitätsbedingung einen Ausschnitt des zulässigen Strombereiches vom VC-VJFET und die entsprechend auftretenden Schaltenergien. Die zur Umrechnung auf eine andere Chip-Flächengröße angenäherte lineare Abhängigkeit der Schaltenergien vom Strom ist beim selbstsperrenden JFET näherungsweise gegeben. Die etwas überproportional größeren Schaltenergien bei höheren Strömen begründen sich in der relativ geringen Kanalweite der Struktur.

Weitere Eigenschaften

Bei voll bestückten Halbbrücken kann es, wie beim selbstleitenden LC-VJFET auch, beim selbstsperrenden VC-VJFET zur Störbeeinflussung zwischen dem Ober- und dem Unterschalter und somit zu erhöhten Schaltverlusten kommen. Beim selbstsperrenden JFET bietet zwar der Ausschalt-Gate-Spannungspegel von -15 V einen größeren Störabstand, jedoch zeigte sich in den Untersuchungen eine hohe Empfindlichkeit für derartige Störbeeinflussungen. Anschaulich wird dies an Abb. 4.31, in der die beeinflusste Gate-Spannung $u_{GS,T1}$ des sperrenden Schalters T_1 mit u_{DS} und i_D des schaltenden Schalters T_2 dargestellt ist (Vgl. Abb. 4.22).

Auch wenn der resultierende, dem ungewollten Einschalten zuzuordnende Anteil des Stromüberschwingers noch relativ gering ausfällt, sind die Störungen in $u_{GS,T1}$ erheblich. Zur Reduzierung dieser Störungen und Rückwirkungen wird

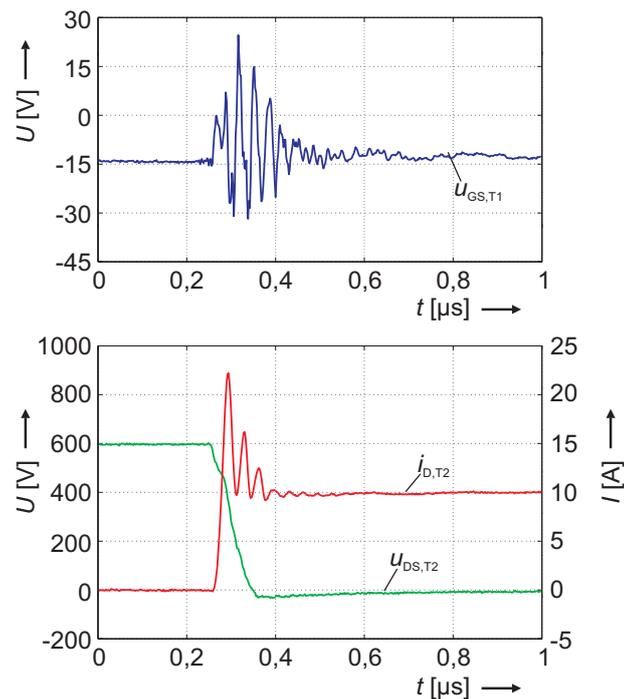


Abbildung 4.31: Ungewolltes Einschalten beim VC-VJFET

vom Hersteller ein zusätzlicher 10 nF-Kondensator zwischen Gate und Source vorgeschlagen [Kell], der allerdings, wie am LC-VJFET erläutert, die Schaltgeschwindigkeit und den -verlauf erheblich beeinflusst. Alternativ können nach [Semi1] zur Reduzierung des ungewollten Einschaltens die genannten Filtermaßnahmen oder ein niederohmigerer Gate-Widerstand für das Ausschalten eingesetzt werden.

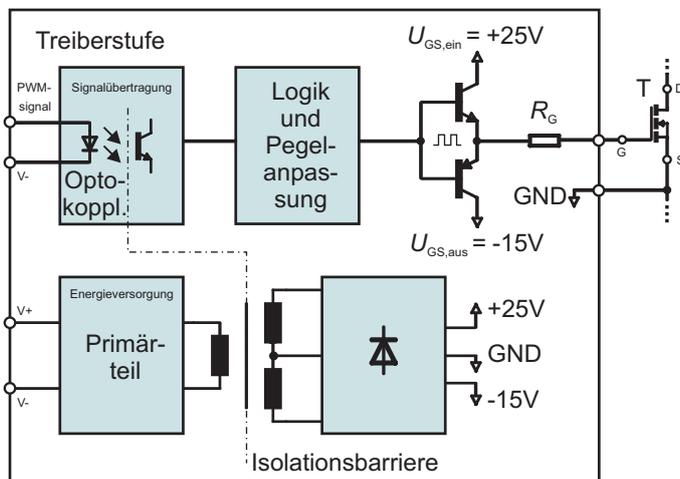
4.5 Untersuchungen zum SiC-MOSFET

Die MOSFET-Struktur ist die ideale Struktur für SiC-Bauelemente, die konventionelle Si-Leistungshalbleiterschalter substituieren sollen. Das isolierte Gate des SiC-MOSFET kann, wie bei den Si-Pendents, so ausgelegt werden, dass konventionelle Treiberstufen mit einer Steuerspannung von ± 15 V verwendet werden können. Einer Markteinführung entgegen stehen derzeit die technologischen Probleme und die damit einhergehenden Zuverlässigkeitseinschränkungen dieser jungen Technologie. Für die Untersuchungen wurden von der Firma SiCED SiC-MOSFET-Prototypen zur Verfügung gestellt, die aufgrund des Entwicklungssta-

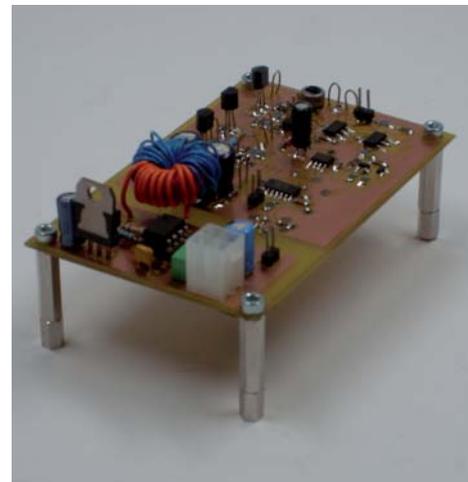
diums keinen Anspruch auf Marktreife erfüllen. Der Fokus der Untersuchungen zielt auf das prinzipielle Verhalten der aufgebauten Struktur ab (vgl. [Krus1]) und auf die im Vergleich zu den anderen SiC-Halbleiterschaltern auftretenden Verluste.

4.5.1 Treiberstufenanforderungen

Die Ansteuerung des SiC-MOSFET erfolgt, wie bei Si-MOS-Strukturen, durch das Umladen der aus dem isolierten Gate resultierenden Kapazitäten. Somit fließt in den stationären Zuständen ein zu vernachlässigender Gate-Strom (unter 10 nA bei $U_{GS} = 20\text{ V}$ [SiCE1]). Wird eine negative Gate-Source-Spannung angelegt, baut sich eine Raumladungszone auf und der Kanal sperrt. Bei Anlegen einer positiven Spannung bildet sich ein leitfähiger Kanal, so dass das Bauelement Strom führen kann. Um den leitenden bzw. sperrenden Zustand einzuleiten, müssen die Gate-Source- (C_{GS}) und die Gate-Drain-Kapazität (C_{GD}) umgeladen werden. Bei konventionellen Bauelementen arbeiten die Treiberstufen zum Umladen der Eingangskapazitäten mit bis zu -15 V bzw. 15 V , was auch bei SiC-MOSFET angestrebt wird.



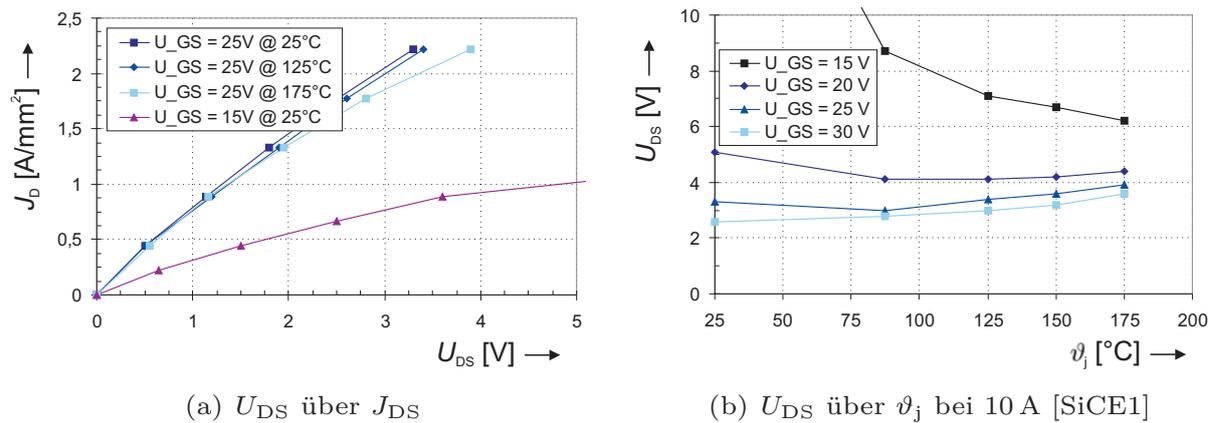
(a) Treiberausgangsgrößen



(b) Foto der Versuchstreiberstufe

Abbildung 4.32: SiC-MOSFET-Treiberstufe

Die Leitfähigkeit wird direkt durch die angelegte Gate-Spannung beeinflusst, wobei höhere Gate-Spannungen die Durchlassspannungen begünstigen. Für die Untersuchungen wurde eine Treiberstufe mit einstellbarer positiver und negati-

Abbildung 4.33: J_{DS} und U_{DS} des untersuchten SiC-MOSFETs

ver Steuerspannung realisiert. Allerdings ist die MOS-Schicht nur begrenzt spannungsfest und die maximal zulässige Gate-Spannung liegt im Falle der vorliegenden Muster laut Hersteller bei +30 V. Weiter kann eine zu hohe Gate-Spannung negative Auswirkungen auf die Zuverlässigkeit und Lebensdauer des Schalters haben, die derzeit nahezu unbekannt sind.

4.5.2 Statische Eigenschaften

Im Folgenden werden die statischen Eigenschaften des SiC-MOSFET-Prototypen vorgestellt. Aufgrund der noch in der Entwicklungsphase befindlichen Bauelemente ist die Struktur noch nicht auf typische Gate-Spannungen und auf einen geringen Durchlasswiderstand hin optimiert. Die folgenden Ergebnisse liefern daher einen exemplarischen Zwischenstand der SiC-MOSFET-Entwicklungen. Nach Herstellerangaben soll in der nächsten Generation das Strukturdesign weiter auf eine Einschalt-Gate-Spannung von +15 V hin optimiert werden.

Durchlassverhalten

Die relativ ungünstige Leitfähigkeit der Prototypen wird in Abb. 4.33 ersichtlich. Die Kurven zeigen U_{DS} bei einer U_{GS} von 15 V, 20 V und 25 V, woraus ableitbar ist, dass die Durchlassspannungen U_{DS} des Musters bei einer typischen Gate-Spannung von 15 V für typische Stromdichten (z. B. $1,5 \text{ A/mm}^2$) zu sehr hohen U_{DS} und somit unakzeptablen Verlusten führen würden. Um die Leitfähigkeit

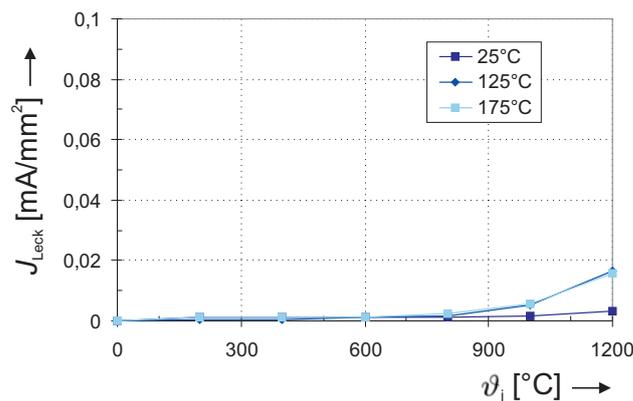


Abbildung 4.34: Sperrverhalten des SiC-MOSFETs

zu erhöhen wurde daher die Gate-Spannung zu 25 V gewählt, wobei anzumerken ist, dass der gewählte Spannungslevel zwar zulässig ist, aber Aussagen zu den Auswirkungen auf Zuverlässigkeit und Lebensdauer nicht bekannt sind.

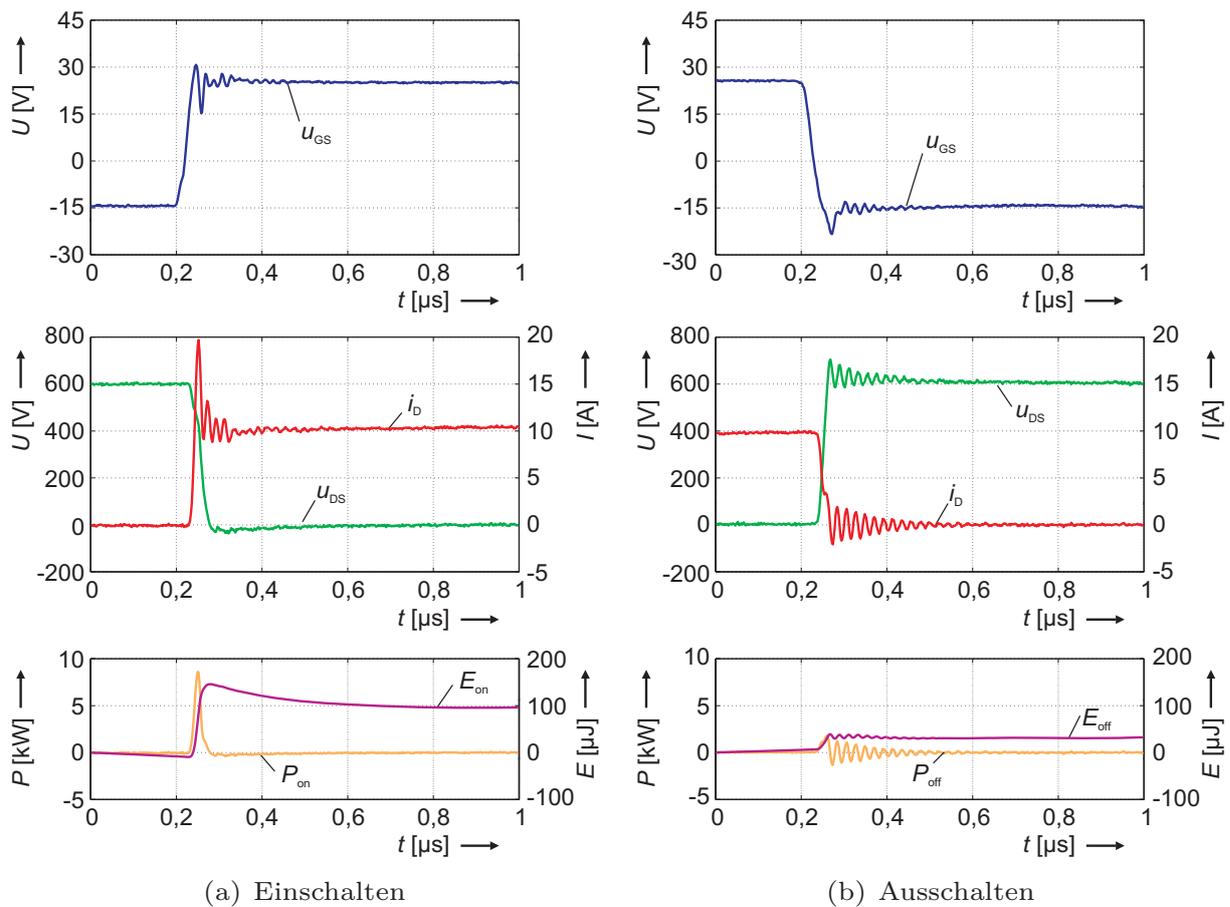
Die Kurven in Abb. 4.33 b) zeigen U_{DS} über der Sperrschichttemperatur ϑ_j . Hier ist erkennbar, dass bei U_{GS} über 15 V der Einfluss der Chip-Temperatur auf die Durchlassspannung kleiner wird.

Sperrverhalten

Der Sperrstrom I_{Leck} beträgt nach [SiCE1] bei einer Gate-Source-Spannung von 0 V und einer zu sperrenden Drain-Source-Spannung von 1200 V weniger als $100 \mu\text{A}$. Die Abb. 4.34 zeigt die Sperrstromdichte J_{Leck} , deren niedrige Werte nur bei Temperaturen von mehr als 150°C und bei Sperrspannungen über 900 V leicht zunehmen.

4.5.3 Dynamische Eigenschaften

Die Wahl der Gate-Spannungspegel beeinflusst nicht nur die Durchlassverluste, sondern auch die Schalteigenschaften. Auch wenn das Hauptaugenmerk bei der Wahl des Einschaltlevels auf der Reduzierung der Durchlassverluste liegt, wurde ein Kompromiss zwischen geringen Durchlassspannungen und geringen Rückwirkungen beim Schalten angestrebt. Der Ausschalt-Gate-Spannungslevel definiert den Störabstand, so dass es bei einem zu geringen Gate-Spannungsniveau zum ungewollten Einschalten kommen kann. Beide Einflüsse wurden in den nachfolgend beschriebenen Untersuchungen mit berücksichtigt.

Abbildung 4.35: Typische Schaltverläufe des SiC-MOSFET ($R_G = 10 \Omega$)

Schaltverhalten

Die Abb. 4.35 a) und b) zeigen Spannungs- (u_{DS}) und Stromverläufe (i_D) sowie die Schaltverluste (P) und -energien (E) eines Ein- und Ausschaltvorgangs des SiC-MOSFET-Musters bei einer Zwischenkreisspannung von 600 V und einem Laststrom von 10 A. Die Gate-Spannung u_{GS} vom schaltenden MOSFET (T_2) beträgt +25 V als Einschalt- und -15 V als Sperrspannungslevel, wobei der Gate-Widerstand zu 10Ω gewählt wurde. Der korrespondierende Halbbrückenschalter (T_1) ist bestückt und mit $U_{GS,T1} = -15 \text{ V}$ gesperrt. Wie schon zuvor bei den beiden JFET-Varianten tritt auch hier ein aus den erwähnten Anteilen bestehender Stromüberschwinger beim Einschaltvorgang auf. Allerdings ist hierbei, wie später gezeigt wird, der Anteil durch ein ungewolltes Einschalten des sperren-

den Schalters zu vernachlässigen. Maßgeblichen Einfluss besitzt stattdessen die genutzte Struktur der internen MOSFET-Inversdiode, die im Gegensatz zu den SiC-Schottky-Dioden einen Rückwärtserholstrom verursacht.

Auch beim MOSFET kann die Schaltgeschwindigkeit und somit die resultierenden Schaltverluste über den Gate-Widerstand zumindest in gewissen Grenzen beeinflusst werden. Die Verläufe von Spannung und Strom bei vergrößertem Gate-Widerstand ($150\ \Omega$) zeigen Abb. 4.36 a) und b), wobei sich die Schaltenergien entsprechend erhöhen aber auch die Oszillationen abnehmen. Bei größeren Gate-Widerständen wird der Einfluss des resultierenden Gate-Stromes auf die maximale Flankensteilheit deutlich verringert. Weiter entsteht sowohl beim Ein- als auch beim Ausschalten eine erhebliche Verzögerung zwischen u_{GS} und den Verläufen von u_{DS} sowie i_D (vgl. Abb. 4.36). Zusätzlich verändert sich der Verlauf der Stromflanke, was allerdings kaum Einfluss auf die Schaltverluste hat, letztlich aber den Betrieb für niedrige Spannungssteilheiten eingrenzt.

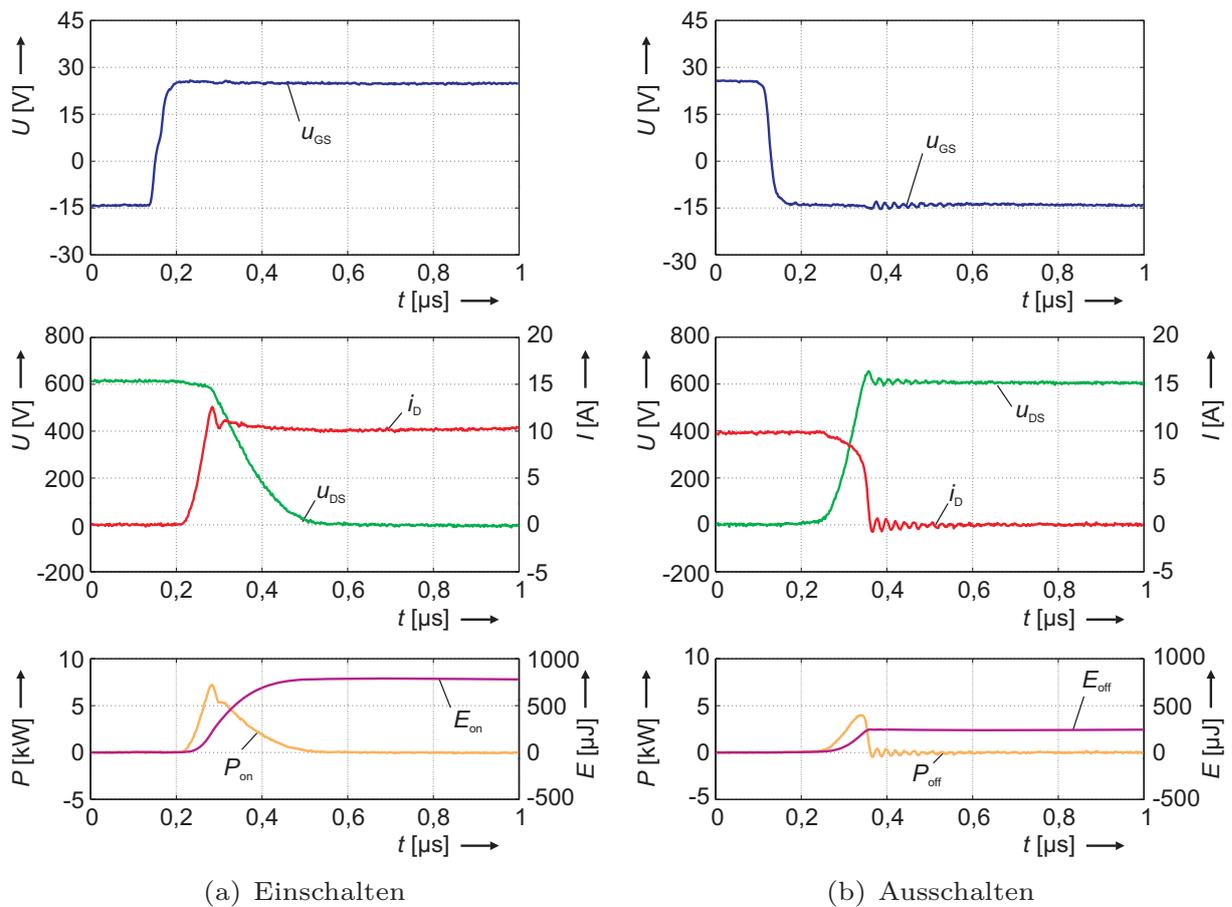
Die Ein- und Ausschaltenergien als Funktion der Gate-Widerstände für 600 V und 10 A zeigt Abb. 4.37 a). Durch den Stromüberschwinger beim Einschalten liegen die Ein- deutlich über den Ausschaltverlustenergien. Das du/dt für verschiedene Gate-Widerstände ist in Abb. 4.37 b) dargestellt. Erkennbar ist ein mit dem Gate-Widerstand zunehmender Unterschied zwischen den Flankensteilheiten vom Ein- und Ausschalten mit der Folge deutlich zunehmender Einschaltverluste.

Der Einfluss der Temperatur auf die Schaltverluste wurde aufgrund des sehr hoch gewählten Einschalt-Gate-Spannungspegels und des derzeitigen Entwicklungsstadiums nicht untersucht.

Weitere Eigenschaften

Das bereits beim JFET erläuterte ungewollte Einschalten des in der Halbbrücke korrespondierenden sperrenden Schalters kann auch beim SiC-MOSFET zu deutlich erhöhten Einschaltverlusten führen.

Die Abb. 4.38 a) und b) zeigen die Spannungs- und Stromverläufe beim Einschalten des SiC-MOSFETs unter Verwendung unterschiedlicher Ausschalt-Gate-Spannungslevel in einer voll bestückten Halbbrücke. Hierbei ist erkennbar, dass bei einer zu niedrigen Gate-Spannung des sperrenden Schalters Störungen zu ei-

Abbildung 4.36: Typische Verläufe des schaltenden SiC-MOSFET ($R_G = 150 \Omega$)

dem ungewollten Einschalten und somit zu hohen Einschaltstromüberschwingern führen können. Der Überschwinger entsteht ebenfalls in Folge des Potentialsprunges am Mittelpunkt, durch den auch die Drain-Gate-Kapazität umgeladen werden muss. Der hierfür benötigte Strom muss von der Treiberstufe bereitgestellt werden, erhöht das Gate-Source-Potenzial und führt somit zum hochohmigen Einschalten. Dies begründet die Festlegung des Ausschalt-Gate-Spannungslevels auf -15 V, wodurch der Störabstand vergrößert und das ungewollte Einschalten weitestgehend unterbunden wird. Der weiterhin vorhandene Stromüberschwinger wird auf den als Freilaufdiode genutzten SiC-pn-Übergang zurückgeführt. Der Einsatz einer diskreten Modul externen SiC-Schottky-Diode ist möglich, bringt aber bedingt durch die Zuleitungsinduktivitäten deutlich höhere Oszillationen mit sich.

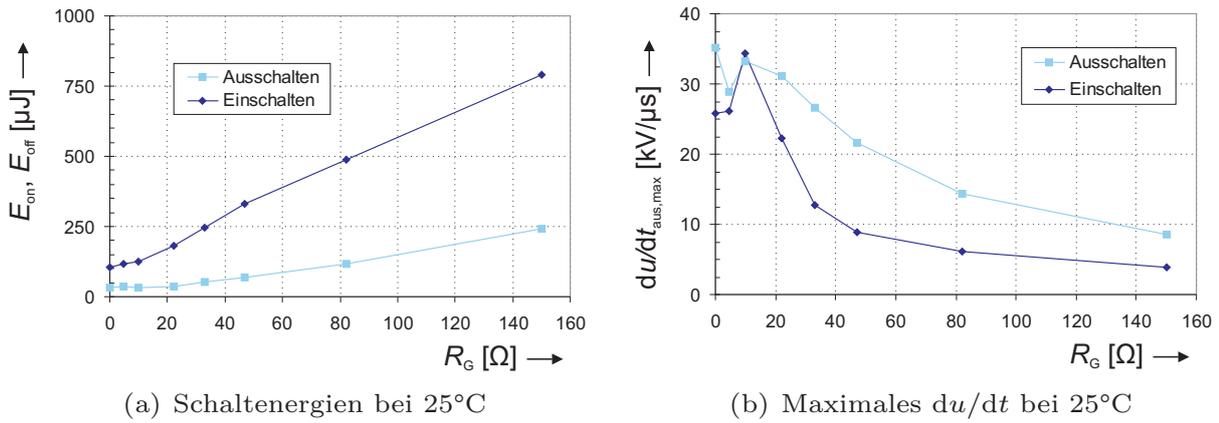


Abbildung 4.37: Schaltverhalten des MOSFET

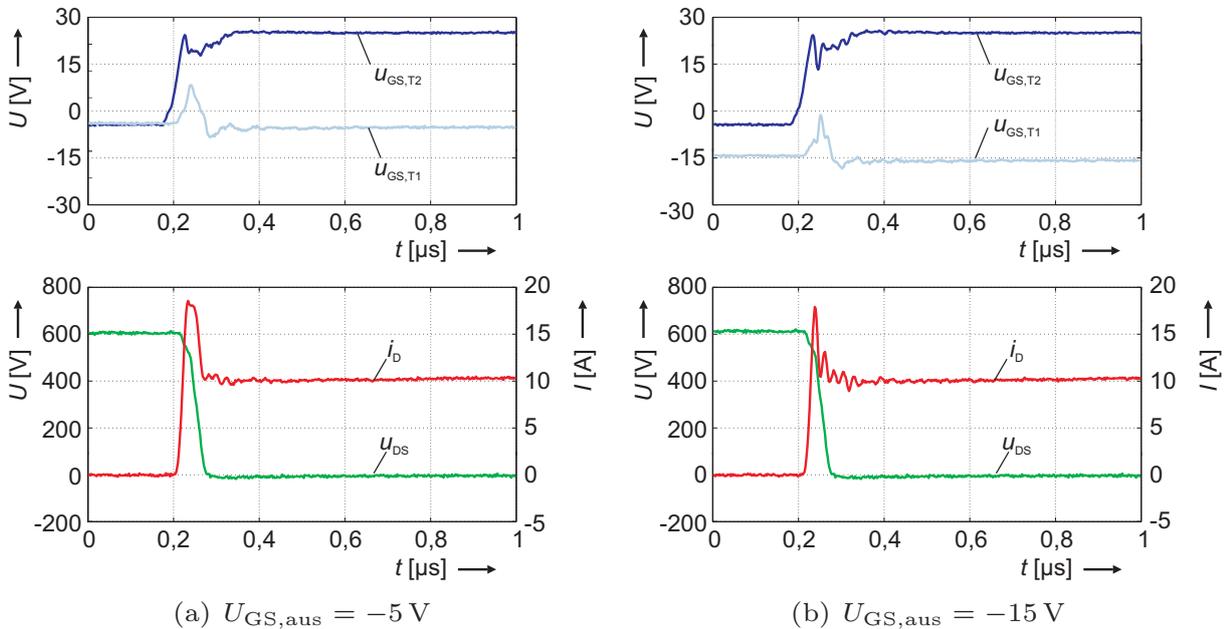
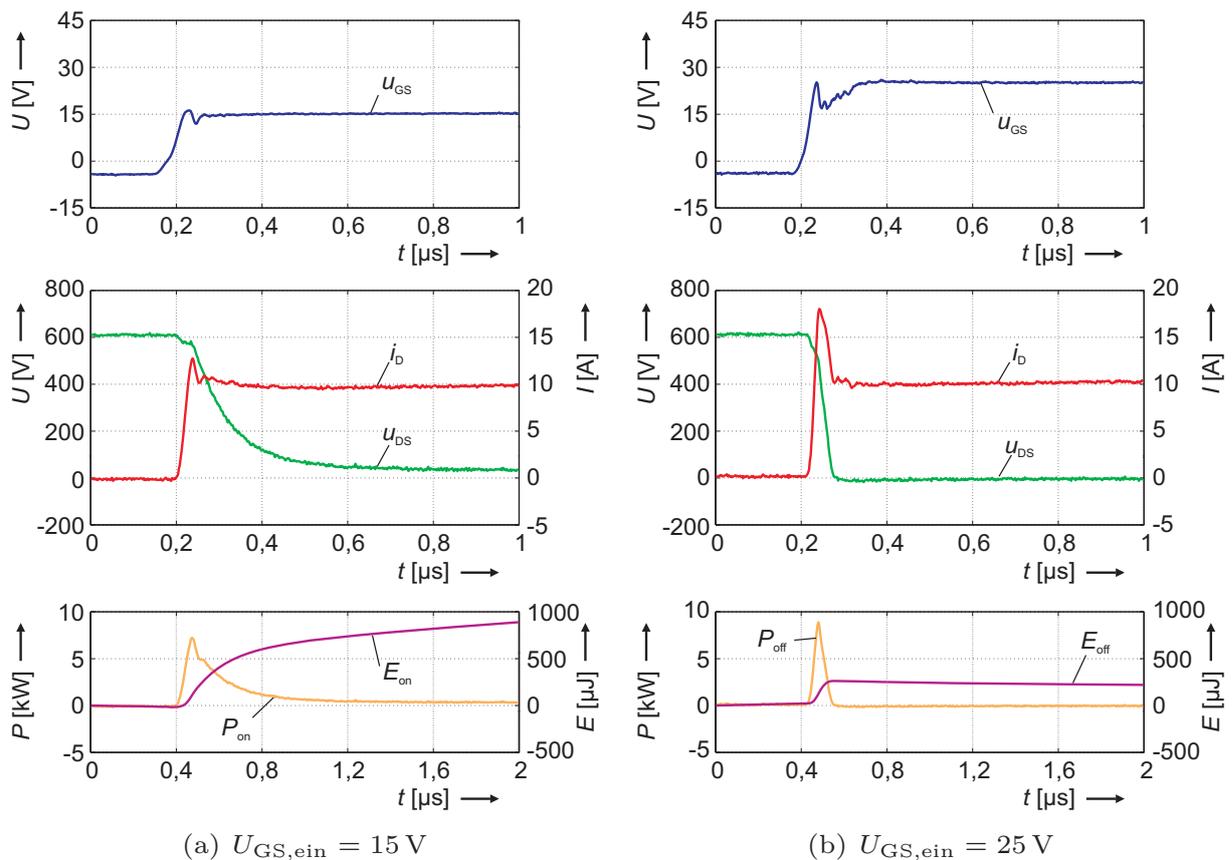


Abbildung 4.38: Unterschiedliche Ausschalt-Gate-Spannungspegel ($R_G = 10\ \Omega$)

Das zu 25 V gewählte Einschalt-Gate-Spannungsniveau führt, wie beschrieben, zu geringeren Durchlassverlusten und zu leichten Schwingungen beim Schalten. Der Einfluss auf die Schaltverluste soll anhand der in Abb. 4.39 a) und b) dargestellten Verläufe veranschaulicht werden. Die Messungen erfolgen in einer Halbbrücke mit gesperrtem Oberschalter ($U_{GS} = -5\text{ V}$) bei 600 V und 10 A. Durch Erhöhung der Einschalt-Gate-Spannung wird der Schaltvorgang aufgrund des schnelleren Umladens der Gate-Kapazität beschleunigt. Jedoch entsteht durch das höhere du/dt eine größere Störbeeinflussung, so dass auch ein größerer Stro-

Abbildung 4.39: Unterschiedliche Einschalt-Gate-Spannungspegel ($R_G = 10 \Omega$)

müberschwinger entsteht. Im Vergleich reduzieren sich allerdings die Schaltverluste aufgrund des kürzeren Schaltvorganges.

4.6 Diskussion der Ergebnisse

Die Entwicklung von Leistungshalbleitern auf Basis von SiC ist ein Ansatz, um die bei bisherigen Si-Leistungshalbleitern absehbaren Grenzen zu verschieben und zukünftig für Anwendungen mit erhöhten Anforderungen effizientere und robustere Bauelemente bereitzustellen. Welche der SiC-Leistungshalbleiterstrukturen sich durchsetzen wird, ist derzeit unabsehbar. Jedoch können aus den jeweiligen Strukturen vor- und nachteilige Bauelementeeigenschaften abgeleitet werden. Im Folgenden werden die Eigenschaften der Leistungshalbleiterschalter gegenübergestellt. Vorab erfolgt eine Zusammenfassung der Ergebnisse zu den SiC-Dioden und den struktur bedingten Schalter internen Inversdioden (Body-Dioden).

4.6.1 Beurteilung der SiC-Dioden

Der kommerzielle Erfolg der SiC-Schottky-Dioden ist maßgeblich auf deren günstiges dynamisches Verhalten zurückzuführen. In den Untersuchungen traten zwar bei den verschiedenen SiC-Schottky-Mustern zum Teil dynamische Rückwirkungen auf die untersuchten SiC-Schalter in Form von Oszillationen auf, dennoch war das dynamische Verhalten aufgrund des nicht vorhandenen Rückwärtserholstromes günstig. Jedoch erscheint eine individuelle Anpassung zwischen SiC-Schalter und -Diode sinnvoll. Die Durchlassspannungen der Si-EmCon-Dioden sind mit denen der SiC-Schottky-Dioden vergleichbar und in Hinblick auf höhere Einsatztemperaturen sogar geringer.

Bei Einsatz einer LC-VJFET- oder MOSFET-Struktur als Halbleiterschalter kann in einem Wechselrichter auch auf eine zusätzliche Freilaufdiode verzichtet werden, da Struktur bedingt eine Inversdiode vorhanden ist. Allerdings besitzt diese Diodenstruktur entgegen der Schottky-Struktur einen SiC-pn-Übergang, der materialspezifisch eine Diffusionsspannung von ca. 2,7 V besitzt und so zu einer deutlich höheren Durchlassspannung führt. Der Rückwärtserholstrom hingegen ist aufgrund der kleineren Raumladungszone in SiC günstiger als bei der Si-EmCon-Diode.

4.6.2 Beurteilung der SiC-Leistungshalbleiterschalter

Die vorgestellten Strukturen werden von verschiedenen Herstellern umgesetzt, allerdings hat sich derzeit noch keine Struktur als klarer Favorit herauskristallisiert, da keine Struktur in allen Aspekten vorteilig ist. Die derzeitig veröffentlichten Eigenschaften im statischen und dynamischen Verhalten sind jeweils nur Momentaufnahmen, die laufend in der Entwicklung durch Änderungen im Strukturdesign optimiert werden. Dieser Fortschritt ist z. B. bei der Durchlassspannung erkennbar, die bei der LC-VJFET-Struktur während des Zeitraums der Untersuchungen durch Kanaladjustierungen halbiert wurde. Das untersuchte VC-VJFET-Muster besitzt bereits verhältnismäßig niedrige Durchlassspannungen, ist allerdings im Vergleich zu den anderen Mustern die jüngste Generation, was den großen Unterschied teilweise relativiert. Für zukünftige Anwendungen wird eine Bauelementestruktur attraktiv sein, die kostengünstig, robust, kompatibel und prozesstechnisch einfach ist, wobei der Einsatz von SiC-Bauelementen

aufgrund der gegenüber Si höheren Kosten nur für Anwendungen mit erhöhten Anforderungen sinnvoll erscheint. Derzeit stellen sich die Eigenschaften der unipolaren untersuchten Strukturen wie folgt dar.

Der SiC-MOSFET ist die potenziell aussichtsreichste unipolare Struktur. Sie ist in Bezug auf die konventionellen Treiber kompatibel und kann somit direkt Si-MOS-Bauelemente in bestehenden Topologien und Systemen ersetzen. Derzeitige Hindernisse für eine kommerzielle Markteinführung sind im Bereich der Prozesstechnik begründet. Hier müssen für eine geringe Streuung der Schwellspannung und der Ladungsträgerkonzentration im Kanal sowie für eine zuverlässige Oxidschicht weitere Fortschritte erzielt werden. Ein zuverlässiger Einsatz bei höheren Temperaturen ist zwar prinzipiell möglich, aber aufgrund der fehlenden Stabilität des Oxids derzeit nicht realisierbar. Eine strukturbedingte Inversdiode ist vorhanden, aber wie beschrieben bei alleiniger Nutzung mit Effizienzeinbußen verbunden. Als mögliche Weiterentwicklung sind auch Superjunction-Strukturen denkbar [Yu].

Der vorgestellte LC-VJFET (SiCED) besitzt ein normally-on-Verhalten und benötigt eine Treiberstufe, deren Ansteuerpegel auf den Halbleiter angepasst ist. Für die Kompatibilität zu konventionellen Treiberstufen kann auch ein zusätzlicher Struktur interner SiC- oder ein diskreter externer Si-MOSFET mit geringer Sperrspannung verwendet werden. Hiermit wird das Bauelement selbstsperrend (Kaskode) und kann ebenfalls direkt Si-MOS-Bauelemente ersetzen. Eine selbstsperrende Struktur mit lateralem Kanal wurde aufgrund einer absehbaren erheblichen Effizienzmindernng nicht umgesetzt, wäre aber möglich. Der LC-VJFET besitzt ein günstiges und überschwingungsarmes Schaltverhalten und ermöglicht durch seine kleine Millerkapazität auch sehr schnelle Schaltvorgänge. Die Ansteuerschaltsschwellen sind gegenüber dem MOSFET nur gering Temperatur abhängig, was zusammen mit der robusten Struktur aussichtsreich auch für erhöhte Temperaturen erscheint. Prozesstechnisch ist diese Struktur laut Hersteller auch für hohe Sperrspannungen serienreif. Aufgrund des selbstleitenden Charakters muss der Fehlerfall über eine Schutzbeschaltung abgefangen werden.

Eine selbstsperrende JFET-Alternative ist der VC-VJFET (Fa. Semisouth). In dieser Struktur wird über die Dotierungen am Gate eine Raumladungszone erzeugt, die bereits bei 0 V abschnürt. Der resultierende flächenspezifische Widerstand ist sehr gering. Hierfür muss allerdings bei unterschiedlichen Sperr-

Tabelle 4.2: Überblick über die Eigenschaften von unipolaren SiC-Bauelementen

Eigenschaften	LC-VJFET	VC-VJFET	MOSFET
$R_{DS,on}$	+	++	+
$R_{DS,on}(\vartheta_j)$	+	-	+
Schaltverhalten	++	+	+
Kompatibilität	O	+	++
Robustheit	+	O	-
Zuverlässigkeit	+	+	-
Kurzschlussfähigkeit	++	++	+
Treiberleistung	+	-	++
Ansteuerverhalten	+	-	++
Herstellungskosten	+	O	O
Fehlerverhalten	-	O	++
Bodydiode	ja	nein	ja

spannungen die Auslegung des Kanals angepasst werden. Der Prozessablauf zur Herstellung dieser Struktur ist einfach, bedarf aber für entsprechende Ladungsträgerkonzentrationen eine hohe Prozessstabilität. Die Einschalt-Gate-Spannung beträgt ca. 2,5 V und führt bei Überschreiten zu hohen Gate-Strömen. Daher muss eine hohe Kanalladungsträgermenge zur Verfügung gestellt werden, was eine starke Temperaturabhängigkeit verursacht und eine Leitfähigkeitsempfindlichkeit bei kleinsten Änderungen in der Gate-Spannung zur Folge hat. Sollte im Fehlerfall das Gate hochohmig angeschlossen sein, ist der Schalter ebenfalls leitend, wodurch ggfs. zusätzliche Schutzmaßnahmen getroffen werden müssen. Struktur bedingt ist keine Bodydiode vorhanden.

Da im Bereich der abschaltbaren Leistungshalbleiter wenige Muster frei verfügbar sind und laufend Strukturoptimierungen stattfinden, ist nur ein tendenzieller Vergleich möglich. Einen Überblick über die Eigenschaften gibt Tab. 4.2, wobei neben den Untersuchungsergebnissen Angaben von [Treu, Koo, Chow, Schr, SiCE] berücksichtigt wurden.

Unabhängig von der Struktur bieten alle vorgestellten unipolaren SiC-Halbleiterschalter Effizienzvorteile gegenüber den unipolaren Si-Bauelementen. Der flächenspezifische Widerstand ist aufgrund der günstigeren Materialvoraussetzung für alle unipolaren Schalterlösungen deutlich günstiger. Im Gegensatz zu bipolaren Si-Bauelementen, wie dem IGBT, sind die Durchlassspannungen der

vorliegenden unipolaren SiC-Schalter temperaturabhängig und nur im Falle des selbstsperrenden JFET günstiger.

Gegenüber dem IGBT entfallen durch den Einsatz von SiC-Transistoren die für bipolare Halbleiter typischen Tail-Ströme, so dass die dynamischen Verluste erheblich reduziert werden können. Die Durchlassspannung ist für geringe Chip-Auslastungen bei unipolaren SiC-Halbleitern aufgrund des linearen Zusammenhanges niedrig. Bei bipolaren Leistungshalbleitern, wie dem IGBT, führt dagegen bei höheren Chip-Auslastungen die bipolarbedingte höhere Ladungsträgerkonzentration zu einem geringen differentiellen Widerstand, der trotz der Diffusionsspannung gegenüber dem selbstleitenden JFET der vorliegenden Generation zu geringeren Durchlassverlusten führt. In Hinblick auf den Untersuchungsfokus, dem Vergleich zwischen SiC-LC-VJFET und Si-IGBT, ist durch den Einsatz von SiC-LC-VJFET nur eine Effizienzsteigerung zu erwarten, wenn die Schaltfrequenz entsprechend hoch oder die Chip-Auslastung gering ist. Neuere SiC-Generationen versprechen laut Hersteller deutlich verbesserte Durchlass-eigenschaften.

Im Gegensatz zu den Si-Leistungshalbleitern besitzen die SiC-Transistoren zusätzlich kleinere Eingangs- und Rückwirkungskapazitäten, so dass die dynamischen Verluste beim Einsatz von SiC-Leistungshalbleitern vermindert werden können. Aufgrund der hohen Materialkosten sind die Chip-Flächen der SiC-Bauelemente klein, was nur geringe Stromtragfähigkeiten bei den derzeitigen verfügbaren Mustern zulässt. Für Anwendungen mit hohen Temperaturanforderungen sind durch SiC-Transistoren deutliche Vorteile zu erwarten, allerdings verursachen die verfügbaren kleinen Chip-Flächen dementsprechend höhere thermische Widerstände in der AVT.

Eine Abschätzung, ab welchen Schaltfrequenzen sich die SiC-Technologie effizienter erweist, zeigen die folgenden Verlustberechnungen.

5 SiC-JFET- und Si-IGBT-Wechselrichterverluste

Neue Halbleitermaterialien und die darauf basierenden Strukturen bringen teilweise ein anderes Eigenschaftsprofil der Leistungshalbleiterbauelemente mit sich, wodurch die derzeit etablierten Schaltungstopologien nicht zwangsläufig die vorteiligste Lösung bei Einsatz der neuen Bauelemente sind. So birgt z. B. die Selbstleitfähigkeit des SiC-LC-VJFET bei Einsatz im dominierenden Spannungszwischenkreisumrichter (U-Umrichter) ein Brückenkurzschlussrisiko für den Fehlerfall, welches durch zusätzliche Schutzmaßnahmen abgefangen werden sollte. Dieses Verhalten ist hingegen ideal für den Stromzwischenkreisumrichter (I-Umrichter), in dem der Kurzschluss den sicheren Zustand darstellt.

Aus diesem Grund erfolgt eine Zusammenfassung der wesentlichen charakteristischen Merkmale beider Topologien, aus denen sich die jeweils vorteiligen Eigenschaftsprofile für alternative Leistungshalbleiterstrukturen ableiten lassen. Weiter erfolgt ein Topologievergleich auf Basis konventioneller IGBTs, bei dem ersichtlich wird, dass der I-Wechselrichter als klassische Drehstrombrücke gegenüber dem U-Wechselrichter bei einer Verlustbilanz ungünstiger abschneidet.

Da für Systeme mit einem Fokus auf Energieeffizienz oder auch auf den erweiterten Temperaturbereich die Vermeidung von zusätzlichen Verlusten Priorität besitzt, erfolgt die anschließende Verlustabschätzung eines SiC-JFET- und Si-IGBT-Wechselrichters für die U-Topologie. Hierbei werden entsprechend der im vorigen Kapitel beschriebenen Vorgehensweise gleiche Chip-Auslastungen und -Größen angesetzt. Nach der Definition der hierfür benötigten Randbedingungen erfolgt die analytische Bestimmung der Verluste mit anschließendem Vergleich und einer Diskussion der Ergebnisse.

5.1 Wechselrichtertopologien

Die Umformung elektrischer Energie zur Erzeugung von Wechselspannungen und -strömen mit variabler Amplitude und Frequenz findet weitestgehend über Zwischenkreisfrequenzumrichter statt. Bei Betrieb am Wechselspannungsnetz be-

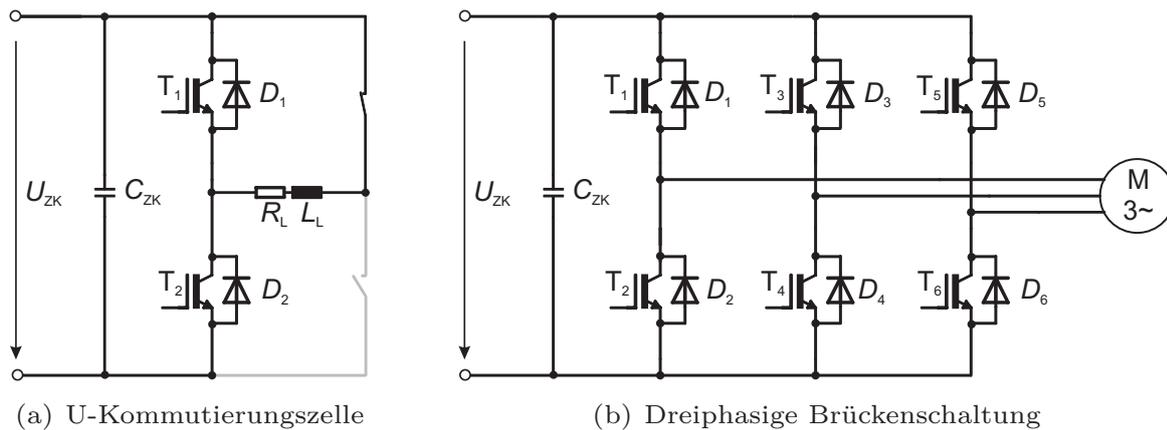
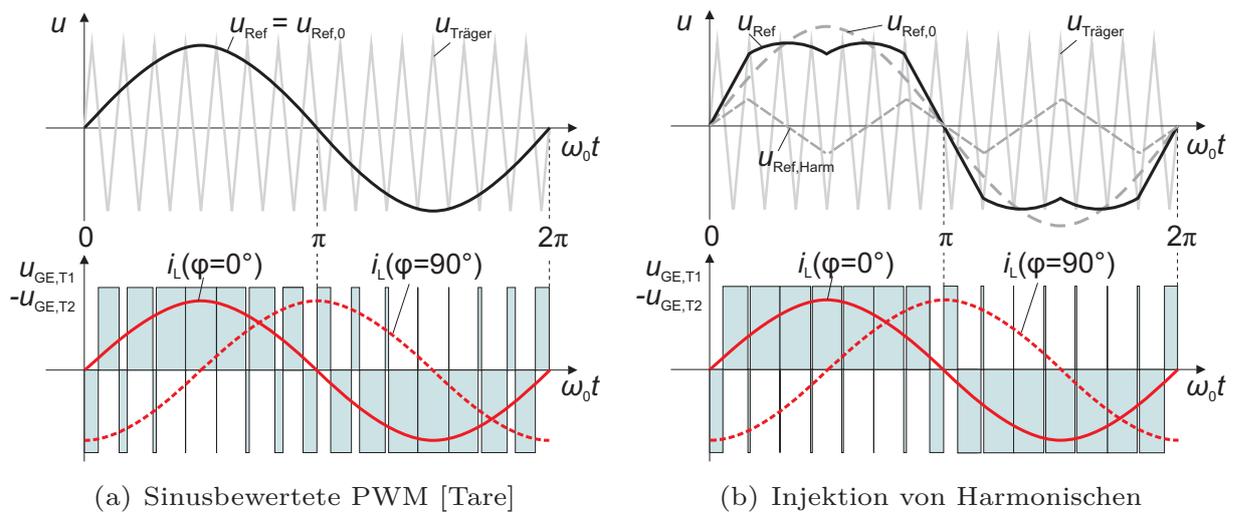


Abbildung 5.1: Spannungszwischenkreiswechselrichter

steht dieser aus einem Gleichrichter, einem Wechselrichter und einem Energiespeicher im Zwischenkreis. Ist der Energiespeicher kapazitiv wird die Zwischenkreisspannung geglättet, während bei einem induktiven Energiespeicher der Zwischenkreisstrom geglättet wird. Die geglättete elektrische Größe kann bei ausreichendem Energiespeicher als konstant angesehen werden. Hierbei wird je nach konstanter elektrischer Größe in Spannungszwischenkreisumrichter (U-Umrichter) und Stromzwischenkreisumrichter (I-Umrichter) unterschieden. Besitzt die Energiequelle eine elektrische Gleichgröße (z. B. Batterie oder PV-Zelle) entfällt der Gleichrichter, so dass der Wechselrichter mit Zwischenkreisenergiespeicher direkt oder mittels Stromsteller zur Anpassung der elektrischen Gleichgrößen an die Quelle angekoppelt werden kann. Für die Verdeutlichung der Unterschiede zwischen U- und I-Topologie wird im Folgenden der Wechselrichter mit dem jeweiligen Energiespeicher betrachtet.

5.1.1 Spannungszwischenkreiswechselrichter (U-Wechselrichter)

Die Stromkommutierung in der U-Wechselrichter-Kommutierungszelle entsprechend Abb. 5.1 a) findet, wie beschrieben, von einem Schalter auf die korrespondierende Diode einer Halbbrücke statt. Abb. 5.1 b) zeigt die prinzipielle Verschaltung der Leistungshalbleiterbauelemente eines dreiphasigen U-Wechselrichters mit elektrischer Maschine, in dem die Kommutierungsabläufe analog ablaufen. Hierbei wird durch die Einschaltzeiten der Steuerung die Stromform (i. d. R. sinusförmig) in der induktiven Last erzeugt, wobei die drei Halbbrücken mit ei-

Abbildung 5.2: Halbbrücken-Einschaltzeiten bei PWM-Ansteuerung und $m = 1$

ner Phasenverschiebung von jeweils 120° angesteuert werden. Um Brückenkurzschlüsse während der Kommutierung auszuschließen, werden Ober- und Unterschalter mit einer sogenannten Totzeit verzögert eingeschaltet. Die Rückwärtsleitfähigkeit zum Freilauf der induktiven Last muss jeweils durch eine zum Halbleiterschalter antiparallele Freilaufdiode sichergestellt werden.

Die Ober- und Unterschalter einer Halbbrücke können im U-Wechselrichter bei Gewährleistung der Totzeit invertiert angesteuert werden. Je nach Aussteuergrad des Modulationsverfahrens und Belastung stellt sich der Ausgangsstrom frei ein. Der Oberschwingungsgehalt des Ausgangsstromes hängt von der Induktivität der Last bzw. einer zusätzlichen Ausgangsdrossel und der gewählten Taktfrequenz ab. Das Sperren aller Leistungshalbleiterschalter trennt die Zwischenkreisspannung von der Last und gilt somit als sicherer Zustand.

Kritisch hingegen ist der Brückenkurzschluss, der bei Fehlansteuerung durch gleichzeitig eingeschaltete Ober- und Unterschalter einer Halbbrücke verursacht werden kann. Der hierbei auftretende Strom wird lediglich durch die Leitfähigkeit der Halbleiter, durch den Innenwiderstand des Zwischenkreiskondensators bzw. der bereitgestellten Energiequelle sowie durch Zuleitungsinduktivität und -widerstand begrenzt. Der Brückenkurzschluss sollte über die Steuerung detektiert werden und muss innerhalb der für den Schalter zulässigen Kurzschlussdauer abgeschaltet werden.

Als Steuerverfahren für den U-Wechselrichter mit sinusförmigen Ausgangsgrößen werden in der Regel die Pulsweitenmodulation (PWM) oder die Raumzeit-

germodulation (RZM) eingesetzt (vgl. [Jenn, Schr]). Unter der Voraussetzung, dass die Halbbrücken invertiert angesteuert und Totzeiten vernachlässigt werden, sind hierbei $2^3 = 8$ Schalterzustände zulässig, wobei zwei dieser Schalterzustände einen sicheren Zustand darstellen bzw. ein Spannungsfreischalten der Last bewirken. Die Pulsverfahren können neben einer sinusförmigen Referenzspannung $u_{\text{Ref},0}$ für eine höhere Ausnutzung zusätzlich die dritte Harmonische oder Vielfache hiervon ($u_{\text{Ref,Harm}}$) berücksichtigen, so dass die Ausgangsspannungszeitfläche erhöht wird. Bei der sogenannten Injektion einer Dreieckfunktion kann das resultierende Pulsmuster der PWM dem der RZM nahezu ideal nachgebildet werden [Jenn, Lang]. Für die Erzeugung sinusförmiger Ströme muss sich hierfür allerdings das Potenzial des Laststernpunktes frei einstellen können. Die RZM bietet über den frei zu bestimmenden Raumzeiger einen direkten Zugriff auf die Steuerparameter und somit eine günstigere Regelbarkeit gegenüber der PWM. Die mit einem deutlich geringeren Steuerungsaufwand realisierbare PWM wird in der Praxis mit rein sinusbehafteten Sollkurven realisiert, wobei hingegen die RZM die dritten Harmonischen berücksichtigt und somit eine um 15% höhere Spannungsausnutzung ermöglicht. Zur Veranschaulichung sind in Abb. 5.2 a) und b) die Pulsmuster aus einem Vergleich aus Dreieck und sinusförmiger Sollwertkurve mit und ohne Berücksichtigung der Dreieckfunktion dargestellt.

Für den anschließenden Verlustvergleich der beiden Halbleitertechnologien ist allerdings die Berücksichtigung der Harmonischen von untergeordneter Bedeutung, solange den Vergleichen dasselbe Pulsmuster zugrunde liegt.

5.1.2 Stromzwischenkreiswechselrichter (I-Wechselrichter)

Im I-Wechselrichter ist der Energiespeicher im Zwischenkreis eine Induktivität, wodurch der Zwischenkreisstrom als stetige elektrische Größe resultiert. Bei ausreichender Induktivität kann dieser Strom als konstant angesehen werden. Die Spannung im Zwischenkreis stellt sich lastabhängig frei ein. Während des Betriebes muss ein geschlossener Stromkreis gewährleistet sein, da bei Unterbrechung die Zwischenkreisinduktivität eine kritisch hohe Gegenspannung erzeugt. Die Stromamplitude sollte über die Einspeisung begrenzt bzw. geregelt werden. Abb. 5.3 a) zeigt eine Kommutierungszelle des Stromzwischenkreises und darauf aufbauend in Abb. 5.3 b) die Schaltung eines dreiphasigen I-Wechselrichters.

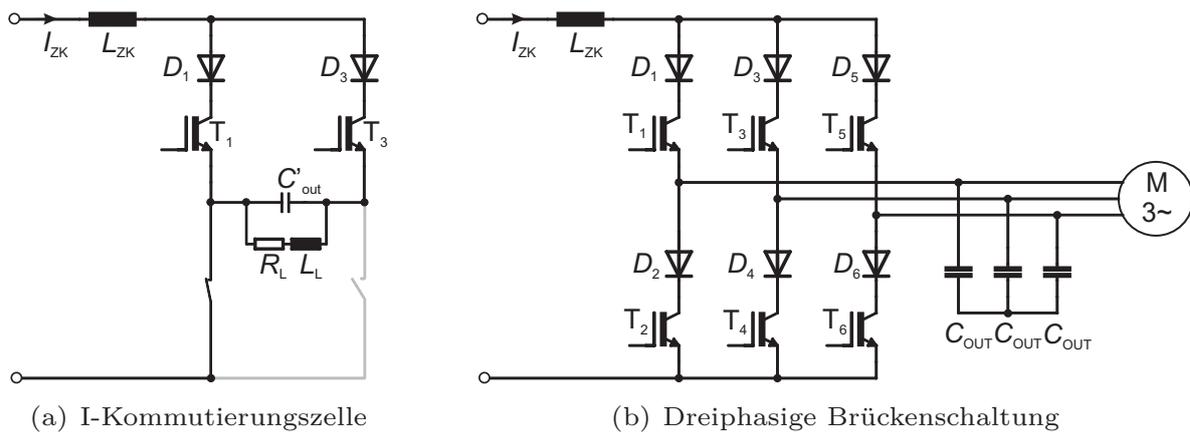


Abbildung 5.3: Stromzwischenkreiswechselrichter

In der Kommutierungszelle der I-Topologie findet entgegen der U-Topologie die Stromkommutierung nicht innerhalb einer Halbbrücke, sondern zwischen zwei Ober- oder Unterschaltern statt. Bei eingeschaltetem Schalter T_3 wird der Strom auf die passive RL -Last geführt. Sobald T_1 geschlossen wird, kommutiert der Strom auf den niederohmigen Kurzschlusspfad, wobei über den Ausgangskondensator C'_{out} der von der Last getriebene Strom abgedeckt und die Ausgangsspannung während der Kommutierungsvorgänge geglättet wird. Um einen Kurzschluss der Ausgangsspannung und einen Rückwärtsstrom im Schalter zu verhindern, werden die Dioden D_1 und D_3 in Reihe zum Halbleiterschalter eingesetzt. Die in Abb. 5.3 a) und Abb. 5.1 a) dargestellten idealen Schalter dienen zur Veranschaulichung der konventionellen H-Brücke.

Aufgrund des zu gewährleistenden geschlossenen Strompfades müssen sich die Einschaltensignale überlappen, was in der Steuerung berücksichtigt werden muss. Der sichere Zustand des I-Wechselrichters liegt bei Kurzschluss einer oder mehrerer Brücken vor, so dass der durch L_{ZK} getriebene Konstantstrom nicht mehr auf die Last geführt wird. Kritisch hingegen ist das Unterbrechen des Stromkreises. Für den Fehlerfall sollten Maßnahmen wie Active Clamping oder andere Schutzbeschaltungen zur Beherrschung der L_{ZK} -Gegenspannung berücksichtigt werden. Die Induktivitäten der Last und die Ausgangskondensatoren ergeben einen Filter zweiter Ordnung. Allerdings bewirkt dies eine Einschränkung des stabilen Betriebsbereiches und bedarf besonderer Beachtung bei der Auslegung und Regelung, da ausgangsseitig Resonanzen angeregt werden können.

Als Steuerverfahren bei dreiphasigen I-Wechselrichtern werden den Topologie-Eigenschaften entsprechende Pulsverfahren eingesetzt. Da zu jedem Zeitpunkt mindestens ein Ober- und ein Unterschalter geschlossen sein müssen, ergeben sich $3^2 = 9$ zulässige Schaltzustände, wovon drei Zustände einen sicheren Zustand (Nullvektor) darstellen. Zur Erzeugung von sinusförmigen Ausgangsgrößen sind bei einer klassischen PWM die durch Invertierung generierten zwei Ansteuersignale pro Phase nicht ausreichend, da im Unterschied zum U-Umrichter bei einer dreiphasigen Drehstrombrücke die Kommutierung nicht zwischen zwei Schaltern einer Halbbrücke, sondern zwischen den drei Ober- bzw. Unterschaltern stattfindet. Zusätzlich kann nur bei Vollaussteuerung und nicht für kleine Aussteuergrade die nötige Überlappung zur Gewährleistung des geschlossenen Stromkreises sichergestellt werden. Um die Überlappung für sämtliche Aussteuergrade gewährleisten zu können, muss für I-Umrichter mit sinusförmigen Ausgangsgrößen und variabler Amplitude ein modifiziertes PWM-Verfahren oder die RZM eingesetzt werden.

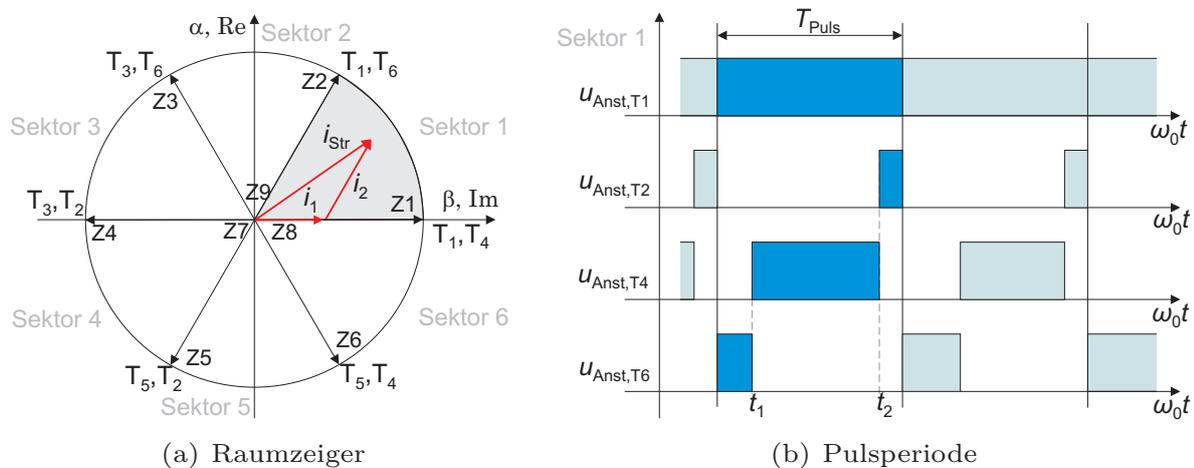


Abbildung 5.4: RZM für I-Wechselrichter

Abb. 5.4 a) zeigt das Raumzeigerdiagramm zur Ansteuerung eines I-Wechselrichters. Hierin sind die einzelnen Vektoren der Zustände Z_1 bis Z_9 die möglichen Phasenströme der aus den Schalterzuständen resultierenden Strompfade. Die Aufteilung erfolgt anhand des Dreiphasensystems, wobei ein Sektor 60° entspricht. Durch ein modulierte Schalten der Zustände eines Sektors und des Null-

vektors kann der resultierende Phasenstrom in der Amplitude beeinflusst werden. Praktisch werden die Raumzeiger mittels Pulsperioden umgesetzt, wobei über eine Mikrocontrollersteuerung die entsprechenden Einschaltzeiten bestimmt werden. Abb. 5.4 b) zeigt eine Folge von Pulsperioden für den Sektor 1. Hierin werden die Schalter T_1 kontinuierlich und T_4 sowie T_6 im Wechsel eingeschaltet. Die Schaltzeiten t_1 und t_2 werden in der Folge der Pulsperioden sinusmoduliert variiert, bis beim Sektorwechsel die Schalter des nächsten Sektors angesteuert werden. Der Nullvektor wird in diesem Sektor über T_2 geschaltet und moduliert die Kuppe einer Sinushalbwellen.

Für weiterführende Erläuterungen zu U- und I-Topologien und dessen Steuerungsverfahren wird auf [Schr, Jenn, Koch2] verwiesen.

5.1.3 Topologiewahl und Halbleitereigenschaftsprofile

Zusammengefasst ergeben sich aus den Energiespeichern im Zwischenkreis und den resultierenden konstanten elektrischen Größen folgende Analogien.

Tabelle 5.1: Analogien im U- und I-Wechselrichter

	U-Wechselrichter	I-Wechselrichter
Energiespeicher	C	L
Konstante Zwischenkreisgröße	U	I
Frei einstellende Größe	I	U
Sicherer Zustand	LL	KS
Kritischer Zustand	KS	LL
Resultierende Schaltbedingung	Totzeit	Überlappungszeit

Aus diesen Randbedingungen können vorteilhafte Halbleitereigenschaftsprofile für die jeweilige Topologie abgeleitet werden. Für U-Wechselrichter sind demnach neben den eigentlichen elektrischen Dimensionierungsparametern Halbleiter ideal, die im Fehlerfall, z. B. bei Ausfall der Treiberstufenversorgung, eine Selbstsperrfähigkeit aufweisen und somit keinen kritischen Brückenkurzschluss verursachen. In Hinblick auf induktive Lasten sollten die Halbleiter rückwärtsleitfähig sein, um den durch die Last getriebenen Strom freilaufen lassen zu können und die Rückspeisung von generatorisch erzeugter Leistung zu ermöglichen. Für den zu vermeidenden Fall eines Brückenkurzschlusses ist weiter eine

hohe Kurzschlussfestigkeit vorteilig, die zumindest für die Zeit der Fehlererkennung und bis zum kontrollierten Abschalten des Halbleiters aufrecht gehalten werden kann. Im Gegensatz hierzu sollten Halbleiter in I-Wechselrichtern entsprechend über eine Selbstleitfähigkeit verfügen, die im Fehlerfall den geschlossenen Stromkreis und somit den sicheren Zustand gewährleisten. Um während der Kommutierung die Spannungen der geladenen Ausgangskapazitäten aufnehmen zu können, müssen die Halbleiter rückwärtssperrfähig sein. Bei Unterbrechung des geschlossenen Stromkreises wäre die Aufnahme bzw. das Begrenzen der durch L_{ZK} resultierenden Spannungsüberhöhung am Halbleiter durch dessen Verhalten selbst wünschenswert. Die Einhaltung der Profilanforderungen für die jeweilige Topologie muss durch die Halbleiterstruktur, durch die Verschaltung unterschiedlicher Halbleiterstrukturen (Schalter und Diode) oder durch zusätzliche Schutzmaßnahmen sichergestellt werden.

Der vorgestellte SiC-LC-VJFET erfüllt aufgrund seiner Selbstleitfähigkeit damit teilweise das Anforderungsprofil der I-Wechselrichter. Allerdings müssten bei Einsatz von SiC-Halbleitern am Stromzwischenkreis trotz deren hoher Sperrfähigkeit die Überspannungen infolge eines Fehlers ebenso über Schutzmaßnahmen abgefangen werden wie bei Si-Halbleitern. Die in der Regel für Anwendungen notwendigen Überwachungsschaltungen zur Detektion von Überspannungen und -strömen können in die jeweiligen Treiberstufen integriert werden, bedeuten aber dennoch einen zusätzlichen Schaltungs- und Kostenaufwand. Vor dem Hintergrund der Topologieunterschiede sollten die Halbleiter beim U-Wechselrichter vor einem unzulässigen Stromanstieg im Brücken- oder Lastkurzschlussfall geschützt werden, welches über Auswertung der Halbleiterdurchlassspannung realisiert werden kann. Im Falle des I-Wechselrichters kann hierauf bei einem über die Einspeisung begrenzten Zwischenkreisstrom gänzlich verzichtet werden. Überspannungen können im Fehlerfall über eine einfache Active-Clamping-Beschaltung durch das Einschalten der Halbleiterschalter abgefangen werden. Die Rückwärtssperrfähigkeit ist beim LC-VJFET aufgrund der Inversdiode nicht gegeben, so dass der Einsatz einer zusätzlichen Seriodiode weiterhin nötig bleibt.

In Hinblick auf die Effizienz schneidet der dreiphasige I-Wechselrichter in der klassischen dreiphasigen Vollbrücke im Vergleich zum U-Wechselrichter aufgrund höherer Durchlassverluste systembedingt ungünstiger ab [Wund, Mohr]. Ursache für die höheren Durchlassverluste sind die Seriodioden, die anders als die

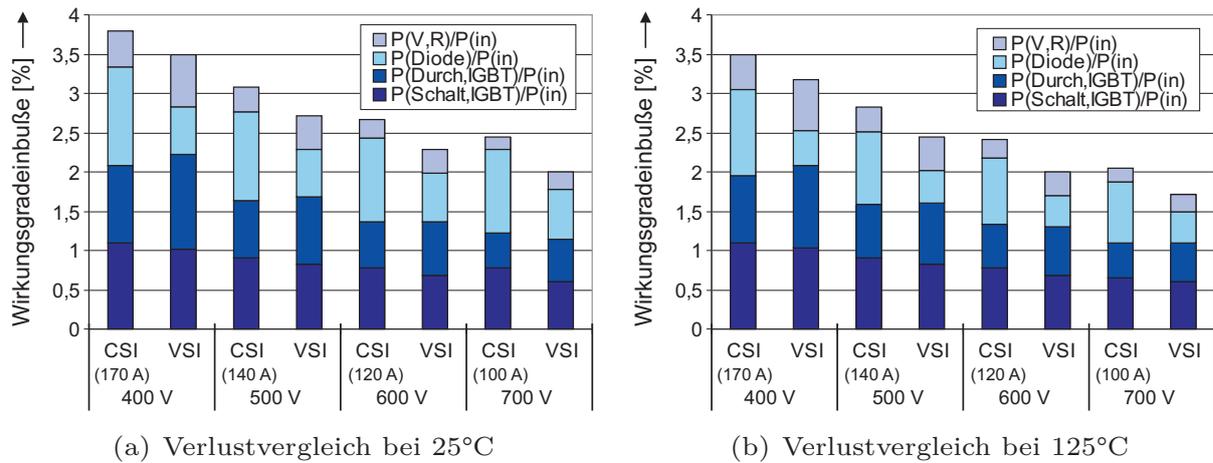


Abbildung 5.5: Vergleich der Verluste von U- und I-Wechselrichtern

Freilaufdioden im U-Wechselrichter über die gesamte Einschaltdauer des Halbleiterschalters hinweg den gesamten Laststrom führen. Abb. 5.5 zeigt die durch Simulation und analytische Betrachtung (nach [Bier, Lesc]) ermittelten Wechselrichterwirkungsgrade beider Topologien im Vergleich für eine Wechselrichterabgabeleistung von 60 kW bei ohmsch-induktiver Last ($\cos(\varphi) = 0,8$). Für die Vergleiche wurden die Zwischenkreisgrößen bei konstant gehaltener Zwischenkreisleistung variiert, wobei der Zwischenkreisstrom im I-Wechselrichter so gewählt wurde, dass die resultierende effektive Zwischenkreisspannung der Konstantzwischenkreisspannung des U-Wechselrichters entspricht. Für die Betrachtungen wurden die Schalt- und Durchlassverluste von Si-IGBTs, Si-Dioden, die Verluste der ohmschen Zuleitungen sowie typische Randbedingungen berücksichtigt. Die Energiespeicher wurden zu $C_{ZK} = 1000 \mu\text{F}$ bzw. $L_{ZK} = 100 \text{ mH}$ gewählt. Bei allen Betrachtungen sinken die Verluste des gesamten Systems mit steigender Spannung und damit einhergehend sinkendem Strom, wobei bei den angenommenen Randbedingungen der Wirkungsgrad des U- generell über dem des I-Wechselrichters liegt.

Die im I-Wechselrichter benötigte Zwischenkreisdrossel L_{ZK} ist eine robuste Komponente, die bei entsprechender Kern- und Lackdrahtwahl gegenüber den derzeitigen Zwischenkreiskondensatortechnologien (bis 165°C [Epc]) höhere Einsatztemperaturen zulässt und zusätzlich kostengünstiger ist. Allerdings wird durch die hohe Temperaturbeständigkeit einer entsprechenden L_{ZK} (bis ca.

250°C) die Temperaturbeständigkeit des Systems noch nicht heraufgesetzt. Weitere begrenzende Komponenten sind die Ausgangskondensatoren C_{out} , die trotz der gegenüber dem U-Wechselrichter kleineren Kapazität zusammen mit diversen Elektronikbauteilen für Treiberstufen und Steuerung die Einsatztemperaturen auf unter 150°C begrenzen. Desweiteren steigen Bauvolumen und Gewicht des Energiespeichers aufgrund der deutlich geringeren speicherbaren Energiedichte in konventionellen Spulen drastisch gegenüber denen des Elektrolyt- oder Folienkondensators mit gleichem Energieinhalt. Somit besitzt der I- gegenüber dem U-Wechselrichter neben der höheren abzuführenden Verlustwärme und dessen Kühlmehraufwand bei gleicher Wechselrichterleistung ein höheres Gewicht.

Die folgende Tabelle zeigt die Vor- und Nachteile der beiden Topologien unter Berücksichtigung gleicher Randbedingungen. Aus diesen Überlegungen heraus

Tabelle 5.2: Vergleich von U- und I-Wechselrichter

	U-Wechselrichter	I-Wechselrichter
Effizienz	+	-
Temperaturbeständigkeit	O	O
Gewicht und Bauvolumen	+	-
Schutzbehaltungsaufwand	O	O
Regelbarkeit / Dynamik	+	O
Schaltfrequenz	O	+
Oberschwingungsgehalt / Filter	O	+

bleibt festzuhalten, dass der U-Wechselrichter im Vergleich zum I-Umrichter für die betrachtete konventionelle dreiphasige Vollbrückenschaltung mit induktiver Last die effizientere Topologie ist. Die Vorteile der Zwischenkreisdrossel in Hinblick auf eine erweiterte Einsatztemperatur können aufgrund der Ausgangskondensatoren sowie der weiteren Elektronikbauelemente nicht genutzt werden und bedeuten einen Nachteil für das Bauvolumen und das Gewicht. Ein selbstleitender Halbleiterschalter, wie der SiC-LC-VJFET, würde im I-Umrichter aufgrund des normally-on-Verhaltens zwar einen geringeren Schutzbeschaltungsaufwand mit sich bringen, jedoch ist in Bezug auf effiziente Systeme auch bei erhöhten Einsatztemperaturen der U-Umrichter aussichtsreicher und daher für die folgenden Untersuchungen die Topologie der Wahl.

5.2 Verlustabschätzung für gleiche Chip-Flächengrößen

Die Untersuchungsergebnisse am SiC-LC-VJFET und am Si-IGBT aus Kap. 4 zeigen einen Vergleich der Halbleitereigenschaften in Bezug auf die aktive Chip-Fläche. Somit sind die Vergleichsaussagen nicht nur exemplarisch gültig, sondern liefern einen tendenziellen Vergleich der vorliegenden Halbleitertechnologien.

Im Folgenden wird aus den Messergebnissen der einzelnen Halbleiter ein Vergleich der Gesamtverluste einer dreiphasigen Vollbrücke für applikationsnahe Randbedingungen durchgeführt, um hieraus das Potenzial für die SiC-Technologie abzuleiten. Weiter zeigen die Abhängigkeiten der Durchlass-, Sperr- und Schaltverluste von den Betriebsparametern, in welchen Betriebspunkten oder bei welchen Randbedingungen sich die jeweilige Halbleitertechnologie als effizienter erweist. Insbesondere sind hier die Parameter Chip-Temperatur und Taktfrequenz von Interesse.

Zur Bestimmung der jeweiligen Wechselrichtergesamtverluste werden die Durchlass-, Sperr- und Schaltverluste für die Leistungshalbleiterschalter und für die -dioden sowie gleiche Chip-Flächen, -Auslastungen und Randbedingungen berücksichtigt.

5.2.1 Definition der Randbedingungen

Die Randbedingungen besitzen erheblichen Einfluss auf die resultierenden Verluste. Daher folgt eine Vorstellung relevanter Parameter, deren Werte typischen Randbedingungen für die vorgestellten Anwendungen entsprechen.

Die Taktfrequenzen in leistungselektronischen Systemen mit Leistungen bis 100 kW liegen häufig zwischen 10 bis 20 kHz, d.h. hoch genug, um beispielsweise außerhalb des hörbaren Bereiches zu sein und andererseits so gering wie möglich, um den Anteil der Schaltverluste gering zu halten. Vor diesem Hintergrund wurde für die Untersuchungen ein Schaltfrequenzbereich von 5 bis 30 kHz definiert. Die Zwischenkreisspannung wurde anhand der gleichgerichteten Dreiphasenspannung (ca. 560 V) und der bei aktuellen Hybridfahrzeugen gewählten Zwischenkreisspannung (bis 650 V) orientiert und zu 600 V festgesetzt. Dies entspricht ebenfalls einer typischen Zwischenkreisspannung für Leistungshalbleiter der 1200 V-Klasse. Als Wechselrichterlast wird für die analytischen Abschätzungen eine induktive Maschine mit einem $\cos(\varphi) = 0,8$ angenommen. Für die Be-

rechnungen wurden die dynamischen Vorgänge mit einer Schaltgeschwindigkeit von etwa $10 \text{ kV}/\mu\text{s}$ bei 150°C Chip-Temperatur gewählt. Dies entspricht einem Nenn-Gate-Widerstand von 47Ω für den eingesetzten IGBT und einem $R_{G,JFET}$ von 68Ω . Als Modulationsverfahren wird die sinusbewertete PWM verwendet, bei der der Modulationsgrad zu

$$m = \frac{u_{\text{Ref},0}}{u_{\text{Träger}}} \approx \frac{\hat{u}_{\text{aus}}}{\frac{U_{\text{ZK}}}{2}} \quad (5.1)$$

festgelegt wurde (vgl. Abb. 5.2), wobei \hat{u}_{aus} die Amplitude der Grundwelle der Phasenspannung gegen $\frac{U_{\text{ZK}}}{2}$ beschreibt [Semi2] und die Halbleiter-Durchlassspannungen vernachlässigt wurden.

Die Abschätzung der Verluste erfolgt anhand der Messdaten aus Kap. 4 durch Linearisierung der auf die Chip-Fläche bezogenen Messergebnisse und der Umrechnung der Verluste bei gegebener aktiver Fläche auf eine angenommene Fläche unter Vernachlässigung Chip-Größen bezogener Randeffekte. Die Chip-Auslastungen sind am Nennpunkt der Si-Referenzhalbleiter orientiert, die rechnerisch bei $1,519 \text{ A}/\text{mm}^2$ für die Halbleiterschalter und bei $1,0312 \text{ A}/\text{mm}^2$ für die Halbleiterdioden liegen. Dies entspricht typischen Chip-Auslastungen auch für Module mit mehreren parallelen Chips und höheren Stromtragfähigkeiten [Semi4]. Um Umrechnungs- oder Linearisierungsfehler des Rechenmodells abschätzen zu können, wurde die Berechnung für die realen Chip-Flächen der Halbleiter durchgeführt und verifiziert. Aus den aktiven Chip-Flächen der Si- und SiC-Muster und den Messdaten ergeben sich die jeweiligen Chip-Auslastungen zu

$$\begin{aligned} \text{IGBT} : I_{\text{Mess}} = 5 \dots 15 \text{ A} &\rightarrow J_{\text{Nenn}}(A_{\text{akt}} = 6,93 \text{ mm}^2) = 0,72 \dots 2,16 \text{ A}/\text{mm}^2, \\ \text{JFET} : I_{\text{Mess}} = 5 \dots 15 \text{ A} &\rightarrow J_{\text{Nenn}}(A_{\text{akt}} = 3,95 \text{ mm}^2) = 1,27 \dots 3,8 \text{ A}/\text{mm}^2. \end{aligned}$$

Die Schnittmenge beider Untersuchungsbereiche repräsentiert die vergleichbaren Nennstromdichten der Halbleiterschalter. Für die Betrachtungen der Wechselrichterverluste ist daher die Variation einer Chip-Auslastung zwischen $1,3$ – $2,1 \text{ A}/\text{mm}^2$ zulässig (vgl. Abb. 4.19). Darüberhinaus ist durch Extrapolation der Messwerte der Untersuchungsbereich in Grenzen erweiterbar.

5.2.2 Analytische Bestimmung der Verlustanteile

Unter der Annahme von sinusförmigen Strömen können die Verlustanteile der Halbleiterschalter P_T und der -dioden P_D bestimmt werden. Für die Berechnung der Verlustanteile werden als Vereinfachungen festgelegt, dass die Zwischenkreisspannung eine Konstantspannung ohne Rippel und die Totzeit vernachlässigbar klein gegenüber den Schaltzeiten sind. Des Weiteren werden Zuleitungsverluste nicht berücksichtigt und die am Halbleiter aufgenommenen Sperrspannungen als die volle Zwischenkreisspannung U_{ZK} angenommen, was der Vernachlässigung von Spannungsabfällen anderer im Pfad befindlicher Halbleiter gleich kommt. Die Betrachtungen sind an die Ausführungen von [Tare, Infi4, Ditt] angelehnt, um die Betrachtung der Sperrverluste erweitert und berücksichtigen die Abhängigkeiten von der Sperrschichttemperatur ϑ_j , der über den Halbleitern anliegenden Spannung u_T (Schalter) bzw. u_D (Diode), der Chip-Flächen A_T bzw. A_D und der resultierenden Chip-Auslastung J_T bzw. J_D .

Durchlassverluste

Die Durchlassverluste der Halbleiterschalter bei einem sinusförmigen Ausgangsstrom $i_L(t) = \hat{i} \cdot \sin(\omega_0 t)$ ergeben sich zu

$$P_{\text{Durch},T} = \frac{1}{T_0} \int_0^{T_0/2} u_T(t) \cdot i_L(t) \cdot \tau(t) dt. \quad (5.2)$$

Innerhalb einer Periode mit der Periodendauer $T_0 = 2\pi$ führt jeder Oberschalter nur während der positiven und jeder Unterschalter nur während der negativen Halbwelle den Laststrom (vgl. Abb. 5.2). Für die jeweiligen Schalterdurchlassspannungen werden für den IGBT und die Dioden eine linearisierte Durchlasscharakteristik, bestehend aus einem differentiellen Widerstand r_T (Schalter) bzw. r_D (Diode) und einer Schwellspannung $U_{0,T}$ bzw. $U_{0,D}$ angenommen. Für die Halbleiterschalter gilt somit

$$u_T(t) = \begin{cases} u_{\text{DS}}(t) = U_{0,T} + r_T \cdot i_L(t), & \text{wenn } T = \text{JFET} \\ u_{\text{CE}}(t) = U_{0,T} + r_T \cdot i_L(t), & \text{wenn } T = \text{IGBT.} \end{cases} \quad (5.3)$$

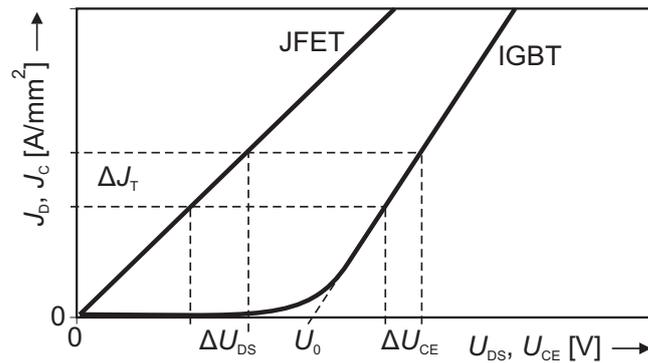


Abbildung 5.6: Linearisierung der Durchlassspannungen

Im Fall des IGBT ist $U_{0,T} = U_{CE,sat}$ und in dem des JFET entsprechend der Unipolarität $U_{0,T} = 0$ (Abb. 5.6). Die jeweiligen Widerstände ergeben sich zu

$$r_T = \begin{cases} R_{DS,on} = \frac{U_{DS}}{I_D}, & \text{wenn T = JFET} \\ r_d = \frac{\Delta U_{CE}}{\Delta I_C}, & \text{wenn T = IGBT.} \end{cases} \quad (5.4)$$

Wie in Kap. 4 beschrieben, ist die bereitgestellte aktive Chip-Fläche A_T bzw. A_D für die Verluste mit ausschlaggebend. Bei Festlegung dieser Chip-Fläche müssen die linearisierten Widerstände der Halbleiterschalter r_T dies entsprechend berücksichtigen. Mit

$$U_T = \begin{cases} U_{DS} & \text{wenn T = JFET} \\ U_{CE} & \text{wenn T = IGBT} \end{cases} \quad (5.5)$$

gilt

$$r_T = \frac{\Delta U_T}{\Delta J_T \cdot A_T}. \quad (5.6)$$

Das Tastverhältnis, welches sich aus m , dem sinusförmigen Verlauf und der Phasenverschiebung φ durch die ohmsch induktive Last ergibt, wird über die Funktion $\tau(t)$ beschrieben. $\tau(t)$ spiegelt das Verhältnis zwischen Einschalt- zu Ausschaltdauer wieder und gilt bei $\omega_0 t = \varphi..(\varphi + \pi)$ für den Strom führenden Halbleiterschalter und bei $\omega_0 t = (\varphi + \pi)..(\varphi + 2\pi)$ für die Strom führende, dem Schalter parallel liegende Diode.

$$\tau(t) = \frac{1}{2} (1 + m \cdot \sin(\omega_0 t + \varphi)) \quad (5.7)$$

Durch Einsetzen in Glg. 5.2 folgt für die Beschreibung der Durchlassverluste des Schalters bei Integration über die halbe Periode

$$P_{\text{Durchl},T} = \frac{1}{T_0} \int_0^{T_0/2} (U_{0,T} + r_T \cdot \hat{i} \cdot \sin(\omega_0 t)) \cdot \hat{i} \cdot \sin(\omega_0 t) \cdot \frac{1}{2} (1 + m \cdot \sin(\omega_0 t + \varphi)) dt. \quad (5.8)$$

Unter Berücksichtigung von $\sin(\omega_0 t + \varphi) = \sin(\varphi) \cdot \cos(\omega_0 t) + \cos(\varphi) \cdot \sin(\omega_0 t)$ und $T_0 = 2\pi$ sowie $\omega_0 = \frac{2\pi}{T_0}$ folgt

$$P_{\text{Durchl},T} = \frac{1}{2} \left(U_{0,T} \cdot \frac{\hat{i}}{\pi} + \frac{\Delta U_T}{\Delta J_T \cdot A_T} \cdot \frac{\hat{i}^2}{4} \right) + m \cdot \cos(\varphi) \cdot \left(U_{0,T} \cdot \frac{\hat{i}}{8} + \frac{\Delta U_T}{\Delta J_T \cdot A_T} \cdot \frac{\hat{i}^2}{3\pi} \right). \quad (5.9)$$

Die Dioden führen den Strom in der Freilaufphase, die der Zeitdauer des ausgeschalteten korrespondierenden Halbleiterschalters entspricht. Innerhalb einer Periode verteilt sich der Freilauf auf die zwei Dioden der Halbbrücke. Somit ergeben sich die Diodendurchlassverluste in Analogie zu der linearisierten Durchlassspannung des IGBT entsprechend zu

$$P_{\text{Durchl},D} = \frac{1}{T_0} \int_0^{T_0/2} u_D(t) \cdot i_L(t) \cdot \tau'(t) dt. \quad (5.10)$$

Das Tastverhältnis zur Bestimmung der Diodenverluste entspricht bei sinusförmigem Strom und induktiver Last für die zu Schalter T_1 korrespondierende Diode D_2 zwischen $\omega_0 = \varphi..(\varphi + \pi)$ entsprechend

$$\tau'(t) = \frac{1}{2} (1 - m \cdot \sin(\omega_0 t + \varphi)). \quad (5.11)$$

Somit ergibt sich aus Glg. 5.10 die Durchlassverlustleistung einer Diode zu

$$P_{\text{Durchl},D} = \frac{1}{2} \left(U_{0,D} \cdot \frac{\hat{i}}{\pi} + r_D \cdot \frac{\hat{i}^2}{4} \right) - m \cdot \cos(\varphi) \cdot \left(U_{0,D} \cdot \frac{\hat{i}}{8} + r_D \cdot \frac{\hat{i}^2}{3\pi} \right), \quad (5.12)$$

bzw. bei Berücksichtigung der Chip-Auslastung zu

$$P_{\text{Durchl},D} = \frac{1}{2} \left(U_{0,D} \cdot \frac{\hat{i}}{\pi} + \frac{\Delta U_D}{\Delta J_D \cdot A_D} \cdot \frac{\hat{i}^2}{4} \right) - m \cdot \cos(\varphi) \cdot \left(U_{0,D} \cdot \frac{\hat{i}}{8} + \frac{\Delta U_D}{\Delta J_D \cdot A_D} \cdot \frac{\hat{i}^2}{3\pi} \right). \quad (5.13)$$

Sperrverluste

Die in der Regel vernachlässigbaren Sperrverluste steigen im thermischen Grenzbereich der Halbleiter drastisch an und werden im Folgenden mit berücksichtigt. Der Anstieg des Sperrstromes I_{Leck} ist ein Indiz für die physikalische Einsatzgrenze der vorliegenden Halbleiter. Das Schalter-Dioden-Paar nimmt Sperrspan-

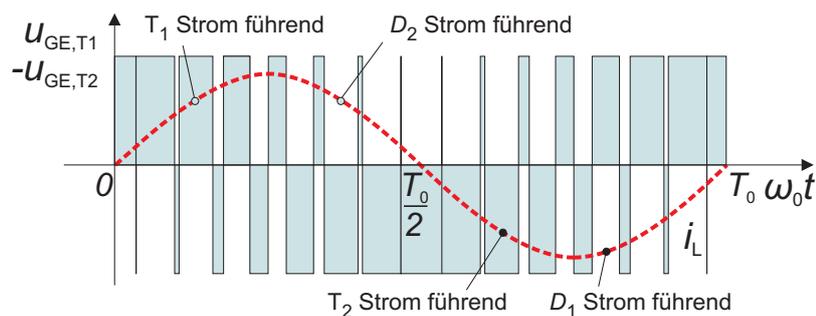


Abbildung 5.7: Stromaufteilung in einer Halbbrücke bei $\varphi = 90^\circ$

nung auf, solange Schalter oder Diode eines Paares keinen Strom führen (vgl. Abb. 5.7). Dies entspricht für eine volle Periode entsprechend $\tau_{\text{Sperr}}(t) = 1 - \tau(t)$. Die Sperrzeit eines Schalter-Dioden-Paares ergibt sich somit genau zu einer halben Periode. Die Sperrverluste von Schalter und Diode bestimmen sich durch Integration über eine Periode zu

$$P_{\text{Sperr},T,D} = \frac{1}{T_0} \int_0^{T_0} U_{ZK} (I_{\text{Leck},T} + I_{\text{Leck},D}) \cdot \tau_{\text{Sperr}}(t) dt \quad (5.14)$$

$$= \frac{1}{2} \cdot U_{ZK} (I_{\text{Leck},T} + I_{\text{Leck},D}), \quad (5.15)$$

bzw. in Abhängigkeit von der Chip-Auslastung zu

$$P_{\text{Sperr},T,D} = \frac{1}{2} \cdot U_{ZK} (J_{\text{Leck},T} \cdot A_T + J_{\text{Leck},D} \cdot A_D). \quad (5.16)$$

Schaltverluste

Jeder Halbleiterschalter führt und schaltet, wie beschrieben, nur während einer halben Periode den Strom. Die Schaltverluste der Halbleiterschalter $P_{\text{Schalt},T}$ ergeben sich entsprechend der Schaltfrequenz f_{Schalt} zu

$$P_{\text{Schalt},T} = f_{\text{Schalt}} \cdot \frac{1}{T_0} \int_0^{T_0/2} E_{\text{Ein},T}(u_T, i_T) + E_{\text{Aus},T}(u_T, i_T) dt. \quad (5.17)$$

Hierbei können die Einschaltenergien E_{Ein} und Ausschaltenergien E_{Aus} des jeweiligen Halbleiters für den Betriebspunkt (u_T, i_T) unter Voraussetzung der Linearitätsbedingung aus denen der Messpunkte $(u_{\text{Mess}}, i_{\text{Mess}})$ bestimmt werden zu

$$E_{\text{Ein},T}(u_T, i_T) = E_{\text{Ein},T}(I_{\text{Mess}}, U_{\text{Mess}}) \cdot \frac{i_T}{I_{\text{Mess}}} \cdot \frac{u_T}{U_{\text{Mess}}} \quad \text{bzw.} \quad (5.18)$$

$$E_{\text{Aus},T}(u_T, i_T) = E_{\text{Aus},T}(I_{\text{Mess}}, U_{\text{Mess}}) \cdot \frac{i_T}{I_{\text{Mess}}} \cdot \frac{u_T}{U_{\text{Mess}}}. \quad (5.19)$$

Unter der Annahme, dass die Zwischenkreisspannung U_{ZK} konstant und die Schaltfrequenz f_{Schalt} hoch gegenüber der Grundwelle der Ausgangsgröße ist, folgt nach [Inf4]

$$P_{\text{Schalt},T} = f_{\text{Schalt}} \cdot \frac{1 + \cos(\varphi)}{2\pi} \cdot \frac{\hat{i}}{i_{\text{Mess}}} \cdot \frac{U_{ZK}}{u_{\text{Mess}}} \cdot (E_{\text{Ein},T}(u_T, i_T) + E_{\text{Aus},T}(u_T, i_T)) \quad (5.20)$$

bzw. in Abhängigkeit von der Chip-Auslastung

$$P_{\text{Schalt,T}} = f_{\text{Schalt}} \cdot \frac{1 + \cos(\varphi)}{2\pi} \cdot \frac{\hat{i}}{J_{\text{T}} \cdot A_{\text{T}}} \cdot \frac{U_{\text{ZK}}}{u_{\text{Mess}}} \cdot (E_{\text{Ein,T}}(u_{\text{T}}, i_{\text{T}}) + E_{\text{Aus,T}}(u_{\text{T}}, i_{\text{T}})). \quad (5.21)$$

Die Verluste einer Schottky-Diode ergeben sich unter Vernachlässigung der Einschaltverluste [Ditt] analog zu

$$P_{\text{Schalt,D}} = f_{\text{Schalt}} \cdot \frac{1 + \cos(\varphi)}{2\pi} \cdot E_{\text{Aus,D}}(u_{\text{D}}, i_{\text{D}}) \cdot \frac{\hat{i}}{J_{\text{D}} \cdot A_{\text{D}}} \cdot \frac{U_{\text{ZK}}}{U_{\text{Mess}}}. \quad (5.22)$$

Bei konventionellen bipolaren Dioden ist für den Teillastbetrieb die Nichtlinearität des Rückwärtserholstromes zu berücksichtigen. Nach [Infi4] sollte hierfür eine empirisch ermittelte Anpassung durchgeführt werden.

$$P_{\text{Schalt,pn-D}} = f_{\text{Schalt}} \cdot \frac{1 + \cos(\varphi)}{2\pi} \cdot E_{\text{Aus,D}}(u_{\text{D}}, i_{\text{D}}) \cdot \frac{U_{\text{ZK}}}{U_{\text{Mess}}} \cdot \left(\frac{\hat{i}}{I_{\text{Mess}}} \cdot 0,45 + 0,55 \right) \quad (5.23)$$

bzw.

$$P_{\text{Schalt,pn-D}} = f_{\text{Schalt}} \cdot \frac{1 + \cos(\varphi)}{2\pi} \cdot E_{\text{Aus,D}}(u_{\text{D}}, i_{\text{D}}) \cdot \frac{U_{\text{ZK}}}{u_{\text{Mess}}} \cdot \left(\frac{\hat{i}}{J_{\text{D}} \cdot A_{\text{D}}} \cdot 0,45 + 0,55 \right). \quad (5.24)$$

Bei der Bestimmung der Dioden- und der Schalterverluste wurde der $\cos(\varphi)$ berücksichtigt. Für eine Auslegung eines Wechselrichters hingegen kann der Term $(\frac{1+\cos(\varphi)}{2\pi})$ näherungsweise als $\frac{1}{\pi}$ angenommen werden. Für den Vergleich zwischen SiC-LC-VJFET und Si-IGBT wurden die Daten mit ähnlichen du/dt der Schaltflanken herangezogen. Bei ähnlichen di/dt würde aufgrund der kleineren Gate-Widerstände ein für SiC noch günstigeres Schaltverhalten resultieren.

5.2.3 Vergleich und Diskussion

In den Abschätzungen für die IGBT-Verluste wurden als Freilaufdioden sowohl die Si-EmCon- als auch die SiC-Schottky-Diode untersucht, während für die SiC-

LC-VJFET in den Versuchen SiC-Schottky-Dioden eingesetzt wurden. Für einen Vergleich der Halbleiterschaltertechnologien ist allerdings nur ein Vergleich mit gleichen Dioden (hier SiC-Dioden) aussagekräftig. Die aus obigen Gleichungen bestimmten Verluste basieren auf den Messdaten und berücksichtigen gleiche Chip-Flächen und gleiche Chip-Auslastungen. Die Gesamtverlustleistung P_V der Wechselrichter ergibt sich aus der Summe der Durchlass-, Sperr- und Schaltverlustanteile der sechs Schalter und Dioden zu

$$P_V = 6 \cdot (P_{\text{Durchl},T} + P_{\text{Sperr},T} + P_{\text{Schalt},T} + P_{\text{Durchl},D} + P_{\text{Sperr},D} + P_{\text{Schalt},D}). \quad (5.25)$$

Die Gesamtverluste des SiC-JFET sind entsprechend Kap. 4 in reales und ideales Schaltverhalten unterschieden. Hierdurch wird zum einen das ungewollte Einschalten der Schalter berücksichtigt, aber zum anderen auch der zumindest theoretisch optimale Betriebspunkt und somit das Potenzial der Technologie aufgezeigt.

Um die gleiche Spannungssteilheit wie bei einem IGBT mit einem Gate-Widerstand R_G von 82Ω bei 150°C zu erreichen, müsste der JFET nach Abb. 4.18 einen R_G von 218Ω für das Einschalten und 150Ω für das Ausschalten besitzen. Das maximale du/dt liegt hierbei unter $5 \text{ kV}/\mu\text{s}$. Bei einem Nenn-Gate-Widerstand von 47Ω für den IGBT würde eine maximale Spannungssteilheit von etwa $10 \text{ kV}/\mu\text{s}$ herrschen. Dies entspricht einem R_G von 68Ω für den JFET, der sowohl für das Ein- als auch für das Ausschalten verwendet werden könnte. Bei Einsatz dieser ausgewählten R_G herrscht in den Verlustvergleichskurven ein dazugehöriges, für beide Halbleitertypen gleiches, maximal auftretendes du/dt .

In den folgenden Kurven sind die Gesamtverluste über der Junction-Temperatur und der Schaltfrequenz abgebildet. Abb. 5.8 a) und b) zeigen die Verluste von IGBT und JFET bei einem du/dt von unter $5 \text{ kV}/\mu\text{s}$ unter Verwendung der entsprechenden R_G auf Basis der gemessenen Werte und mit der jeweils realen aktiven Chip-Fläche.

In dieser Berechnung wurden für den IGBT der Nennstrom (10 A) und für den JFET 6 A (Festlegung anhand einer typ. Durchlassspannung von $2 \text{ V} @ 25^\circ\text{C}$) angenommen. Die Eingangsleistung bei $U_{\text{ZK}} = 600 \text{ V}$, $m = 1$, $\cos(\varphi) = 0,8$ und $i = 10 \text{ A}$ bzw. 6 A beträgt

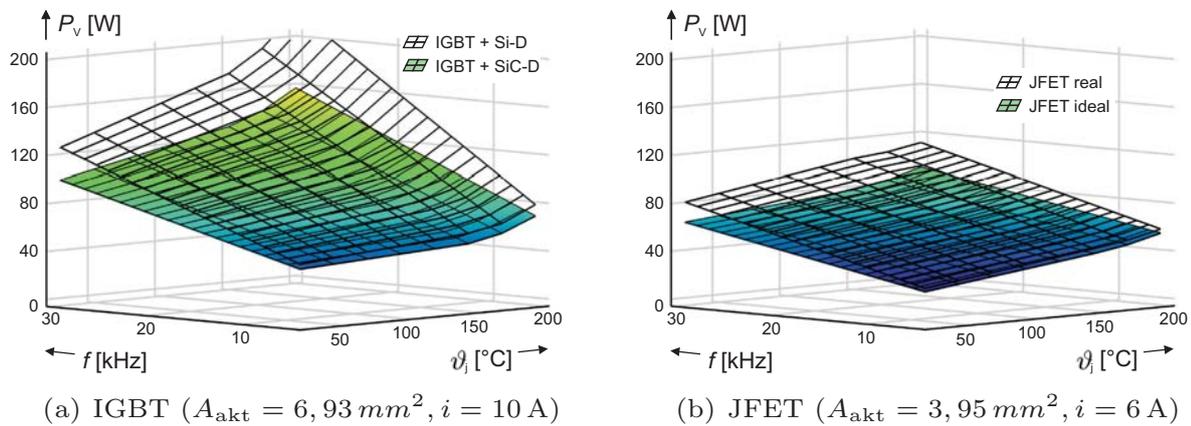


Abbildung 5.8: Wechselrichterverluste bei realer Halbleiter-Chip-Fläche

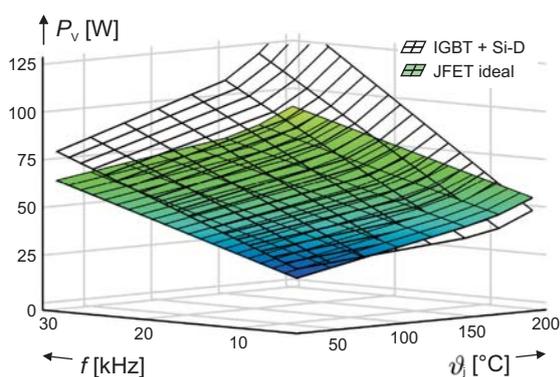
$$P_{\text{ein}} = \sqrt{3} \cdot \frac{\sqrt{3} \cdot \frac{U_{\text{ZK}} \cdot m}{2}}{\sqrt{2}} \cdot \frac{\hat{i}}{\sqrt{2}} \cdot \cos(\varphi) = 3,6 \text{ kW} \quad \text{bzw.} \quad 2,16 \text{ kW}. \quad (5.26)$$

Da die aktiven Flächen und die Nennströme zur Berechnung der Kurven der Abb. 5.8 a) und b) unterschiedlich sind, ist ein Vergleich der Absolutwerte noch nicht aussagekräftig. Die gefüllte Kurve Abb. 5.8 a) zeigt die errechneten Gesamtverluste eines Wechselrichters unter Verwendung von IGBT⁴ mit SiC-Schottky-Dioden im Vergleich zu IGBT⁴ mit Si-EmCon-Dioden (gegitterte Kurve) mit jeweils realen aktiven Flächen. Es ist ersichtlich, dass der Einsatz der SiC-Dioden eine erhebliche Verlustreduzierung mit sich bringt. Diese begründet sich in dem quasi Rückwärtserholstrom-freien Verhalten der SiC-Dioden, das sowohl bei den Dioden als auch bei den Halbleiterschaltern zu stark reduzierten Schaltverlusten führt. Abb. 5.8 b) stellt die berechneten Verluste eines JFET-Wechselrichters für den gleichen Betriebspunkt dar. Hierbei spiegelt die gefüllte Kurve die Gesamtverluste bei idealen Schaltvorgängen des JFET wieder. Die idealen Schaltverluste wurden anhand eines Tiefsetzstellers ermittelt, bei dem während des Abschaltens eines Stromes an einer induktiven Last der Strom zwischen einem Schalter (low side device) und einer Diode (high side device) kommutiert. In der Halbbrücken-Konfiguration unterscheidet sich das Schaltverhalten der JFET von den Schaltvorgängen im Tiefsetzsteller, da durch die stöempfindliche Gate-Charakteristik die Schalter ungewollt einschalten. Das ungewollte Einschalten

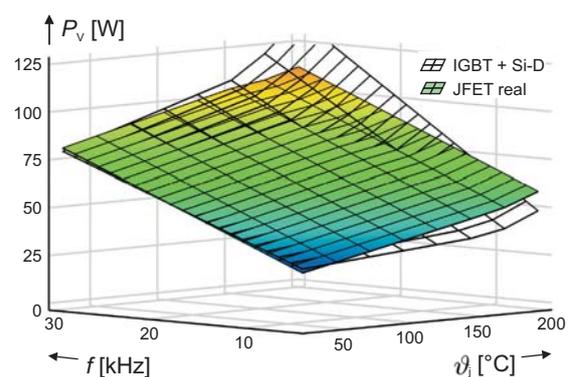
verursacht, wie beschrieben, einen kurzzeitigen Brückenkurzschluss und somit zusätzliche Verluste, die in der gegitterten Kurve von Abb. 5.8 b) berücksichtigt werden.

In den folgenden Kurven wurden gleich große Chip-Flächen für Si- und SiC-Halbleiter angenommen. Die Chip-Auslastung der SiC-Schottky-Diode wurde im Folgenden zu einer für Dioden typische Stromdichte $J_D = 1 \text{ A/mm}^2$ festgelegt.

Abb. 5.9 a) und b) zeigen die Wechselrichter-Gesamtverluste P_V für den Si-IGBT⁴ mit EmCon-Diode (gegittert) im Vergleich zu dem SiC-JFET mit SiC-Diode (flächig) für ideales (Abb. 5.9 a)) und reales Schaltverhalten (Abb. 5.9 b)). Für die Kurven wurde ein R_G von 82Ω für den IGBT und ein Ein- bzw. Ausschalt-Gate-Widerstand von 218Ω bzw. 150Ω für den JFET für ein ähnliches du/dt verwendet. Die Schalterstromdichte J_T beträgt $1,519 \text{ A/mm}^2$ ($i = 6 \text{ A}$) und die aktive Chip-Fläche der Schalter A_T beträgt $3,95 \text{ mm}^2$. Aufgrund von höheren Durchlassverlusten liegen die Verluste des SiC-Wechselrichters unter Verwendung der genannten Parameter für Schaltfrequenzen unter ca. 10 kHz über den Verlusten des Si-Wechselrichters. Dies wird noch ungünstiger bei Betrachtung des realen Schaltverhaltens. Neben dem parasitären Einschalten begründen sich die relativ hohen Gesamtverluste in den Durchlassverlusten, da die SiC-LC-VJFET deutlich höhere Durchlassspannungen aufweisen. Durch eine Vergrößerung der Fläche oder eine geringere Chip-Auslastung kann dieser Anteil drastisch reduziert werden.



(a) $J_T = 1,519 \text{ A/mm}^2$, $A_{\text{akt}} = 3,95 \text{ mm}^2$



(b) $J_T = 1,519 \text{ A/mm}^2$, $A_{\text{akt}} = 3,95 \text{ mm}^2$

Abbildung 5.9: IGBT mit Si- und JFET mit SiC-Diode bei gleicher Auslastung

Weiter ist anzumerken, dass sich bei den gewählten Gate-Widerständen relativ geringe Spannungssteilheiten ergeben. Aus den Kurven in Abb. 4.21 geht hervor, dass beim IGBT bei einer Reduzierung des R_G lediglich die Einschaltverluste reduziert werden. Beim JFET hingegen treten bei einer Reduzierung des R_G geringere Ein- und Ausschaltverluste und somit gegenüber einem IGBT-Wechselrichter auch geringere Gesamtverluste auf. Der in Abb. 5.9 dargestellte Verlustvergleich ist unter Verwendung der festgelegten Untersuchungsparameter (Chip-Fläche, Stromdichte, Gate-Widerstand, etc.) dementsprechend ein eher ungünstiger Betriebsfall des SiC-Wechselrichters. Eine Veränderung der Untersuchungsparameter innerhalb des Untersuchungsbereiches führt zu einer günstigeren Bilanz.

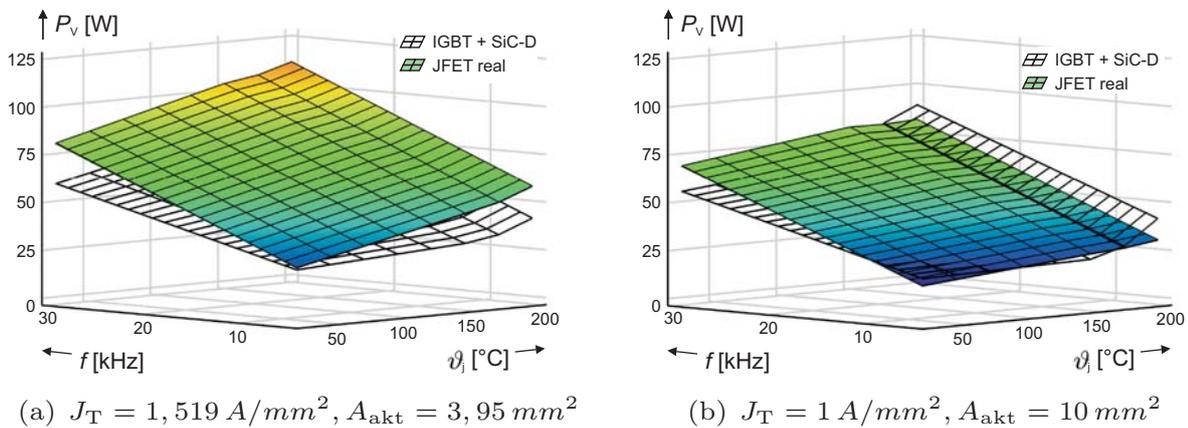
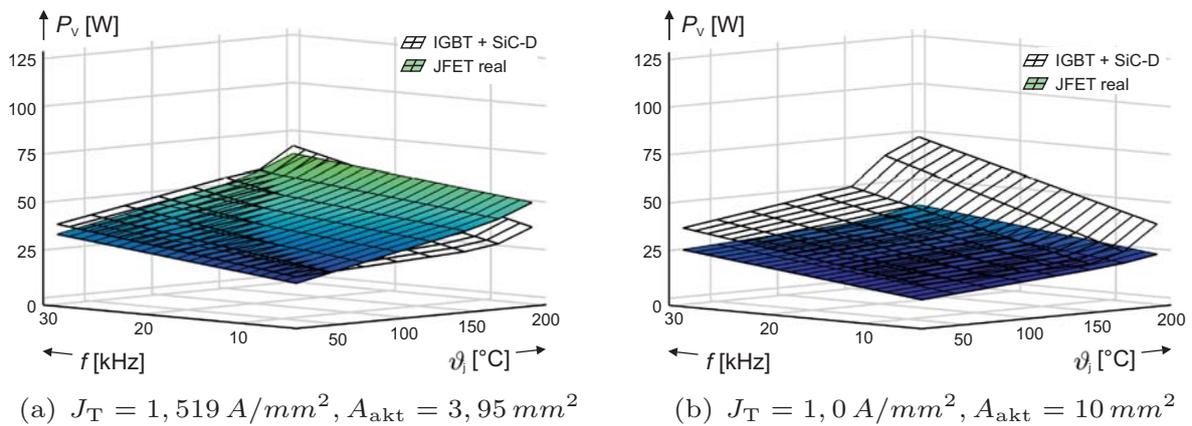


Abbildung 5.10: Verluste von IGBT und JFET bei verschiedenen Auslastungen

Im Weiteren soll allerdings auf die Wechselrichtervariante für IGBT mit Si-Dioden nicht weiter eingegangen werden. Der Fokus der folgenden Berechnungen liegt auf dem Vergleich zwischen IGBT⁴ und LC-VJFET mit jeweils antiparalleler SiC-Schottky-Diode. Durch den Einsatz der SiC-Dioden sowohl beim JFET- als auch beim IGBT-Wechselrichter werden die Schaltverluste aufgrund des wegfallenden Rückwärtserholstromes in gleicher Weise reduziert. Abb. 5.10 a) und b) zeigen die Verlustkurven bei realen Schaltverlusten mit jeweils SiC-Dioden. Im Folgenden stellen die gegitterten Kurven die Verluste des IGBT- und die gefüllten Kurven die des JFET dar. Für die Berechnung in Abb. 5.10 b) wurde die aktive Fläche der Halbleiterschalter auf 10 mm^2 und die Stromdichte auf 1 A/mm^2 gesetzt. Durch diese geringe Chip-Auslastung werden die Durchlass-


 Abbildung 5.11: Verluste von IGBT u. JFET bei max. du/dt ($R_G = 0 \Omega$)

verluste des JFET-Wechselrichters reduziert und führen zumindest bei höheren Temperaturen zu günstigeren Wirkungsgraden.

Für die in Abb. 5.11 dargestellten Kurven wurde das schnellst mögliche Schalten zugelassen ($R_G = 0 \Omega$). Hierdurch wurden die Schaltverluste minimal, was zu erheblich besseren Wirkungsgraden führt. Weiter weist der JFET- im Vergleich zum IGBT-Wechselrichter nun auch bei geringeren Temperaturen und Schaltfrequenzen eine günstigere Bilanz auf. Begründung hierfür ist die oben gezeigte unterschiedliche Abhängigkeit der Schaltenergien vom Gate-Widerstand. Die vom R_G unabhängigen Ausschaltverluste des IGBT können beim JFET ebenfalls linear reduziert werden. Da die gemessenen Strom- und Spannungsverläufe bei 0Ω aufgrund von parasitären Kapazitäten und Induktivitäten im Gate-Pfad starke Oszillationen beinhalteten und die Schaltenergien gering sind, wurde in diesem Fall auf die Unterscheidung eines idealen und realen Schaltverhaltens beim JFET verzichtet.

Die hohen Spannungssteilheiten beim Schalten mit 0Ω Gate-Widerstand können in vielen Anwendungen zu Isolations- oder EMV-Problemen führen. Daher wird für die Verlustvergleiche der Nenn-Gate-Widerstand des IGBT ($R_G = 47 \Omega$) mit den resultierenden du/dt herangezogen. Die Kurven der Abb. 5.12 berücksichtigen dieses praxisnahe du/dt mit jeweils unterschiedlicher Stromdichte und Chip-Fläche. Hieraus wird ersichtlich, dass bei einer geringen Chip-Auslastung der JFET-Wechselrichter gerade im hohen Temperaturbereich zu deutlich geringeren Verlusten führen würde. Sollte beim JFET durch die beschriebenen Maßnahmen (Vergrößerung des Gate-Spannungsfensters oder zusätz-

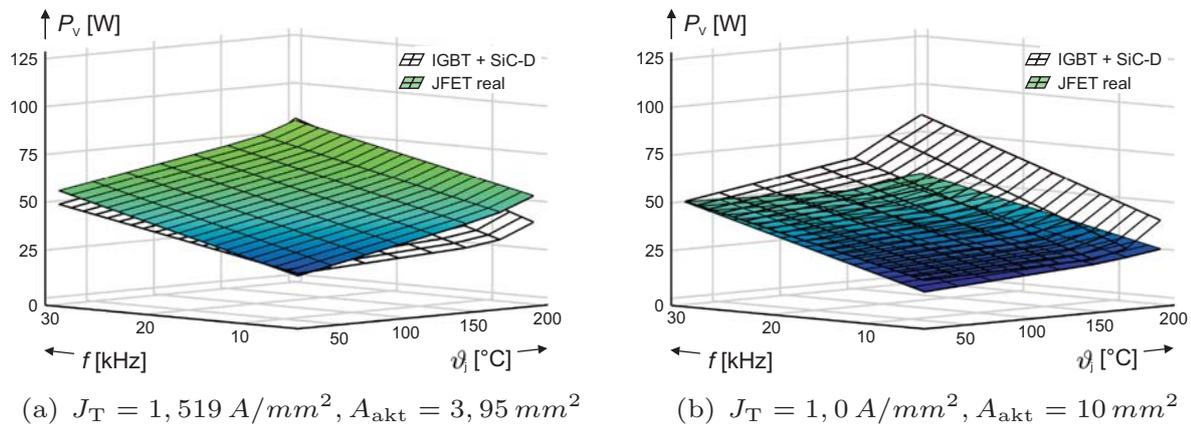


Abbildung 5.12: IGBT- u. JFET-Verluste (real), $R_{G,\text{IGBT}/\text{JFET}} = 47 \Omega/68 \Omega$

liche Gate-Beschaltung) das Schaltverhalten verbessert werden, könnten sogar bei relativ hoher Chip-Auslastung günstigere Wirkungsgrade erzielt werden (vgl. Abb. 5.13). Um die unterschiedlichen Abhängigkeiten der einzelnen Verlustanteile von Temperatur und Schaltfrequenz zu verdeutlichen, sind in den Abb. 5.14 a), b) und c) die Schalt-, Durchlass- und Sperrverluste der Halbleiterschalter als Ergänzung zu dem Vergleich aus Abb. 5.13 bei gleichen Parametern dargestellt.

Der Vergleich der Durchlassverluste zeigt deutlich geringere Verluste beim IGBT-Wechselrichter. Bei den vorliegenden Mustern und unter der verwendeten Chip-Auslastung tritt beim Si-IGBT- gegenüber dem SiC-LC-VJFET-Wechselrichter etwa die halbe Durchlassverlustleistung bei 200°C auf und weist der SiC-

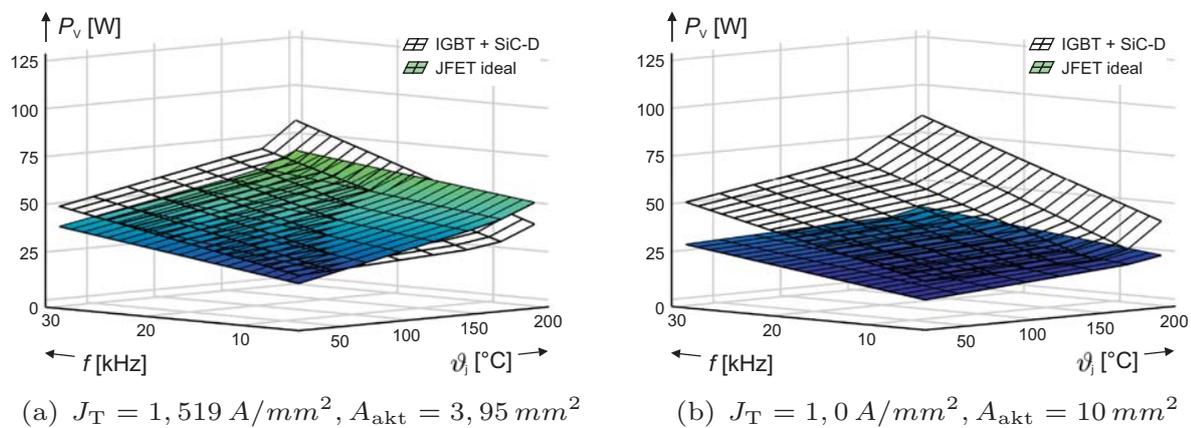


Abbildung 5.13: IGBT- u. JFET-Verluste (ideal), $R_{G,\text{IGBT}/\text{JFET}} = 47 \Omega/68 \Omega$

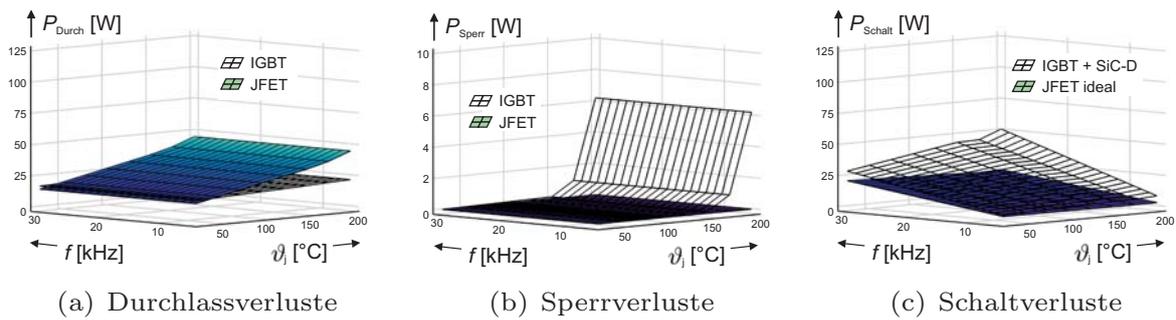


Abbildung 5.14: Schalterverlustanteile ergänzend zu Abb. 5.13 a)

JFET-Wechselrichter eine relativ hohe Temperaturabhängigkeit auf. Beides entspricht den Ergebnissen aus Kap. 4 und geht auf den Technologieentwicklungsstand sowie die Unterschiede der uni- und bipolaren Technologie zurück.

Die Sperrverluste steigen ab Sperrschichttemperaturen ϑ_j von 175°C bei den Si-Halbleitern stark an. Obwohl die in Wärme umgesetzte Verlustleistung im Vergleich zu den Durchlassverlusten verhältnismäßig klein ist, kann aufgrund des hohen Gradienten eine thermische Mitkopplung stattfinden, die zur Zerstörung der Halbleiter führt. Im Vergleich hierzu zeigt der SiC-LC-VJFET ein temperatur unabhängiges Verhalten mit bezüglich des Untersuchungsbereiches zu vernachlässigbaren Verlusten.

Die Schaltverluste des SiC-Halbleiterschalters sind im Vergleich zum Si-IGBT sehr gering. Gerade in Hinblick auf hohe Einsatztemperaturen weist der JFET-Wechselrichter nicht nur geringere Verluste auf, sondern zeigt auch ein günstiges und temperatur stabiles Verhalten. Hierbei ist anzumerken, dass die Anpassung des du/dt über den Gate-Widerstand der SiC-LC-VJFET bei 150°C angepasst wurde. Bei einer Anpassung des du/dt um 25°C würde aufgrund der beim IGBT über der Temperatur steigenden und beim JFET fallenden Schaltverluste ein noch größerer Vorteil für die SiC-Technologie hervorgerufen werden. Allerdings sind in dieser Kalkulation die idealen und nicht die durch das beschriebene ungewollte Einschalten der SiC-JFET verursachten höheren Schaltverluste berücksichtigt.

Wie gezeigt stehen dem günstigen Schalt- und Sperrverhalten und der daraus resultierenden Verlusteinsparung relativ hohe und über der Temperatur stark ansteigende Durchlassverluste gegenüber. Daher ist das vorliegende JFET-Muster

im Vergleich zum IGBT bei einer Stromdichte von $1,5 \text{ A/mm}^2$ und Einsatztemperaturen von 150°C nur bei Schaltfrequenzen oberhalb von etwa 20 kHz effizienter. Ist zusätzlich die Schaltgeschwindigkeit nicht restriktiert, begünstigt dies die Verlustbilanz des JFET. Die Bereitstellung einer größeren Chip-Fläche begünstigt ebenso die Verlustbilanz des JFET.

Zusammenfassend kann festgehalten werden, dass günstigere Wechselrichterwirkungsgrade selbst bei Einsatz der derzeit verfügbaren SiC-Halbleiter jüngeren Entwicklungsstadiums bei Anwendungen mit hohen Schaltfrequenzen und hohen Temperaturen zu erwarten sind. Maßgeblich für den Wirkungsgradvorteil des JFET gegenüber dem IGBT ist eine geringe Chip-Auslastung, die mit höheren Chip-Kosten verbunden ist. Zusätzlich ist dies in Bezug auf die höheren Grundmaterialkosten und den ursprünglichen Ansatz zur Erhöhung der Leistungsdichte nachteilig. Bei Berücksichtigung des ungewollten Einschaltens ist die Verlustbilanz des JFET in jedem Betriebspunkt des untersuchten Bereiches ungünstiger, weshalb festgehalten werden kann, dass für einen effizienten Einsatz der SiC-Technologie das ungewollte Einschalten unterbunden werden muss.

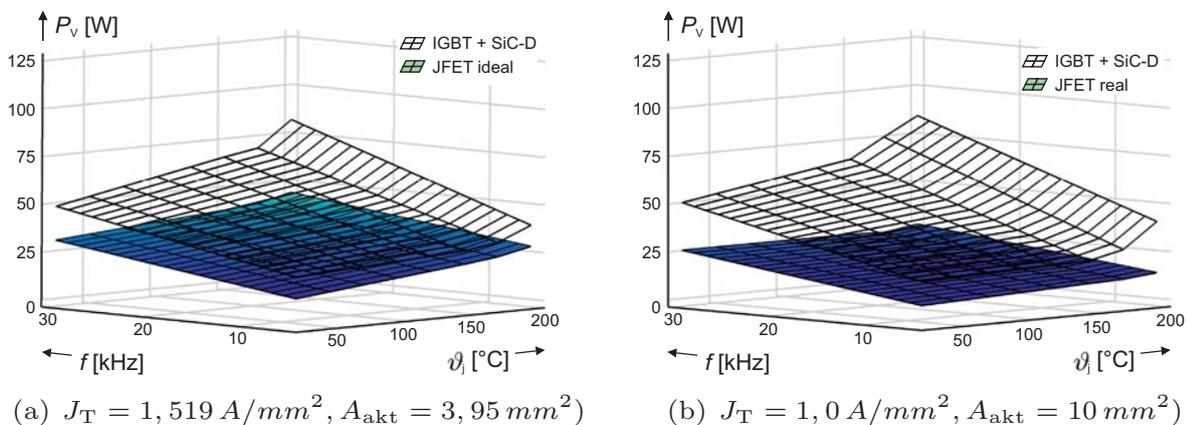


Abbildung 5.15: Ausblick für halbierte JFET- U_{DS} , $R_{\text{G,IGBT/JFET}} = 47 \Omega/68 \Omega$

Zu den Vergleichen bleibt anzumerken, dass die SiC-Technologien am Anfang der Entwicklungen stehen und der Trench Gate Field Stop IGBT der 4. Generation eine langjährig entwickelte Vergleichsreferenz ist. Die ermittelten Wechselrichterverluste bei Einsatz der jeweiligen Halbleiter sind von den Randbedingungen und dem Betriebspunkt bestimmt. Ein Indiz für das Potenzial der SiC-Halbleiterschalter zeigt die Reduzierung des $R_{\text{DS,on}}$, welcher laut Herstel-

lerangaben (SiCED) bei den aktuellen Mustern durch Verkürzung des Kanals bereits mehr als halbiert wurde. Einen tendenziellen Ausblick unter Berücksichtigung der Messdaten und der Annahme einer halbierten Durchlassspannung zeigt Abb. 5.15. Die Verlustbilanz des JFET wäre hier für jeden Betriebspunkt exzellent.

6 Versuchsdemonstratoren

Aufgrund der jeweiligen Vorzüge der SiC-Leistungshalbleiterstrukturen und deren Eigenschaften ist der Einsatz für die vorgestellten Anwendungen mit erhöhten Anforderungen vor allem vor dem Hintergrund des großen Entwicklungspotenzials aussichtsreich. Aufbauend auf den vorangegangenen Untersuchungen soll die Einsatzfähigkeit der zur Verfügung gestellten SiC-LC-VJFETs und -MOSFETs für unterschiedliche Einsatzzwecke überprüft und untersucht werden.

Der SiC-JFET-Wechselrichter wurde aufgrund seiner robusten Struktur für den erweiterten Temperaturbereich entsprechend den Automobilanforderungen ausgelegt. Die BauteilAuswahl und der Schaltungsentwurf des SiC-JFET-Wechselrichters erfolgten mit Hinblick auf Sperrschichttemperaturen oberhalb von 150°C, so dass derzeitige und zukünftige Herausforderungen des Systems identifiziert werden können.

Der SiC-MOSFET-Wechselrichter basiert auf einem dem JFET-Wechselrichter angelehnten Schaltungsentwurf, wurde aber für moderate Umgebungsbedingungen ausgelegt. Auch wenn die bei den vorliegenden SiC-MOSFET-Mustern gemessenen Durchlassspannungen deutlich oberhalb der Si-Referenz liegen und die Wirkungsgrade von aktuellen Si-Wechselrichtern nicht erreicht werden können, wurde aufgrund der absehbaren Halbleiterverbesserungen am Untersuchungsfokus „Energieeffizienz“ festgehalten.

Beide Varianten und deren Untersuchungsergebnisse werden im Folgenden vorgestellt, wobei zunächst Aspekte zur Auswahl von Bauteilen für den erweiterten Temperaturbereich sowie Überlegungen zur Wechselrichterumsetzung diskutiert werden.

6.1 Komponenten- und Systemaspekte

Die Einschränkungen bei der Verfügbarkeit von Komponenten für den erhöhten Temperaturbereich bringen eine individuelle Umsetzung der beiden SiC-Wechselrichter mit sich. Für Anwendungen mit erhöhten Temperaturanforde-

rungen erfolgt ein Überblick über die Temperaturgrenzen aktueller Elektronikbauteile, aus dem sich die für die Wechselrichter verfügbaren Bauteile ableiten lassen. Darauf folgen System- und Auslegungsaspekte, die weitestgehend bei beiden Systemen umgesetzt wurden.

6.1.1 Einsatztemperaturgrenzen aktueller Elektronikbauteile

Um den Forderungen nach Temperatur beständigeren und robusteren Systemen gerecht zu werden, entwickelten die Bauteilhersteller in den vergangenen Jahren insbesondere auch für den Automobilbereich spezielle Komponenten mit erweiterten Einsatztemperaturen. Die typischen zulässigen Einsatztemperaturbereiche dieser elektrischen Bauelemente sind in Abb. 6.1 dargestellt.

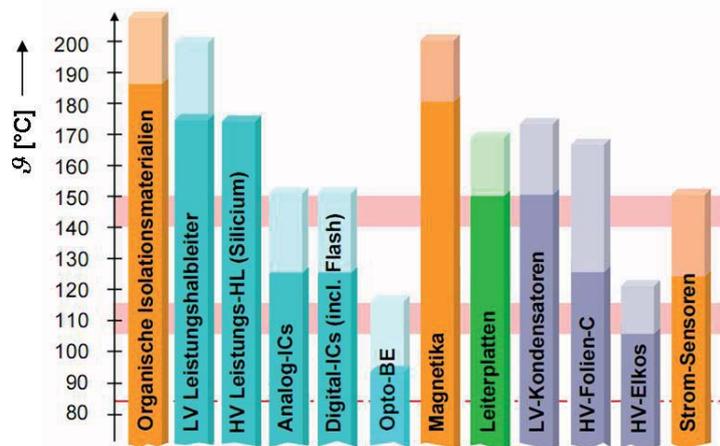


Abbildung 6.1: Temperaturgrenzen verschiedener Komponentenfamilien [März3]

Im Bereich der Leistungshalbleiter liegen die maximalen Sperrschichttemperaturen bei 125-150°C. Neueste Si-Halbleitergenerationen erlauben bei den herkömmlichen Gehäuse- und AVT-Lösungen eine maximale zulässige Chip-Temperatur von 175°C, wobei die Funktionsfähigkeit auf Chip-Ebene bis 200°C gezeigt werden konnte [Baye]. Die Anbindung der Chips durch die AVT und durch das Gehäuse an die bereit gestellte Kühlung definiert die Temperaturgradienten zwischen Chip, Gehäuse, Kühlmedium und Umgebung. Aufgrund eines Sicherheitsfaktors und des vom Gehäuse abhängigen Power Deratings werden Sperrschichttemperaturen von 150°C in der Regel nicht überschritten.

Bei hohen Umgebungs- bzw. Kühlmediumtemperaturen von z. B. 125° muss trotz des resultierenden geringen $\Delta\vartheta = 25^\circ\text{C}$ der R_{th} die Abfuhr der Verlustleistung zulassen können, wodurch Hochleistungskühlungen für Leistungshalbleiter an Bedeutung gewinnen. Die gleiche Problematik ergibt sich für sämtliche Elektronikkomponenten in Abhängigkeit von deren umgesetzter Verlustleistung, maximalem Temperaturbereich und des Kühlaufwandes.

Leistungselektronikschaltungen für Temperaturen oberhalb von 200°C sind derzeit nur mit sehr eingeschränkt verfügbaren und kostenintensiven Spezialbauteilen (z. B. vom Hersteller Cissoid) oder einfachen passiven und aktiven Bauelementen realisierbar. Elektronikbauteile mit einer maximal zulässigen Temperatur bis 150°C sind vereinzelt zu akzeptablen Kosten erhältlich, während Bauteile mit bis zu 125°C für die meisten Bauteilfamilien erhältlich sind. Thermisch kritisch sind z. B. Optokoppler, ICs und Mikrocontroller, deren Einsatztemperaturen meist 125°C nicht übersteigen dürfen. Aber auch bei Kunststoffhalterungen und -verbindungen, Ferritmaterialien und Kondensatoren ist die Auswahl bei höheren zulässigen Temperaturen sehr eingeschränkt. Temperaturbeständige Leiterkarten, Lötzinne und Aufbaumaterialien sind bis über 200°C erhältlich. Insgesamt steigen die Kosten bei Bauteilen für Temperaturen oberhalb von 150°C drastisch an und müssen letztlich mit den verfolgten Systemvorteilen ins Verhältnis gesetzt werden.

Tabelle 6.1: Vergleich von Elektrolyt- und Film-Zwischenkreiskondensatoren

Typ	Elektrolyt-kondensator	Film-kondensator
Kapazität pro Volumen	+	-
Wechselstrombelastbarkeit pro Volumen	-	+
Resultierender Spannungsrippel	+	-
Verlustleistung pro Volumen	-	+
Temperatureinfluss	-	+
Kühlmöglichkeit	+	-
Bauformflexibilität	-	+

Neben den Leistungshalbleitern ist der Zwischenkreiskondensator eine zentrale Komponente im Leistungsteil. Er dient als Energiespeicher (vgl. Abb. 2.1), um die Ströme entsprechend schnell bereitzustellen und z. B. in Automobilanwendungen die Batterie vor Lebensdauer reduzierenden hohen Wechselstrombelastungen zu

schützen. Hierfür können Al-Elektrolytkondensatoren eingesetzt werden, die bis zu einer maximalen Temperatur von 125°C und teilweise 150°C erhältlich sind und durch dünne dielektrische Lagen ($> 1 \mu\text{m}$) auch bei höheren Sperrspannungen relativ große Kapazitätswerte kostengünstig ermöglichen.

Eine attraktive Alternative hierzu sind metallisierte Plastikfilm-Kondensatoren. Sie ermöglichen im Vergleich zum Elektrolytkondensator einen deutlich geringeren äquivalenten Serienwiderstand (ESR) und somit geringe Verluste, eine hohe Lebensdauer und eine hohe Wechselstrombelastbarkeit. Hierfür kommen bei Anwendungen mit erweiterten Temperaturanforderungen die Folienmaterialien

- Polyethylenterephthalat (PET) für $\vartheta_{\text{amb,max}} \leq 135^\circ\text{C}$,
- Polyethylennaphthalat (PEN) für $\vartheta_{\text{amb,max}} \leq 150^\circ\text{C}$ und
- Polyphenylensulfid (PPS) für $\vartheta_{\text{amb,max}} \leq 170^\circ\text{C}$

zum Einsatz [Vett]. Die Dimensionierung der Folienkondensatoren ist anhand der benötigten Kapazität möglich, da die benötigte Wechselstrombelastbarkeit, anders als beim Al-Elko, in der Regel gewährleistet ist [Krieg]. Daher muss ein Kompromiss aus maximal tolerierbarer Spannungsschwankung und Bauvolumen gefunden werden. In Bezug auf den begrenzten Bauraum bei Automobilanwendungen ist die relativ flexible Bauformgestaltung der Folienkondensatoren sehr günstig. Allerdings wird dies durch hohe Kosten und eine kleine Kapazität pro Volumen relativiert. Tab. 6.1 stellt die Vor- und Nachteile der beiden Kondensatortypen gegenüber.

6.1.2 Tests zum thermischen Grenzbereich eines Wechselrichters

Auf Basis der derzeit erhältlichen Komponenten und aktuellen Bauteiltechnologien wurde im Rahmen des Verbundprojektes „InGA“ ein hochoberflächentempertoleranter und robuster Si-IGBT-Wechselrichter für ein Hybridfahrzeug entwickelt, aufgebaut und getestet [Cand]. Die Auslegung basierte auf der Verwendung eines Hersteller spezifischen Anforderungsprofils und den typischen Umgebungsbedingungen im Motorraum, wobei die angestrebte Lösung kostengünstig und für eine Massenproduktion geeignet sein sollte. Die Leistungselektronikeinheit zeigen Abb. 2.3 a) und b).

Die Auslegung erfolgte nach der Definition der Anforderungen und der Simulation des Systems für einen Lebensdauerfahrzyklus unter Berücksichtigung der

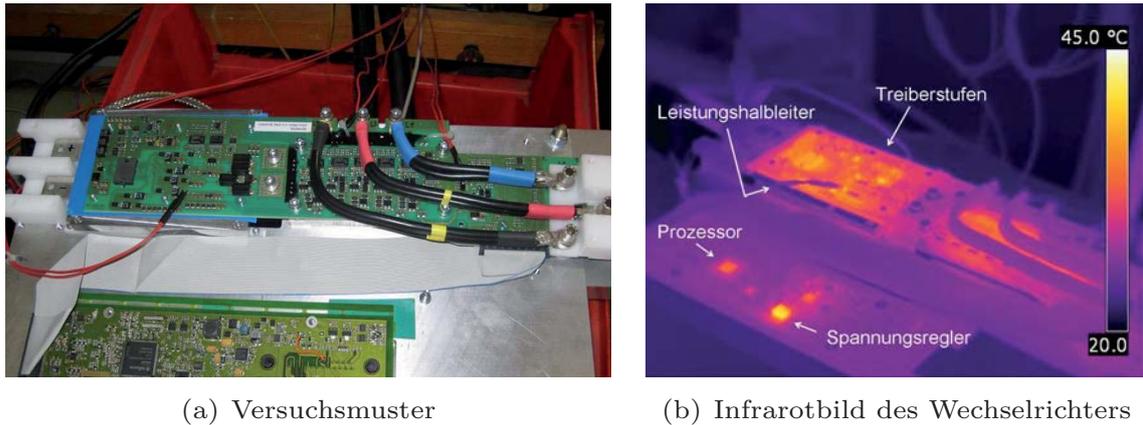
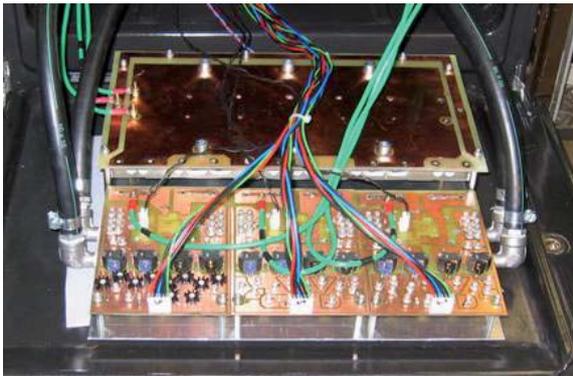


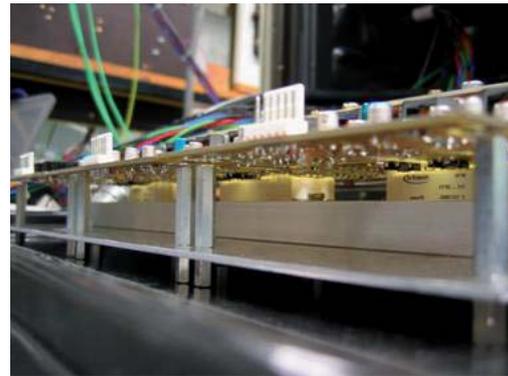
Abbildung 6.2: Erste Version des InGA-Versuchswechselrichters

E-Maschinendaten und des Einsatzes der VKM. Die resultierenden Spannungs-, Strom-, Drehzahl- und Momentenverläufe sind die Grundlage der Berechnung und Dimensionierung der Halbleitermodule, wobei Lebensdaueranforderungen bei extremen Temperaturwechseln ebenfalls die Halbleiter-Chip-Größe beeinflussen und beim vorgestellten Demonstrator sogar dimensionierend sind [Mert1].

Sämtliche Komponenten sind auf Basis der verfügbaren Komponententechnologien für Betriebstemperaturen von mindestens 125°C ausgelegt. Die aus Kühlanbindung, Umgebungsbedingungen und Eigenerwärmung resultierende Bauteilinterne Betriebstemperatur gibt hierbei die thermische Einsatzgrenze vor. Insbesondere beim Controller, den Stromsensoren und ICs dürfen die bauteilinternen Betriebstemperaturen 150°C nicht überschreiten. Aber auch die Kontaktierungen, Steckverbinder und Isolationsmaterialien begrenzen die Einsatztemperatur. Hot-Spots durch Verluste in einzelnen Bauteilen wurden durch eine entsprechende Kühlanbindung vermieden. Die Funktionsfähigkeit wurde bis zu einer Kühlwassertemperatur von 107°C und einer Umgebungstemperatur bis zu 126°C nachgewiesen. Hierbei betrug die auf das Zielfahrzeug abgestimmte Zwischenkreisspannung 240 V , wobei der Strom 42 A bis 140 A betrug. Die Tests wurden an einem Si-Vorabwechselrichtermuster in einer Temperaturkammer durchgeführt. Abb. 6.2 a) und b) zeigen die Treiberkarte dieser Si-Vorabversuchsversion sowie deren Hot-Spots bei Raumtemperatur. Neben Übertragerkern und Mikrocontroller gehört hierbei insbesondere ein Spannungswandler ($\vartheta_{\text{Mess}} = 40,6^{\circ}\text{C}$) zu den kritischsten Bauteilen für den Einsatz bei erhöhten Temperaturen.



(a) Draufsicht



(b) Halbleitermodule und Kühlkörper

Abbildung 6.3: Si-IGBT-Wechselrichter zur Untersuchung der Temperaturgrenze

Dieser Si-Wechselrichter zeigt unter Berücksichtigung des Anforderungsprofils bei akzeptablen Kosten und einer adäquaten Lebensdauer ein exemplarisches Beispiel derzeitiger Industrieentwicklungen. Da im Rahmen dieser Untersuchungen die thermische Einsatzgrenze und das damit verbundene hohe Zerstörungsrisiko dieser Si-Version gemieden werden sollte, wurde ein weiterer Si-IGBT-Testwechselrichter unter Verwendung hochtemperaturfähiger Komponenten für den Einsatz im thermischen Grenzbereich oberhalb von 125°C entwickelt (vgl. auch [Büns]). Hieran konnten Voruntersuchungen zur Temperaturbeständigkeit der Komponenten eines Wechselrichters im thermischen Grenzbereich durchgeführt und Ausfallgründe abgeleitet werden, ohne die SiC-Prototypen zu gefährden.

Um auch Temperaturen oberhalb von 125°C erreichen zu können, wurde bei der Auswahl der Elektronikbauteile und den verwendeten Komponenten auf den Einsatz von ICs verzichtet. Um die Funktion dennoch zu gewährleisten, wurden die Schaltungen auf Basis einfacher hochtemperaturfähiger passiver Bauteile sowie Transistoren auf die grundlegenden Funktionen reduziert und integrierte Schaltkreise durch Transistorlogiken oder robuste Schaltkreise mit diskreten Bauelementen ersetzt. Abb. 6.3 a) und b) zeigen den IGBT-Wechselrichter, wobei die Steuerelektronik und Sensoren als Temperatur begrenzende Komponenten zunächst außerhalb des hohen Temperaturbereiches betrieben wurden.

Für die Prüfung der mechanischen Festigkeit von Komponenten wie Steckverbindern und Kabeln wurden die Komponenten bis zu 200°C aufgeheizt und

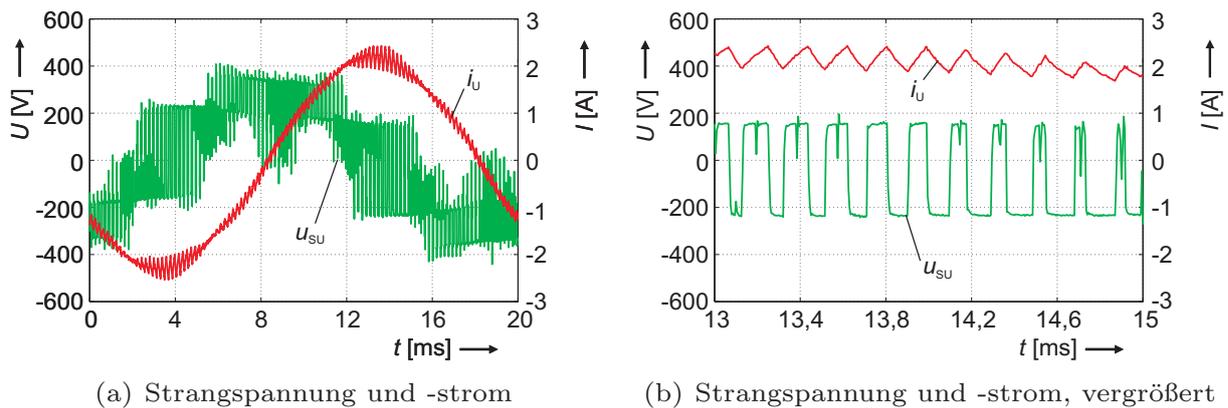


Abbildung 6.4: Kurvenverläufe beim Si-IGBT-Wechselrichter

entsprechend für den Einsatz selektiert. Die eingesetzten Widerstände und Transistoren weisen laut Datenblatt eine maximale Betriebstemperatur von 200°C auf. Die verwendeten Elektronik- und Zwischenkreiskondensatoren sind bis 150°C mit einer entsprechenden Lebensdauereinschränkung qualifiziert. Die Funktion des entwickelten Versuchswechselrichters konnte für Umgebungstemperaturen von 25°C bis 150°C aufrecht erhalten werden. Hierbei wurde die Schaltfrequenz zur Reduzierung der Schaltverluste zu $5,3\text{ kHz}$ gewählt und als Last ein Lüfter (ASM, $u = 400\text{ V}$, $i = 2,4\text{ A}$, $\cos(\varphi) = 0,6$) verwendet. Abb. 6.4 zeigt die Kurven von Strangspannung u_{SU} und -strom i_U bei 100°C im durch den Lüfter definierten Betriebspunkt.

Wie problematisch der Betrieb im Grenzbereich ist, zeigten Untersuchungen bei einer Umgebungstemperatur von 150°C . Hier kam es zur Zerstörung der Si-Halbbrücken aufgrund von Störungen innerhalb der Gate-Signale. Die Störungen traten ab 100°C auf und führten zum Fehlverhalten der IGBTs. Abb. 6.5 a) zeigt die Spannungs- und Stromverläufe bei 25°C , worin lediglich das Gate-Signal $u_{GE,T1}$ infolge der beschriebenen kapazitiven Kopplung beim Potentialsprung des Mittelpunkts einen folgenlosen Spannungseinbruch aufweist. Abb. 6.5 b) zeigt die Kurven bei 125°C und reduzierter Schaltfrequenz. Hierbei sind die Störungen erheblich und führen sogar zum kurzzeitigen Einschalten des IGBT.

Ebenfalls kritisch bzw. potenzielle Ausfallgründe sind neben Beeinträchtigungen innerhalb der Ansteuerelektronik eine thermische Mitkopplung der Chip-Temperatur durch über der Temperatur steigende Verluste, eine durch thermomechanische Spannungen verursachte reduzierte Kühlanbindung der Halbleiter

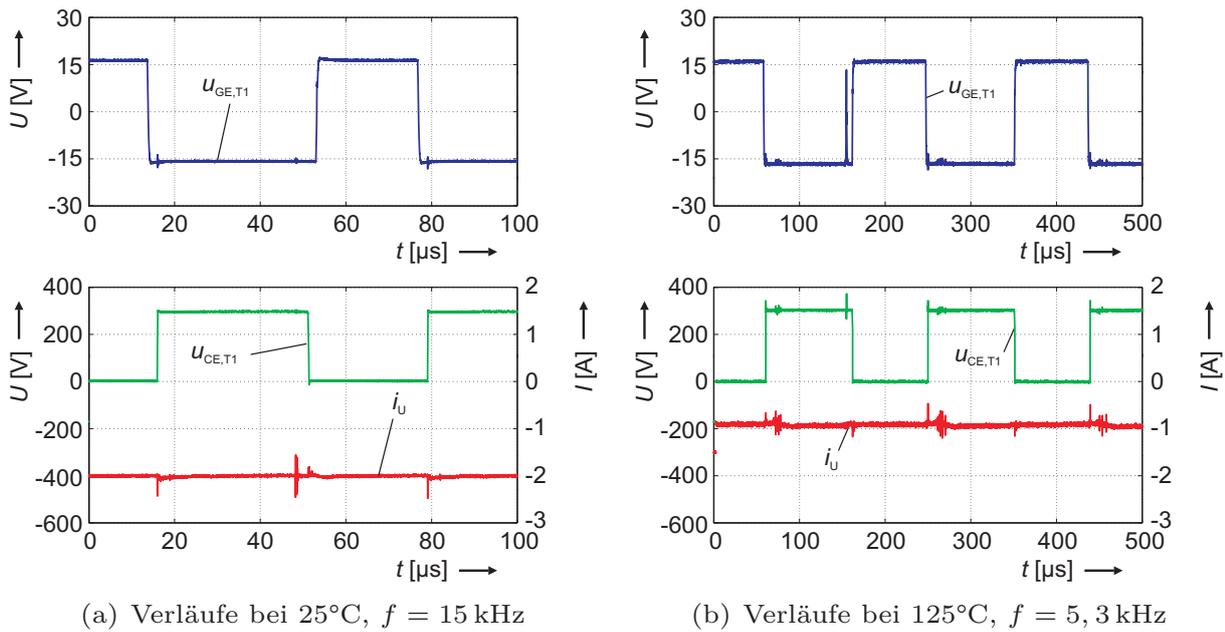
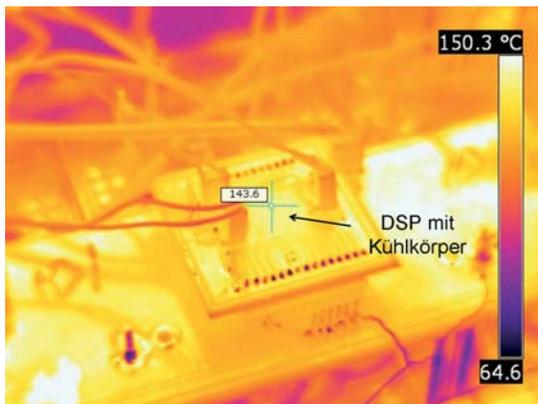
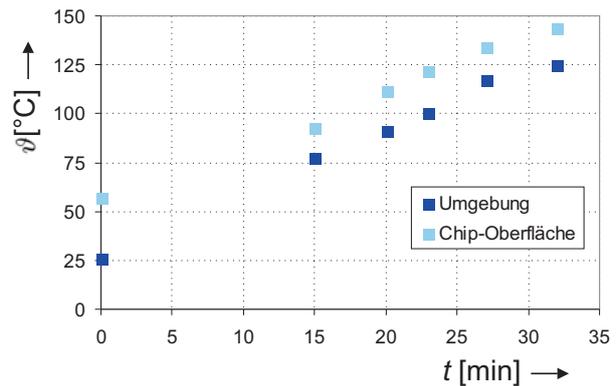


Abbildung 6.5: Störungen bei erhöhten Temperaturen (Si-IGBT-Wechselrichter)

sowie Kontaktierungen. Da sämtliche Bauelemente und Komponenten bei Temperaturen oberhalb von 150°C im Grenzbereich betrieben werden, bedarf es einer genaueren Analyse zum Aufzeigen der Ausfallquellen u. a. durch statistische Aussagen (s. Kap. 2), worauf jedoch an dieser Stelle verzichtet wurde.

Im zweiten Schritt wurden zur Verkürzung der Zuleitungen und zur Vervollständigung eines Hochtemperatur fähigen Systems eine vereinfachte Steuerung auf Basis eines 16-Bit-Digitalen Signal Prozessors (DSP) der Firma Microchip vom Typ dsPIC30F4011/PT sowie Automobil spezifizierte Stromsensoren (Typ HC5F80, LEM-Muster) mit einem Betriebsbereich bis $\vartheta_{\text{amb,max}} = 125^\circ\text{C}$ in die Hochtemperaturumgebung implementiert und getestet. Nach Herstelleraussage sind die Stromsensoren kurzzeitig bis 150°C betreibbar. Aufgrund der für Prozessoren typischen Eigenerwärmung ist daher der DSP gegenüber dem Stromsensor als thermisch kritischer einzustufen. In den Versuchen erfolgte die Temperaturerfassung des DSPs über eine Infrarotkamera. Abb. 6.6 a) zeigt eine Infrarotaufnahme des DSPs mit Kühlkörper bei einer Umgebungstemperatur von 125°C, welches zu einer Gehäuseoberflächentemperatur von 144°C führt (Interne Taktfrequenz $16 \times 7,31$ MHz, vgl auch [Iriq]). Die Chip-Temperatur des DSP liegt entsprechend einige Grad darüber. Abb. 6.6 b) zeigt die gemessenen Oberflächen-

(a) Infrarotbild des DSPs ($\vartheta_{\text{amb}} = 125^\circ\text{C}$)

(b) Temperaturkurve

Abbildung 6.6: Temperaturversuche am DSP

und Umgebungstemperaturen im thermisch eingeschwungenem Zustand, wobei die Umgebungstemperatur nach Erreichen des eingeschwungenen Zustandes stufenweise erhöht wurde. Hierbei ist eine Temperaturdifferenz von etwa 25°C für alle Umgebungstemperaturen ersichtlich. Eine höhere Prozessor-Auslastung oder -frequenz würde zu höheren Bauteilverlusten und somit zu einer größeren Temperaturdifferenz führen.

Die Tests zeigten, dass bei den benannten Komponenten sogar unter Vernachlässigung der Lebensdauern Anforderungen Umgebungstemperaturen oberhalb von 125°C als kritisch einzustufen sind. Die Bauteil internen Temperaturen sind über bereitzustellende Kühlpfade zu begrenzen und die verwendeten Materialien, Kontaktierungen und Elektronikbauteile den Anforderungen entsprechend auszuwählen. Auch wenn eine kontinuierliche Weiterentwicklung der Komponenten und deren Technologien stattfindet, so wird der thermische Grenzbereich des Systems durch die Anzahl an verschiedenen Komponenten nur in kleinen Schritten steigen. Darüber hinaus werden die Lebensdauern der Komponenten bei höheren Einsatztemperaturen verkürzt und die mechanischen Belastungen erhöht. Durch die vorangegangenen Halbleiteruntersuchungen ist ableitbar, dass die bei erhöhten Temperaturen steigenden Sperrströme und Durchlassspannungen zu einer drastischen Erhöhung der Verluste führen können. Die Weiterentwicklung der derzeitigen Halbleiter oder die Einführung neuer robusterer Halbleitertechnologien auf Basis von SiC ist somit nur *ein* technologischer Schritt in Richtung hohtemperaturfähiger und robuster Systeme.

6.1.3 EMV gerechter Schaltungsentwurf

Die günstigen dynamischen Eigenschaften der SiC-Halbleiter erlauben den Einsatz auch bei hohen Schaltfrequenzen. Allerdings führen höhere Flankensteilheiten der Spannungen und Ströme während der Kommutierung zu einem erhöhten elektromagnetischen Störpegel. Um einen möglichst störungssicheren Betrieb der im Folgenden beschriebenen Versuchswechselrichter zu gewährleisten, wurden beim Schaltungsentwurf und -layout der SiC-Wechselrichter in Anlehnung an [Fran] verschiedene Aspekte zur Störfestigkeit berücksichtigt.

Hierzu zählen grundlegende Entwurfsregeln, wie die Unterbindung einer gegenseitigen Beeinflussung verschiedener Baugruppen durch eine Entkopplung der jeweiligen Spannungsversorgungen mittels Blockkondensatoren. Rückwirkungen durch Strompulse einzelner Bausteine sollen hierdurch unterbunden und Spannungseinbrüche im Versorgungspfad reduziert werden, wobei die Blockkondensatoren zusätzlich einen Kurzschluss für hochfrequente Störströme darstellen. Desweiteren wurde neben einem sternförmigen Masse-Flächenkonzept eine zusätzliche Masse-Schirmfläche und ein Kurzschlussring am Leiterplattenrand vorgesehen. Dies stellt ein einheitliches Bezugspotenzial durch geringe Masseimpedanzen sicher und ermöglicht die Ableitung und Dämpfung von externen Störungen. Um eine hohe Störfestigkeit zu erreichen, wurden weiter die digitalen und analogen Logikschaltungen getrennt und mit einer eigenen Massefläche ausgestattet. Die Signalleiterbahnen wurden möglichst entfernt von und senkrecht zu den Leistungspfaden angelegt, wobei die Signal-Leiterbahnen durch dazwischen liegende Masse-Leiterbahnen zusätzlich entkoppelt wurden.

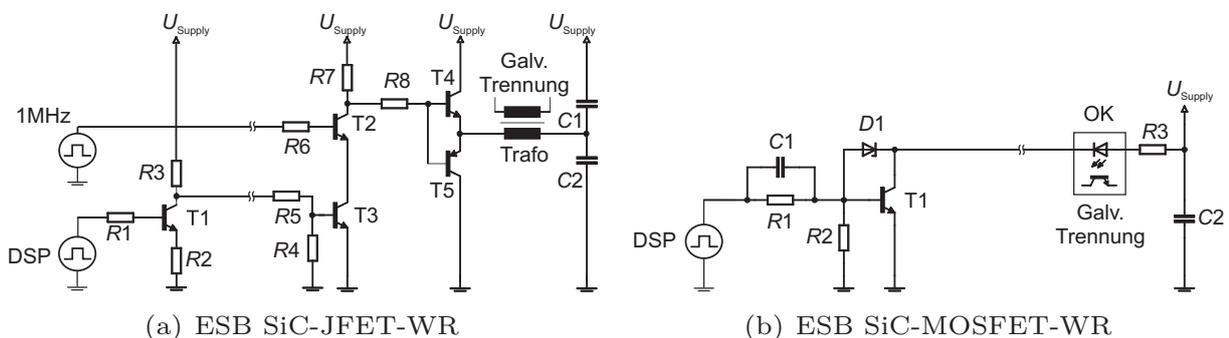


Abbildung 6.7: Signalpfad zwischen DSP und Treiberstufen

Insbesondere wurde vor dem Hintergrund der Störeinkopplung bei dem IGBT-Versuchswechselrichter auf den langen Signalleitungen zwischen Steuerung und Treiberstufen eine störungssichere Signalübertragung mittels Stromsignalen realisiert. Abb. 6.7 a) und b) zeigen die entsprechende Schaltung für beide SiC-Wechselrichter, wobei die galvanische Trennung innerhalb der Signalübertragung beim SiC-JFET-WR über einen Transformator und beim SiC-MOSFET-WR über einen Optokoppler realisiert wurde. In den jeweiligen Umsetzungen treibt der Transistor T1 einen Strom von etwa 10 mA, um Störeinkopplungen zu reduzieren.

6.2 SiC-JFET-Wechselrichter (Fokus: Hochtemperatur)

Die robuste Struktur des LC-VJFET ist aussichtsreich für Hochtemperaturanwendungen, weshalb auch bei dem folgenden Versuchswechselrichter ein hochtemperaturfähiges Konzept verfolgt wurde.

6.2.1 Systembeschreibung

Abb. 6.8 zeigt das Blockschaltbild des aufgebauten SiC-JFET-Wechselrichters mit dessen Signal- und Erdungsleitungen. Sowohl der Leistungsteil des Systems als auch die Steuerung werden innerhalb einer Hochtemperaturumgebung betrieben. Die Bedienung des Systems und die Bereitstellung der Elektronikversorgung erfolgt über eine getrennte Bedieneinheit, die optional an einen PC angeschlossen werden kann. Die Speisung des Zwischenkreises erfolgt über ein 3 kW-Netzteil mit einstellbarer DC-Spannung. Aufbauend auf den vorangegangenen Untersuchungsergebnissen, den spezifischen Ansteuerbedürfnissen der Halbleiterschalter und den verfügbaren Elektronikbauteilen und -komponenten wurde der in Abb. 6.9 a) abgebildete hochtemperaturfähige SiC-JFET-Wechselrichter entwickelt und aufgebaut. Abb. 6.9 b) zeigt den Versuchsstand mit Ofen und Messumgebung. Die Speisung des Zwischenkreises erfolgt über ein 3 kW-Netzteil mit einstellbarer DC-Spannung.

Leistungsteil

Der Zwischenkreiskondensator benötigt bei Hochtemperaturumgebungen aufgrund der erforderlichen dickeren Folien zur Gewährleistung der Lebensdauer

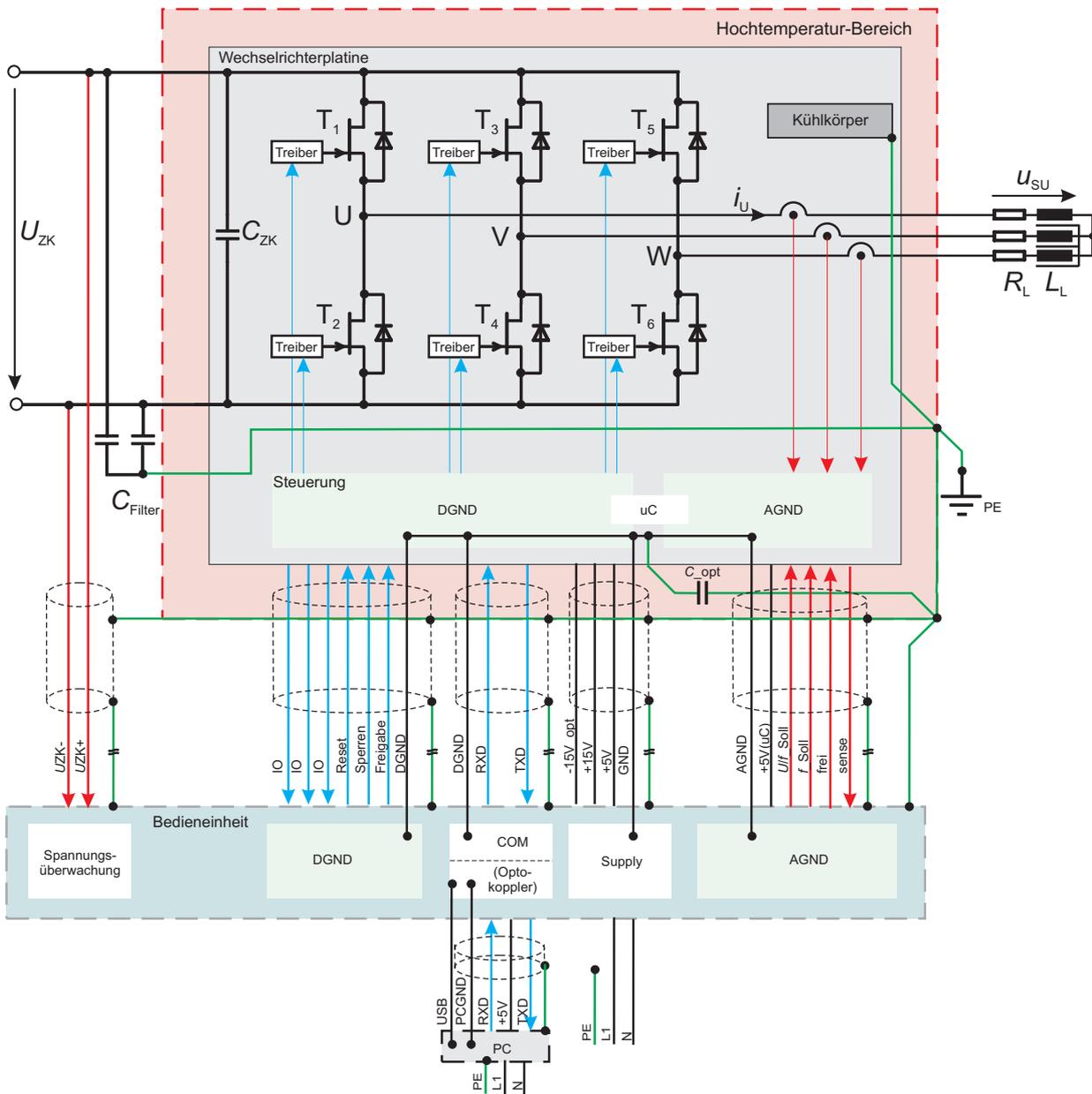
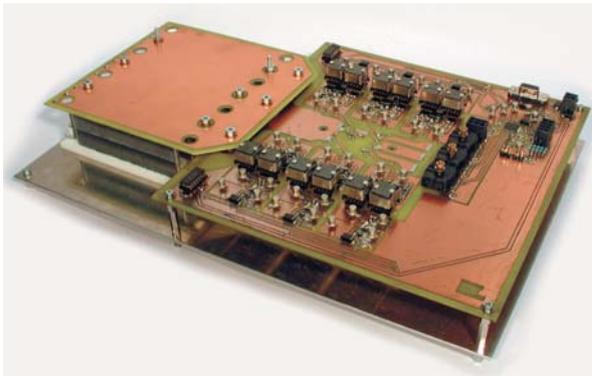


Abbildung 6.8: Blockschaltbild des SiC-JFET-Versuchswechselrichters

sowie der Spannungsfestigkeit ein deutlich größeres Bauvolumen. Daher sollte ein Auslegungsziel beim Zwischenkreiskondensator für Hochtemperaturanwendungen die Minimierung der benötigten Kapazität bzw. der benötigten Wechselstrombelastbarkeit sein. Für die Auslegung sind Anwendungsparameter wie Schaltfrequenz, Ausgangsstrom und -spannung, zulässiger Spannungsrippel und die Wechselstrombelastbarkeit ausschlaggebend. Insbesondere bei Batterie gespeisten Systemen muss ein Kompromiss zwischen Lebensdauer reduzierenden



(a) Versuchswechselrichter

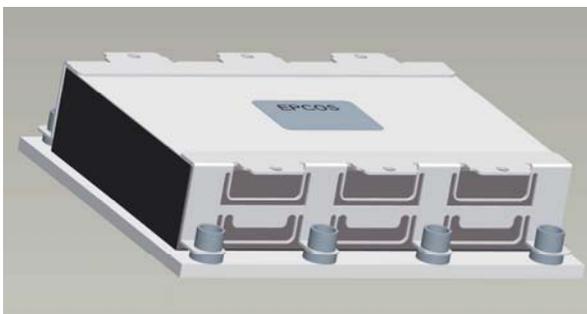


(b) Prüfplatz

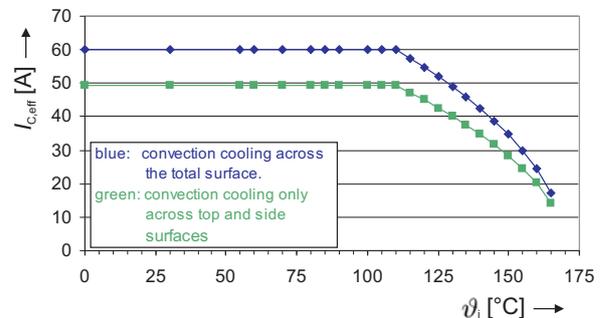
Abbildung 6.9: SiC-JFET-Wechselrichter

Wechselstrombelastungen der Batterie und einem tolerierbaren Bauvolumen des Kondensators gefunden werden.

Im SiC-JFET-Versuchswechselrichter findet für eine hohe Wechselstrombelastbarkeit und für die zu erwartenden Temperaturanforderungen ein Filmkondensator-Muster der Firma Epcos Einsatz. Das verwendete Folienmaterial ist hierbei metallisiertes PEN, womit eine Maximaltemperatur von 150°C möglich ist. Die Muster besitzen eine Spannungsfestigkeit von 650 V und eine Kapazität von $80\ \mu\text{F}$. Die Strombelastbarkeit des Kondensators beträgt nach Herstellerangaben 50 A bei Raumtemperatur und ca. 30 A bei $\vartheta_{\text{amb}} = 150^{\circ}\text{C}$. In Hinblick auf die relativ niedrige Stromtragfähigkeit der Halbleitermuster und der überschlägigen Wechselstrombelastungsabschätzung für eine dreiphasige Drehstrombrücke



(a) Kondensatorskizze



(b) Strom-Derating

Abbildung 6.10: Eingesetzter HT-Folien-Zwischenkreiskondensator [Epcol]

$I_{C,rms} = \frac{\hat{i}_{Str}}{2}$ ist daher ein Kondensatormuster ausreichend. Abb. 6.10 a) und b) zeigen die Skizze des eingesetzten Kondensators sowie dessen vom Hersteller angegebene Strombelastbarkeit über ϑ_{amb} .

Die SiC-LC-VJFET sind als Drehstrombrücke in einem Gehäuse mit jeweils drei parallelen Chips (vgl. Abb. 6.11) angeordnet und niederinduktiv an den Zwischenkreiskondensator angeschlossen.

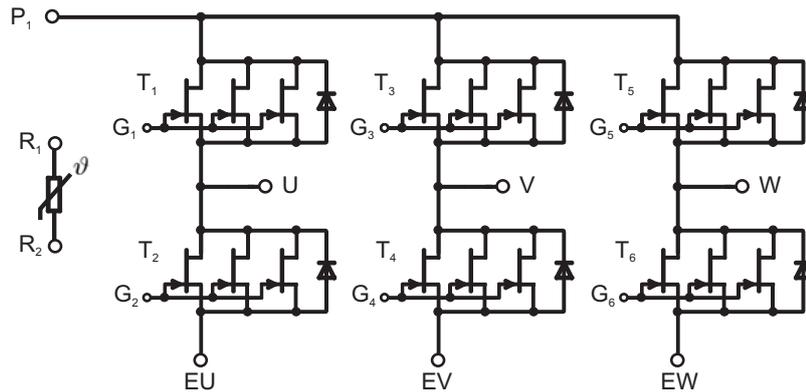


Abbildung 6.11: B6-JFET-Modul mit drei parallelen Chips

Allerdings unterscheiden sich die Gate-Charakteristiken der Chips im B6-Modul von denen der für die Untersuchungen in Kap. 4 verwendeten Testmuster bezüglich der Pinch-off- und Punch-Through-Bereiche. Das zulässige Ansteuerfenster der Gate-Sperrspannungen innerhalb dieser Charge liegt unterhalb der einzelnen Chips. Abb. 6.12 zeigt die Gate-Charakteristik der parallelen JFET-Chips mit den sich im Vergleich zu Abb. 4.11 unterscheidenden Pinch-off und Punch-through. Der Gate-Sperrspannungslevel des B6-Moduls wurde für sämtliche Schalterpaare einheitlich zu etwa -28 V gewählt. Hiermit liegt $U_{GS,aus,opt}$ entsprechend den Beschreibungen in Kap. 4 leicht in der Punch-through-Region. Allerdings ist das Spannungsfenster zwischen Pinch-off und Punch-through deutlich verringert, welches einen geringeren Störabstand und somit ungünstigere Voraussetzungen bezüglich des ungewollten Einschaltens darstellt.

Bei den parallel geschalteten Chips zur Erhöhung der Stromtragfähigkeit des Moduls ist zu berücksichtigen, dass auch innerhalb der Parallelschaltung Bauteilstreuung bedingte Unsymmetrien in der Aufteilung der statischen aber auch insbesondere der dynamischen Verluste entstehen können. Der Nennstrom des Halbleitermoduls beträgt bei Annahme einer symmetrischen Aufteilung und ei-

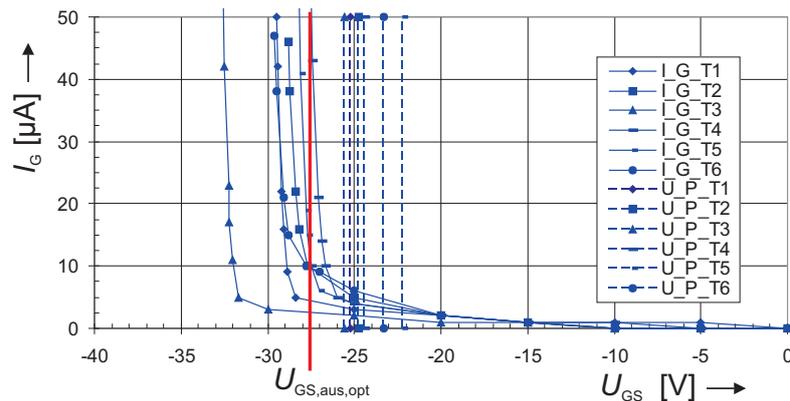


Abbildung 6.12: Gate-Charakteristik des B6-JFET-Moduls

ner Durchlassspannung von 2 V entsprechend Kap. 4 etwa 6 A pro Chip und somit 18 A für das Modul. Als eher unkritisch einzustufen ist die Aufteilung im statischen Fall, da hierbei die Ströme bei bauteilstreuungsbedingtem unterschiedlichen $R_{DS,on}$ nur geringe Abweichungen besitzen und ein positiver Temperaturkoeffizient eine Mitkopplung verhindert. Im dynamischen Fall übernimmt der Chip mit dem niedrigsten Pinch-off-Spannungslevel den gesamten Strom während des Kommutierungsvorganges, was zu deutlich höheren Schaltverlusten im Chip führen könnte. Da allerdings die Gate-Eingänge der jeweiligen Chips nicht einzeln zugänglich sind und somit die Strom- sowie die Verlustaufteilung unbekannt sind, wurde für die Untersuchungen $\hat{i}_{T,Nenn}$ auf 10 A definiert, so dass im Falle einer ungünstigen Stromaufteilung ein einzelner Chip den gesamten Strom führen könnte.

JFET-Treiberstufe

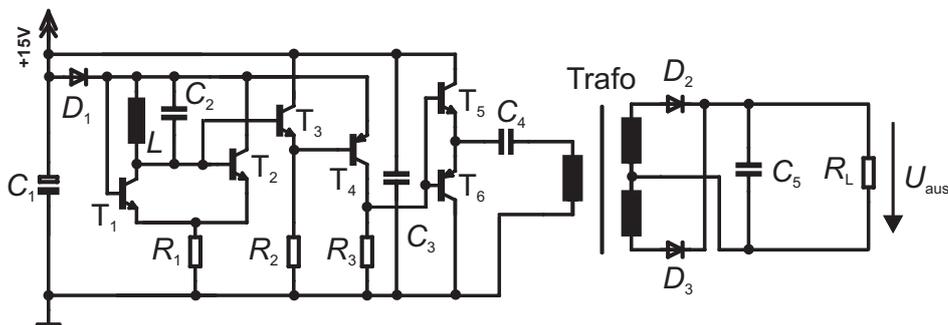
Mit Berücksichtigung des in Kap. 4 beschriebenen Temperatur abhängigen Gate-Verhaltens der SiC-LC-VJFETs, deren relativ kleinen Fenstern für die Gate-Ausschaltspannung sowie der Einschränkung bei der BauteilAuswahl in Hinblick auf die Temperaturanforderungen nach Abb. 6.1, kommt der JFET-Treiberstufe eine besondere Bedeutung zu. Um das Potenzial der SiC-Halbleiter für höhere Einsatztemperaturen ausnutzen zu können, wird daher eine Treiberstufe benötigt, die im Idealfall über der Temperatur konstante und auf die Halbleiter angepasste Ansteuerpegel besitzt. Aufgrund der örtlichen Nähe zu den Leistungshalbleitern

als Wärmequelle sollte der zulässige Temperaturbereich bis 175°C gewährleistet sein.

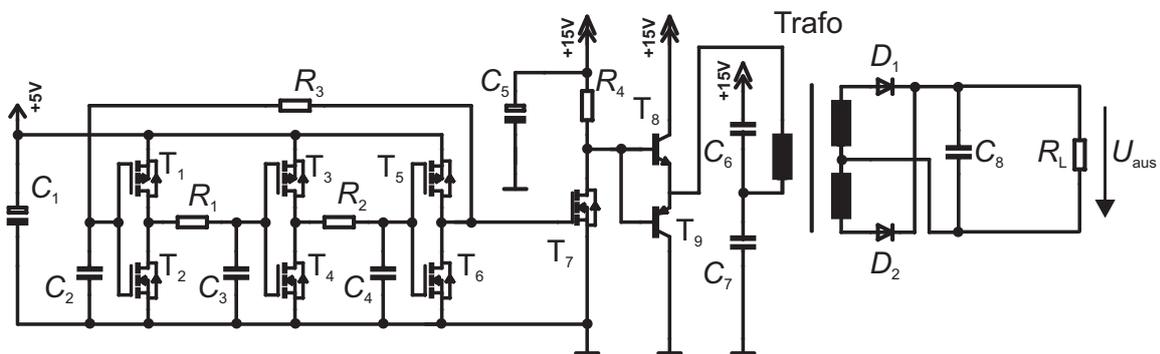
Die Ausgangsleistung einer Treiberstufe beträgt nach [Semi2] näherungsweise

$$P_{Tr} = C_{ein} \cdot (U_{GS,ein} - U_{GS,aus})^2 \cdot f_{Schalt}. \quad (6.1)$$

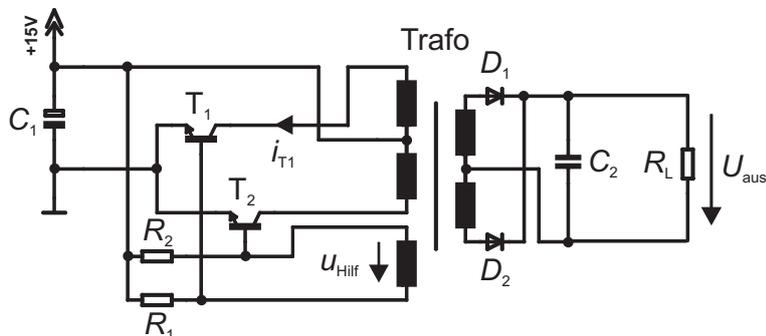
Im Falle der zur Verfügung gestellten SiC-Leistungshalbleiter sind die Eingangskapazitäten verhältnismäßig klein ($C_{ein} = C_{GS} + C_{GD} < 1 \text{ nF}$), so dass bei einer



(a) LC-Schwinger



(b) MOSFET-Schwinger



(c) Sättigungswandler

Abbildung 6.13: IC-lose selbstschwingende Netzteilvarianten

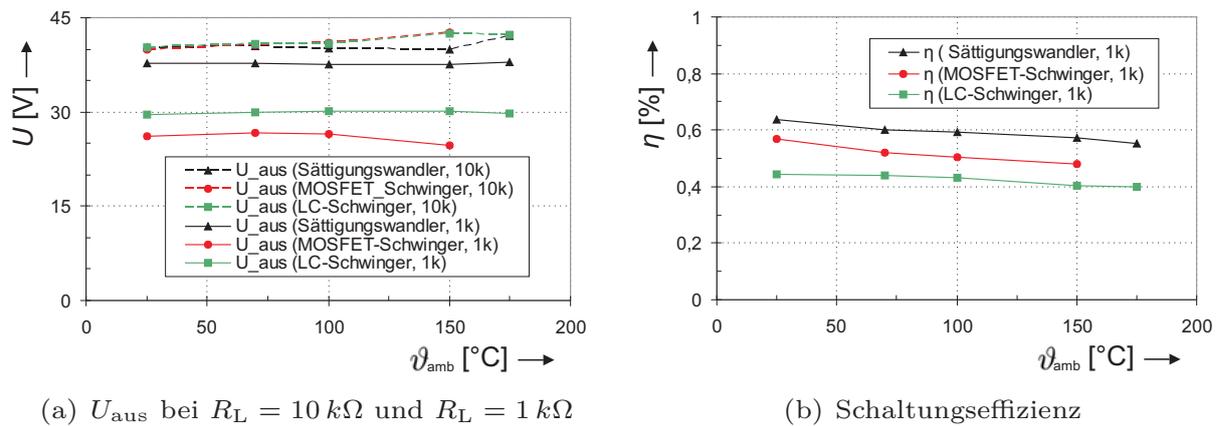


Abbildung 6.14: Eigenschaften der getesteten selbstschwingenden Netzteile

Parallelschaltung von mehreren Halbleiter-Chips ein Treiberstufennetzteil mit einer Ausgangsleistung von 1 W auch für hohe Schaltfrequenzen ausreichend ist.

Da für den angestrebten Temperaturbereich keine Spannungsregler-ICs erhältlich sind, wurden für die Potenzial getrennte Versorgung drei selbstschwingende IC-lose Netzteilvarianten untersucht, bei denen auf primärseitige Taktgeber- und sekundärseitige Spannungsregler verzichtet werden kann. Abb. 6.13 zeigt die drei untersuchten Varianten LC-Schwinger, MOSFET-Schwinger und Sättigungswandler.

Für die geforderten (geringen) Treiberleistungen hat sich der Sättigungswandler als attraktiver Kompromiss dargestellt, der bis zu der Treiberausgangsleistung von 1 W eine thermisch stabile Ausgangsspannung liefert und eine hohe Belastungsstabilität aufweist (vgl. Abb. 6.14). Zusätzlich besitzt der Sättigungswandler gegenüber den anderen Varianten einen günstigeren Wirkungsgrad, unkritischere Hot-Spots und ist aufgrund des sehr geringen Bauteilaufwandes ausfallsicher und kostengünstig. Aufgrund dieser Vorzüge wird im Folgenden nur der Sättigungswandler näher erläutert.

Bei Anlegen einer Versorgungsspannung an den Sättigungswandler, werden aufgrund der Basisankopplung an den Pluspol die Transistoren T_1 und T_2 leitfähig. Sobald sich ein Strom in einer Transformatorwicklung und einem Transistor (z. B. T_1) aufbaut, steigt im Transformator Kern die magnetische Flussdichte B linear an (vgl. Abb. 6.13 und Abb. 6.15). Die resultierende konstante Flussänderung ($d\phi/dt$) verursacht einen Spannungsabfall an der Hilfswicklung u_{Hilf} ,

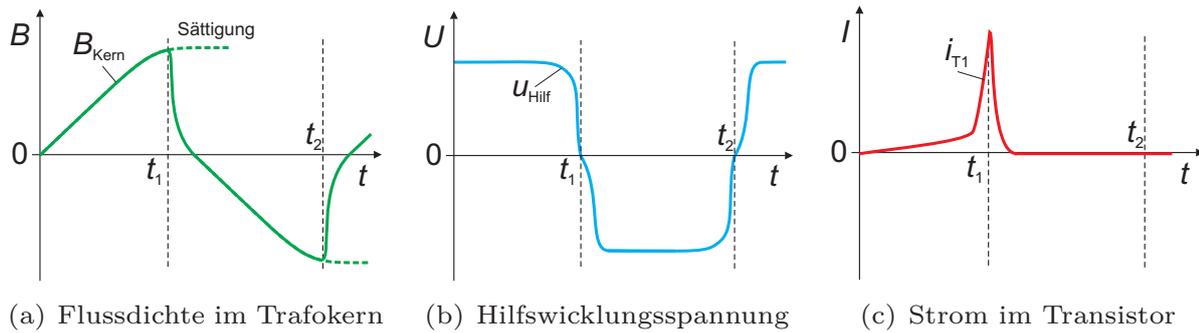


Abbildung 6.15: Schematische Kurvenverläufe zum Sättigungswandler

der die Basis des korrespondierenden T_2 herunter zieht und somit ausschaltet ($t < t_1$). Der Spannungsabfall an der Hilfswicklung bleibt so lange vorhanden, bis der Kern in die Sättigung geht ($t = t_1$) und das $d\phi/dt$ sinkt. In dieser Phase wird der zweite Transistor wieder leitend und übernimmt den Strom, so dass sich die Flussrichtung umkehrt und die Hilfsspannung mit entgegengesetzter Polarität aufbaut ($t_1 < t < t_2$). Dies führt zum Sperren von T_1 und zum Anstieg des Stromes bis der Kern erneut kurzzeitig sättigt ($t = t_2$). Die resultierende Wandlerfrequenz wird somit durch die Transformatorparameter bestimmt und ist aufgrund der Verwendung des hochoberflächenfähigen Kernmaterials N45 (Curie-Temperatur von über 255°C) nahezu Temperatur unabhängig. Auch wenn sich im Vergleich der drei Varianten der Sättigungswandler als verlustärmste Variante erwies, beschränkt sich aufgrund des periodischen Betriebes in der Sättigung der Anwendungsbereich dieser Netzteilvariante auf nur geringe Leistungen.

Da herkömmliche Optokoppler nicht den erforderlichen Temperaturbereich abdecken, wird die Potenzialtrennung innerhalb der Signalübertragung bei dieser Treiberstufe ebenfalls über einen Transformator entsprechend Abb. 6.7 a) realisiert. Um Gleichtaktströme und Störungen zu vermeiden, sollte der Überträger eine geringe Koppelkapazität besitzen, was einer kleinen Windungszahl bei entsprechendem Isolationsabstand gleichkommt. Aufgrund der Einschränkungen durch die erhöhten Einsatztemperaturen wurde in den Treiberstufen für den Versuchswchselrichter auf Schutzfunktionen wie Kurzschlussüberwachung oder Active Clamping verzichtet. Allerdings wurde ein Gate-Clamping vorgesehen, um das parasitäre Einschalten und somit zusätzliche Schaltverluste zu reduzieren. Die Treiberstufen des Versuchswchselrichters sind bezüglich der Gate-Auswahl-

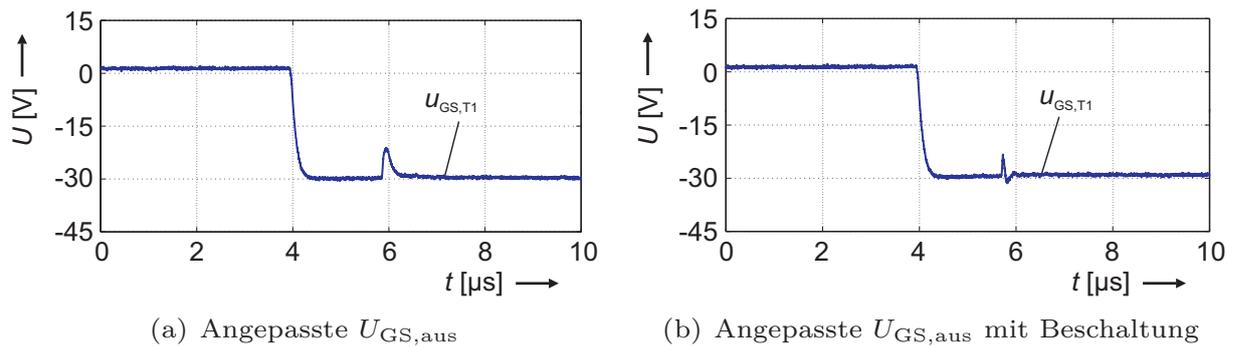


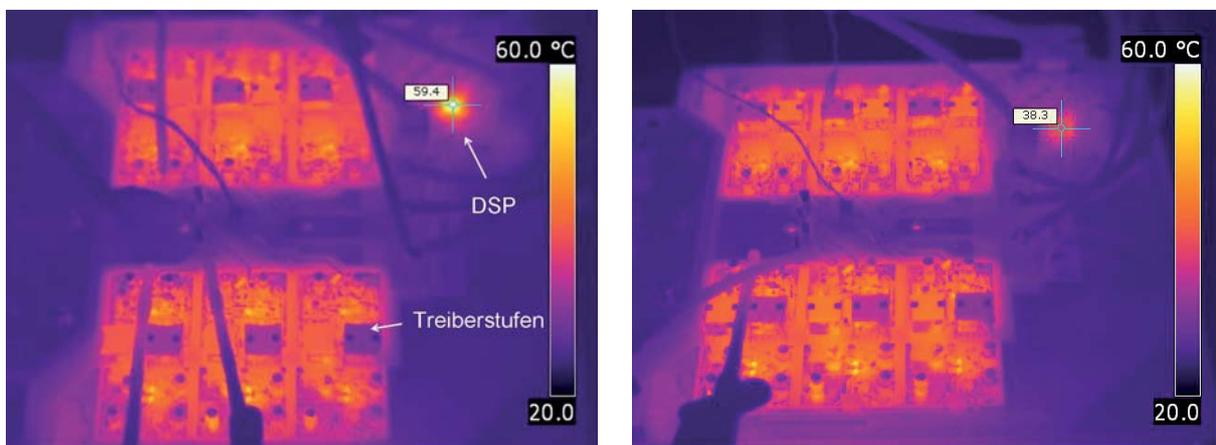
Abbildung 6.16: Spannungseinbruch am Gate mit und ohne Zusatzbeschaltung

spannungslevel der JFETs im B6-Mustermodul so optimiert, dass der maximale Störabstand zur Vermeidung des ungewollten Einschaltens ausgereizt wurde. Jedoch wird das ungewollte Einschalten in diesem Fall nicht gänzlich unterdrückt, da die im Modul eingesetzten JFETs einen noch geringeren Abstand zwischen Pinch-off und Punch-through als die Muster aus Kap. 4 aufweisen und zusätzlich die Spannungsfenster durch die Parallelschaltung von drei der Bauteilstreuung unterliegenden Chips reduziert wurden. Daher wurde die Treiberstufe zur Unterdrückung des ungewollten Einschaltens mit einem Transistor über dem Gate-Widerstand entsprechend Abb. 4.24 b) ausgestattet, der nach dem Ausschaltvorgang den R_G überbrückt. Abb. 6.16 zeigt den Einbruch in der Gate-Spannung ohne und mit Zusatzbeschaltung bei einem $R_G = 10 \Omega$. Aufgrund der parasitären Größen der Bauelemente und Zuleitung kann hierdurch das ungewollte Einschalten nicht vollständig unterdrückt, aber zumindest deutlich verkürzt werden.

In den Treiberstufen sind ausschließlich Bauelemente eingesetzt, die für eine maximale Umgebungstemperatur bis mindestens 150°C qualifiziert sind, wobei die Elektronikcondensatoren (Al-Elko und X8R-Folie) die thermische Grenze vorgeben. Darüber ist der Betrieb unter Inkaufnahme einer entsprechenden Lebensdauereinschränkung auch bis 175°C möglich. Versuche an einer Testtreiberstufe zeigten, dass die Sättigungsverluste der Übertrager als unkritisch einzustufen sind ($\vartheta_{\text{Kern}} = 182,7^\circ\text{C}$ bei $\vartheta_{\text{amb}} = 175^\circ\text{C}$). Abb. 6.17 zeigt die Infrarotaufnahme des Wechselrichters im Betrieb bei Raumtemperatur, worin die sechs Treiberstufen deutlich zu erkennen sind. Die Hot-Spots innerhalb der Treiberstufen mit einem $\Delta\vartheta = 30^\circ\text{C}$ sind unkritisch und betreffen einzelne Widerstände, deren ϑ_{max} mit 200°C angegeben sind.

DSP-Steuerung

Für die Steuerung findet ebenfalls ein DSP vom Typ dsPIC30F4011/PT der Firma Microchip Einsatz. Der speziell für den Einsatz von Motorsteuerungen entwickelte Baustein bietet eine entsprechende Peripherie mit einem PWM-Modul zur Erzeugung der Ansteuersignale für eine dreiphasige Brückenschaltung mit sinusförmigen Ausgangsströmen. Als Taktgeber wird der interne 7.37 MHz-Clock verwendet, da Quarze nicht den nötigen Temperaturbereich abdecken. Die Eigen erwärmung des Prozessors (ca. 30°C) und der begrenzte Temperaturbereich von bis zu 150°C Chip-Temperatur macht dieses Bauteil zum thermisch kritischsten Bauelement des Systems.



(a) Hot-Spot: DSP ohne Kühlkörper

(b) DSP mit Kühlkörper und $\frac{1}{4} \cdot f_{CLK}$

Abbildung 6.17: Infrarotaufnahme des SiC-JFET-Wechselrichters

Um die erreichbare Umgebungstemperatur herauf zu setzen, erhält der Prozessor des Versuchswechselrichters einen Kühlkörper und wird darüberhinaus mit einer geminderten internen Prozessortaktfrequenz f_{CLK} betrieben. Hierfür wurde der interne RC -Oszillator mit der niedrigsten Frequenzvervielfachung verwendet. Die Reduzierung führt bei den PWM-Timern zu einer Auflösungseinschränkung (8 Bit), welche für die Versuche ausreichend ist. Die Infrarotaufnahme des Wechselrichters in Abb. 6.17 a) zeigt den DSP ohne Kühlkörper und einer internen Taktfrequenz von $16 \times 7,31$ MHz (rechts oben). In dieser Konfiguration beträgt die Oberflächentemperatur des DSP $\vartheta_{sur} = 59,6^\circ\text{C}$ bei $\vartheta_{amb} = 25^\circ\text{C}$, welches unter der Annahme, dass der Temperaturunterschied zwischen Sperrschicht und

Gehäuse maximal 5°C beträgt, den Temperaturbereich des Wechselrichters somit auf unter $\vartheta_{\text{amb,max}} = \vartheta_{\text{DSP,J,max}} - 5^{\circ}\text{C} - (\vartheta_{\text{sur}} - \vartheta_{\text{amb}}) = 110^{\circ}\text{C}$ einschränken würde. Abb. 6.17 b) zeigt die gleiche Aufnahme bei reduzierter DSP-Taktfrequenz ($4 \times 7,37 \text{ MHz}$) mit Einsatz eines Kühlkörpers. Dies reduziert die Gehäusetemperatur auf 38°C ($\Delta\vartheta = 13^{\circ}\text{C}$ gegenüber Raumtemperatur), wodurch der zulässige Einsatzbereich des DSP und somit für den Wechselrichter rechnerisch bis $\vartheta_{\text{amb,max}} = 132^{\circ}\text{C}$ gewährleistet ist.

Die Benutzereingabe der Betriebsparameter (U/f -Kennliniensteuerung) erfolgt über eine externe Bedieneinheit, die zusätzlich die Versorgung der Elektronik bereitstellt. Zur Überstromerkennung dienen die Stromsensoren vom Typ HC5F80 der Firma LEM, deren Analogsignale über den A/D-Wandler des DSP ausgewertet werden.

6.2.2 Messergebnisse

Nach Inbetriebnahme der Treiberstufen, der Steuerung und der Überstromerkennung erfolgte die Prüfung der Funktionsfähigkeit des SiC-JFET-Wechselrichters an einer dreiphasigen ohmsch-induktiven Last ($R_L = 15 \Omega$, $L_L = 1,17 \text{ mH}$). Hierbei steht neben der Überprüfung der grundsätzlichen Einsatzfähigkeit der

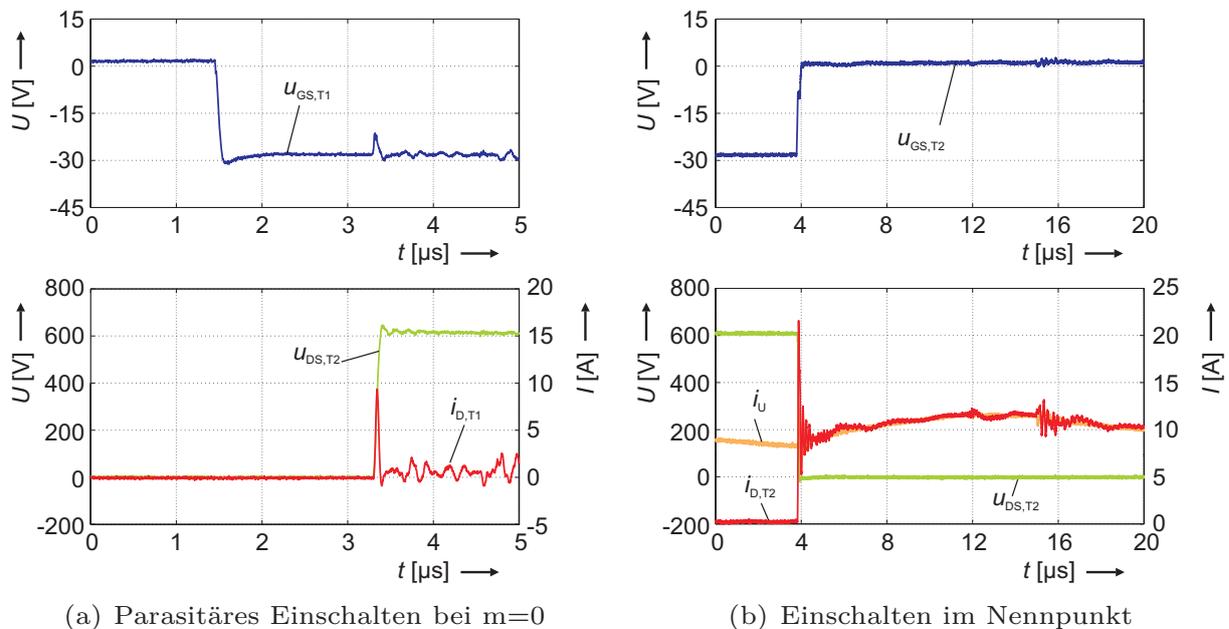


Abbildung 6.18: Parasitäres Einschalten bei 600 V, 20 kHz, 25°C

Halbleiterprototypen das Verhalten des Wechselrichters im Betriebspunkt $U_{ZK} = 600\text{ V}$ und $\hat{i}_L = 10\text{ A}$ (definierter Nennpunkt) bei Raumtemperatur und bei erhöhten ϑ im Vordergrund. Bei den im Folgenden dargestellten Ergebnissen gelten die angegebenen Wirkungsgrade für die entsprechenden Betriebspunkte bei Einsatz der Gate-Widerstände $R_G = 10\ \Omega$, um Spannungsteilheiten von unter $10\text{ kV}/\mu\text{s}$ sicherzustellen.

Die Verläufe in Abb. 6.18 a) zeigen das ungewollte Einschalten in einer Halbbrücke des Wechselrichters bei $U_{ZK} = 600\text{ V}$ und $m = 0$. Da in diesem Betriebspunkt das Tastverhältnis der Einschaltzeiten von Ober- und Unterschalter 50% betragen, ist in diesem Betriebspunkt der Mittelwert des Laststromes $\bar{i}_L = 0$. Somit schalten die Halbbrückenschalter T_1 und T_2 stromlos und der Anteil des ungewollten Einschaltens wird ersichtlich. Die Amplitude des Strompeaks beim Einschalten beträgt trotz angepasstem Gate-Ausschaltspannungslevel und Gate-Clamping noch 9 A . Da die Schaltverluste somit in der Größenordnung der idealen Schaltverluste (ohne ungewolltes Einschalten) im Nennpunkt liegen, sind sie im Hinblick auf eine mögliche Zerstörung als unkritisch einzustufen. Bei Steigerung des Modulationsgrades und dem damit ansteigenden Schalterstrom verändert sich die Amplitude des Einschaltstrompeaks kaum. Abb. 6.18 b) zeigt den Strompeak des Einschaltvorganges bei $\hat{i}_L = 10\text{ A}$ ($m > 0$).

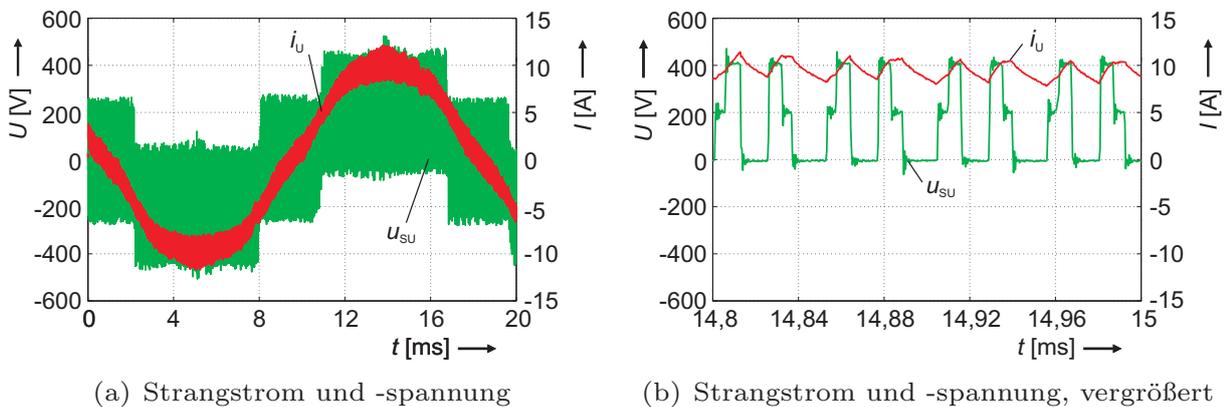


Abbildung 6.19: JFET-Wechselrichter-Verläufe, 600 V , 10 A , 20 kHz , 25°C

Abb. 6.19 a) und b) zeigen die Phasenspannung und den sinusförmigen Ausgangsstrom bei 600 V und 10 A und $m \approx 0,6$. Die Taktfrequenz beträgt 20 kHz und die Frequenz der Grundschwingung ca. 50 Hz . Die Vergrößerung in Abb. 6.19 b) zeigt den durch die Lastinduktivität und Taktfrequenz resultierenden Strom-

rippel und die sich aus den Schaltzuständen ergebende gestufte Strangspannung. In diesem Betriebspunkt wird ein Wirkungsgrad $\eta = 97,4\%$ erreicht (Bestimmung durch Leistungsmessgerät Yokogawa WT3000). Dies ergibt bei einer Eingangsleistung von 2,5 kW Wechselrichtergesamtverluste P_V von etwa 62 W und eine Modultemperatur von unter 40°C ohne Betrieb der Wasserkühlung. Für $m = 1$ und $\hat{i}_L = 10$ A und der entsprechend niedrigeren Zwischenkreisspannung von 400 V beträgt $\eta = 98,3\%$ ($P_{\text{ein}} = 2,5$ kW). Hierbei ist anzumerken, dass der ohnehin schon relativ gute Wirkungsgrad bei Inkaufnahme von höheren Spannungssteilheiten durch einen kleineren R_G sogar noch weiter erhöht werden könnte.

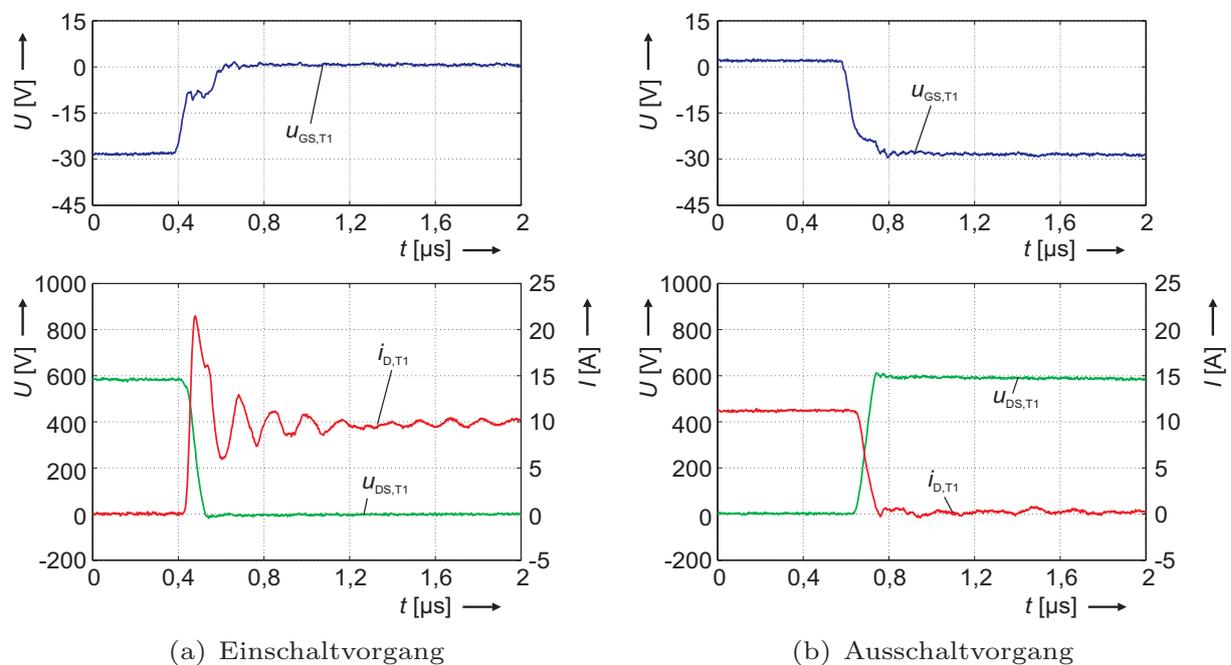


Abbildung 6.20: JFET-Wechselrichter, 600 V, 10 A, 20 kHz, 25°C

Abb. 6.20 a) und b) zeigen Strom-, Spannungs-, und Gate-Spannungsverläufe der drei parallelen Chips während des Ein- und Ausschaltens bei $R_G = 10 \Omega$. Das resultierende du/dt beträgt etwa $7,5 \text{ kV}/\mu\text{s}$ für das Ein- und Ausschalten. Im Unterschied zu den Messungen am JFET mit einem Chip treten im Wechselrichter während des Einschaltens zwischen den parallelen JFETs Oszillationen auf, die durch ein unsymmetrisches Einschaltverhalten der parallelen Chips in Verbindung mit den parasitären Zuleitungsinduktivitäten (Bonddrähte) verursacht werden könnten.

Die Funktionstests des Wechselrichters erfolgen bis zu einer Umgebungstemperatur $\vartheta_{\text{amb}} = 125^\circ\text{C}$, deren Messung mittels eines PT100-Sensors durchgeführt wird. Die Sperrschichttemperatur ϑ_j wird über einen Modul internen temperaturabhängigen Widerstand mit negativen Temperaturkoeffizienten (NTC) bestimmt, während die Wechselrichter-Hot-Spots und die Kühlkörpertemperatur der Leistungshalbleiter über eine Infrarotkamera ermittelt wurden. Die Infrarotbilder des Wechselrichters von oben und des Kühlkörpers der Leistungshalbleiter bei $\vartheta_{\text{amb}} = 125^\circ\text{C}$ zeigen Abb. 6.21 a) und b). Die erkennbaren dunklen Flächen sind Reflexionen auf glatten Metallflächen und spiegeln die Temperaturen der Umgebung bei geöffneter Kammer wieder. Die Bestimmung der gemessenen Temperaturen erfolgt auf der Platine und auf einer Markierung am Kühlkörper, deren jeweiliger Emissionskoeffizient nahe eins liegt.

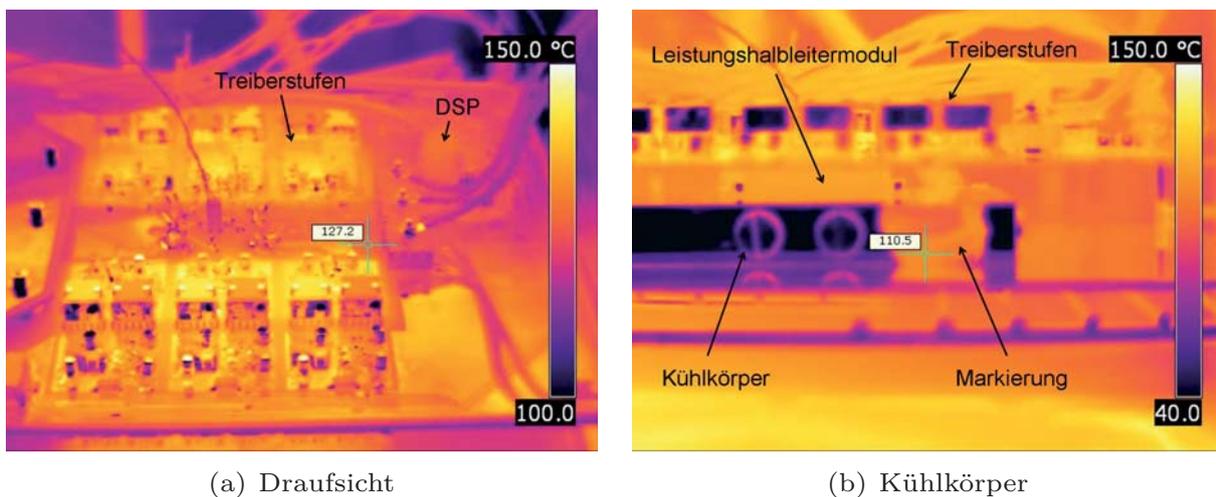


Abbildung 6.21: Infrarotbilder des JFET-Wechselrichters bei $\vartheta_{\text{amb}} = 125^\circ\text{C}$

Die Steuerung arbeitet störungsfrei und der DSP wird im zulässigen Temperaturbereich betrieben. Die Messungen der elektrischen Größen wurden aufgrund von Temperatureinschränkungen für das Messequipment nur außerhalb der Temperaturkammer durchgeführt. Die in Abb. 6.22 dargestellten Verläufe zeigen Strangspannung und -strom der Phase U bei einer Umgebungstemperatur von 110°C .

Bei Temperaturen über 110°C ist der Betrieb allerdings durch Störungen im Signalpfad eingeschränkt. Ursache hierfür ist die Schaltung der Stromschleife

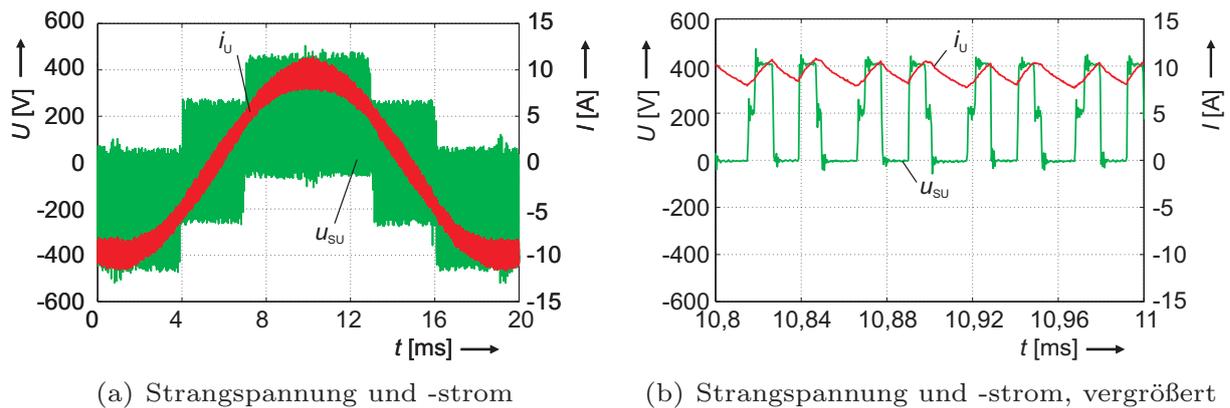


Abbildung 6.22: JFET-Wechselrichter-Verläufe, 600 V, 10 A, 20 kHz, 110°C

in der Signalübertragung der Treiberstufe (vgl. Abb. 6.7), wodurch zunächst einzelne dann mehrere Einschaltssignale nicht übermittelt werden. Dies hat zusätzliche Ausschaltphasen zur Folge, die zwar unkritisch sind, aber die Sinusform des Ausgangsstromes und den Wirkungsgrad beeinträchtigen. Abb. 6.23 zeigt die Verläufe bei 125°C, worin erkennbar wird, dass die Fehler in der negativen Halbwelle häufiger auftreten und somit eine Halbbrücken-Treiberstufe ein sensibleres Verhalten aufweist.

Desweiteren ist in diesem Temperaturbereich die Ermittlung der Sperrschichttemperatur mittels NTC ungenau, da die Auflösung aufgrund des negativen Temperaturkoeffizienten sinkt und der nur örtlich nah am Chip angebrachte NTC nicht die genaue Chip-Temperatur ermittelt. Um die Zerstörungsgefahr des Mo-

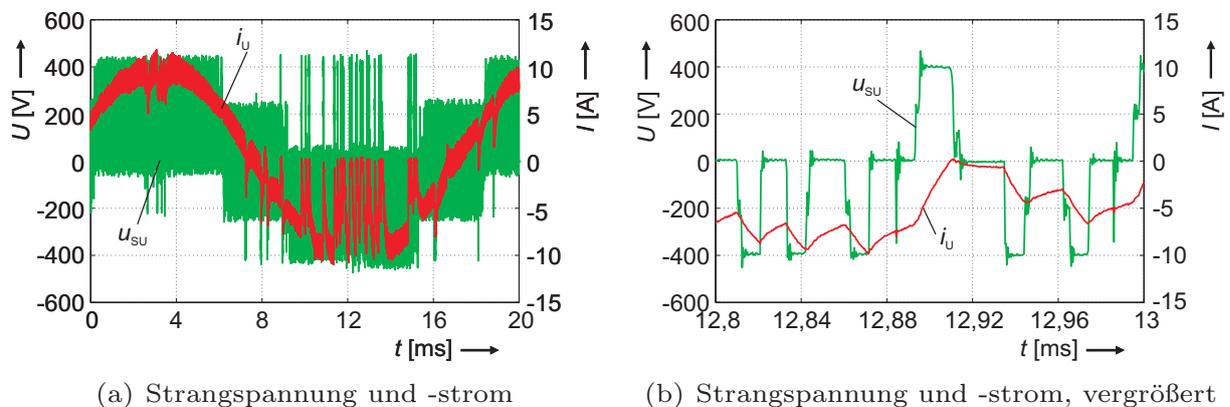


Abbildung 6.23: JFET-Wechselrichter-Verläufe, 600 V, 10 A, 20 kHz, 125°C

duls gering zu halten, wurde der Wechselrichter bei $\vartheta_{\text{amb}} = 125^\circ\text{C}$, 600 V und 10 A nur für die Messdauer betrieben. Die Treiberstufen können durch Anpassungen in der Transistorlogik und Berücksichtigung der Temperaturdriften der Si-Elektronik-Transistoren verbessert werden, wobei anzumerken ist, dass aufgrund der Einschränkung der Sensoren und des DSP die Temperaturgrenze des Systems nicht weiter herauf gesetzt werden sollte. Abb. 6.24 a) spiegelt die gemessenen Temperaturverhältnisse wieder. Allerdings wurde aufgrund der relativ großen thermischen Kapazität des Kühlkörpers und der reduzierten Komponentenlebensdauern bei hohen Umgebungstemperaturen der thermisch stationäre Zustand nur näherungsweise erreicht. Die Wechselrichter-Eingangsleistung für den dargestellten Betriebspunkt beträgt 2,5 kW. Wie in Abb. 6.24 b) erkenn-

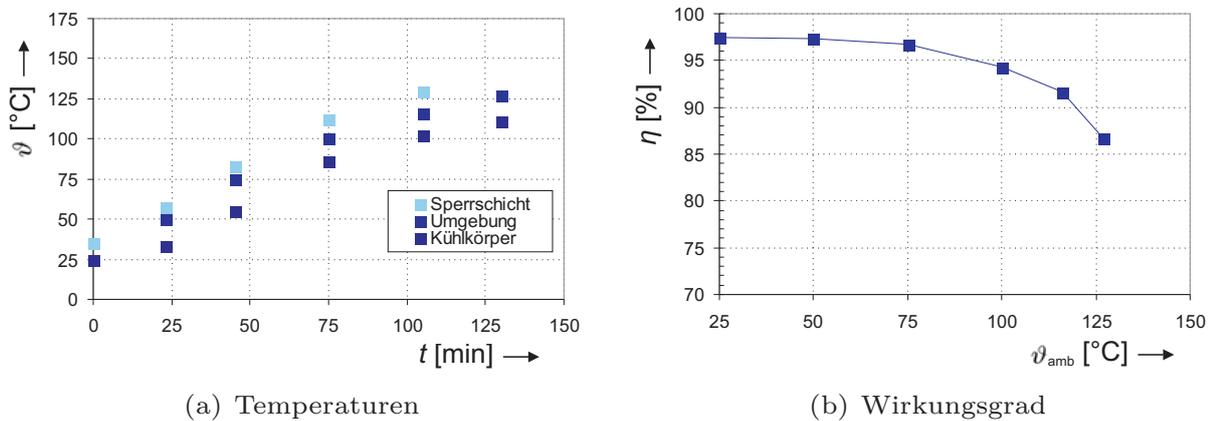


Abbildung 6.24: JFET-Wechselrichter bei erhöhten ϑ_j , 600 V, 10 A, 20 kHz

bar ist, sinkt der Wirkungsgrad des Wechselrichters über der Temperatur. Dies erfolgt zumindest im unteren Temperaturbereich linear und entspricht der Charakteristik aus den Verlustabschätzungen in Kap. 5. Für den überproportionalen Anstieg der Verluste bei höheren Temperaturen können neben den beschriebenen Ansteuerfehlern auch erhöhte Schaltverluste durch Veränderungen der Pinch-off oder Punch-through-Bereiche sowie eine sich über der Temperatur verändernde Stromaufteilung innerhalb der parallel geschalteten Chips verantwortlich sein.

6.2.3 Systembewertung

Die Untersuchungen am SiC-JFET-Wechselrichter zeigen, dass die Einsatzfähigkeit der SiC-Halbleitermuster und deren Funktionsfähigkeit auch für erhöh-

te Temperaturen gegeben ist. Trotz des ungewollten Einschaltens und der Einschränkungen bezüglich der Verfügbarkeit von Hochtemperaturbauteilen und der dadurch verursachten Schaltungsanpassungen können die SiC-JFETs adäquat angesteuert werden, so dass verhältnismäßig hohe Wirkungsgrade erreicht werden können. Sind im System höhere Schaltgeschwindigkeiten zulässig, ist durch eine Reduzierung der Gate-Widerstände der Wirkungsgrad sogar noch steigerbar. Sowohl für einen hohen Wirkungsgrad, als auch für den Einsatz bei höheren Temperaturen sollte das ungewollte Einschalten durch angepasste Ansteuerpegel der JFET-Treiberstufen und Gate-Clamping-Zusatzbeschaltungen unterdrückt werden. Die Einsatztemperaturgrenze des Wechselrichters wurde durch den DSP auf 125°C begrenzt. Die Kühlung der Leistungshalbleiter ist in diesem Bereich als unkritisch einzustufen.

Im Gegensatz zu den Abschätzungen aus Kap. 5 sind im Versuchswechselrichter drei parallele Chips eingesetzt. Hierdurch erhöht sich die aktive Chip-Fläche und somit die Gesamtstromtragfähigkeit. Auch wenn die maximale Stromtragfähigkeit aufgrund der ungewissen Stromaufteilung nicht voll ausgeschöpft wird, resultiert ein reduzierter $R_{DS,on}$. Im Unterschied zu den Simulationsergebnissen wird bei dem Versuchswechselrichter eine andere ohmsch-induktive Last verwendet. Der $\cos(\varphi)$ beträgt in den Simulationen 0,8 im Gegensatz zu 0,99 in dem Versuchsaufbau. Dies lässt beim Versuchswechselrichter bei $U_{ZK} = 600\text{ V}$ einen geringeren Modulationsgrad zu bzw. bedeutet einen Betrieb im Teillastbereich.

Um die Simulationsergebnisse zu verifizieren, wurden die realen Betriebsparameter herangezogen und die Simulationen mit einer angepassten Chip-Fläche $A = 3 \cdot 3,95\text{ mm}^2 = 11,85\text{ mm}^2$ bei entsprechendem $\cos(\varphi) = 0,99$ und $m = 0,58$ durchgeführt. Für die Simulationen wurde der Datensatz mit $R_G = 68\ \Omega$ herangezogen, wobei hier nur das Ausschalten mit dem gleichen du/dt erfolgte. Das du/dt des Einschaltvorganges ist in den berücksichtigten Daten etwa doppelt so groß ($15\text{ kV}/\mu\text{s}$). \hat{i} der Messungen beträgt 10 A, was einer Chip-Auslastung von ca. $0,85\text{ A}/\text{mm}^2$ entspricht. Abb. 6.25 zeigt die Simulationsergebnisse über der Temperatur für 20 kHz sowie die Verluste für den Versuchswechselrichter im gemessenen Betriebspunkt bei einer Eingangsleistung von 2,5 kW.

Zu dem Vergleich sind folgende Aspekte anzumerken. Sowohl die Messungen zu den Einzelschaltern als auch die des Versuchswechselrichters können Messfehler und die aus den aufgenommenen Messpunkten erzeugten Datensätze können

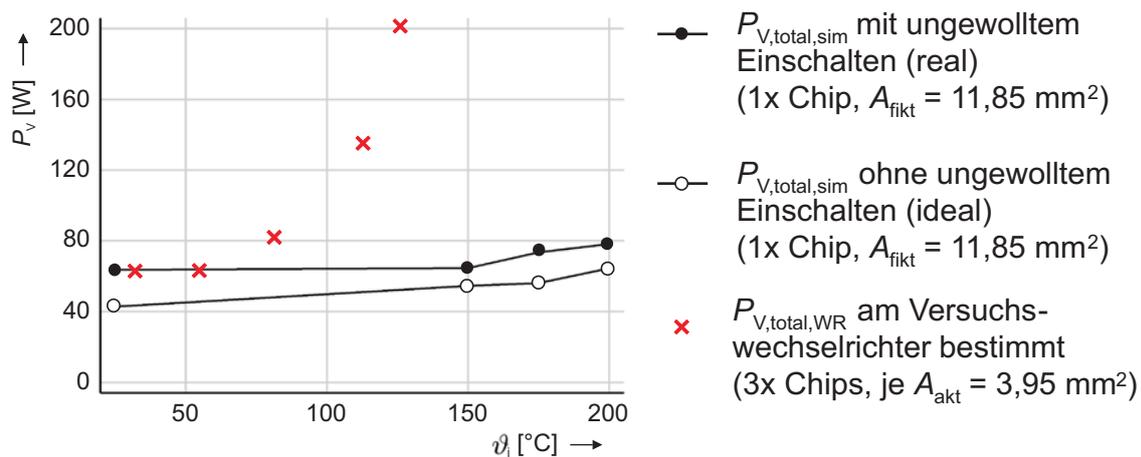


Abbildung 6.25: Abgeschätzte und gemessene Wechselrichterverluste

Linearisierungsfehler enthalten. Weiter wurden für die Umrechnung auf eine größere Chip-Fläche Randeﬀekte und Chip-Flächentoleranzen vernachlässigt. Zuleitungsbedingte ohmsche oder durch parasitäre Größen verursachte Verluste wurden in der Simulation ebenfalls nicht betrachtet. Die für die jeweiligen Messungen herangezogenen SiC-JFET-Muster besitzen aufgrund der unterschiedlichen Generationen eine leicht veränderte Gate-Charakteristik, wodurch das Schaltverhalten inklusive dem ungewollten Einschalten beeinflusst wird. Da allerdings im Versuchswechselrichter das Gate-Clamping den Stromüberschwinger auf eine Amplitude begrenzt, die der der Einzelschalter ähnelt, die Schaltgeschwindigkeiten in der gleichen Größenordnung liegen und die beschriebenen Fehler im Verhältnis zum Messwert als gering angenommen werden können, bestätigen die Messwerte am Versuchswechselrichter die Simulationsergebnisse zumindest für niedrige Temperaturen. Entsprechend den Erläuterungen zu Abb. 6.24 steigt $P_{V,\text{total,WR}}$ über der Temperatur stark an.

Der Nachweis der Funktionsfähigkeit und der Praxistauglichkeit der Schalter erfolgte ohne Berücksichtigung von Schutzfunktionen. So bleibt das normally-on-Verhalten weiter ein negativer Aspekt in Bezug auf die Kurzschlussicherheit im U-Wechselrichter für den Fehlerfall. Die hohe Kurzschlussfestigkeit der JFETs und die Verwendung von Folienkondensatoren im Zwischenkreis mit einer verhältnismäßig kleinen gespeicherten Ladung kommt dem zumindest theoretisch entgegen.

6.3 SiC-MOSFET-Wechselrichter (Fokus: Energieeffizienz)

Wie in Kap. 4 beschrieben, ist die MOSFET-Struktur auf Basis von SiC ein aussichtsreicher Kandidat für Anwendungen mit hohen Effizienzanforderungen. Dieses begründet sich neben den günstigen dynamischen Eigenschaften vor allem in der Gate-Charakteristik, die bei entsprechendem Strukturdesign auf die konventionelle Ansteuerspannung von $\pm 15\text{ V}$ optimiert werden kann. Somit besteht die Möglichkeit konventionelle Si-IGBTs ohne aufwändige Treiberanpassungen nahezu direkt zu substituieren.

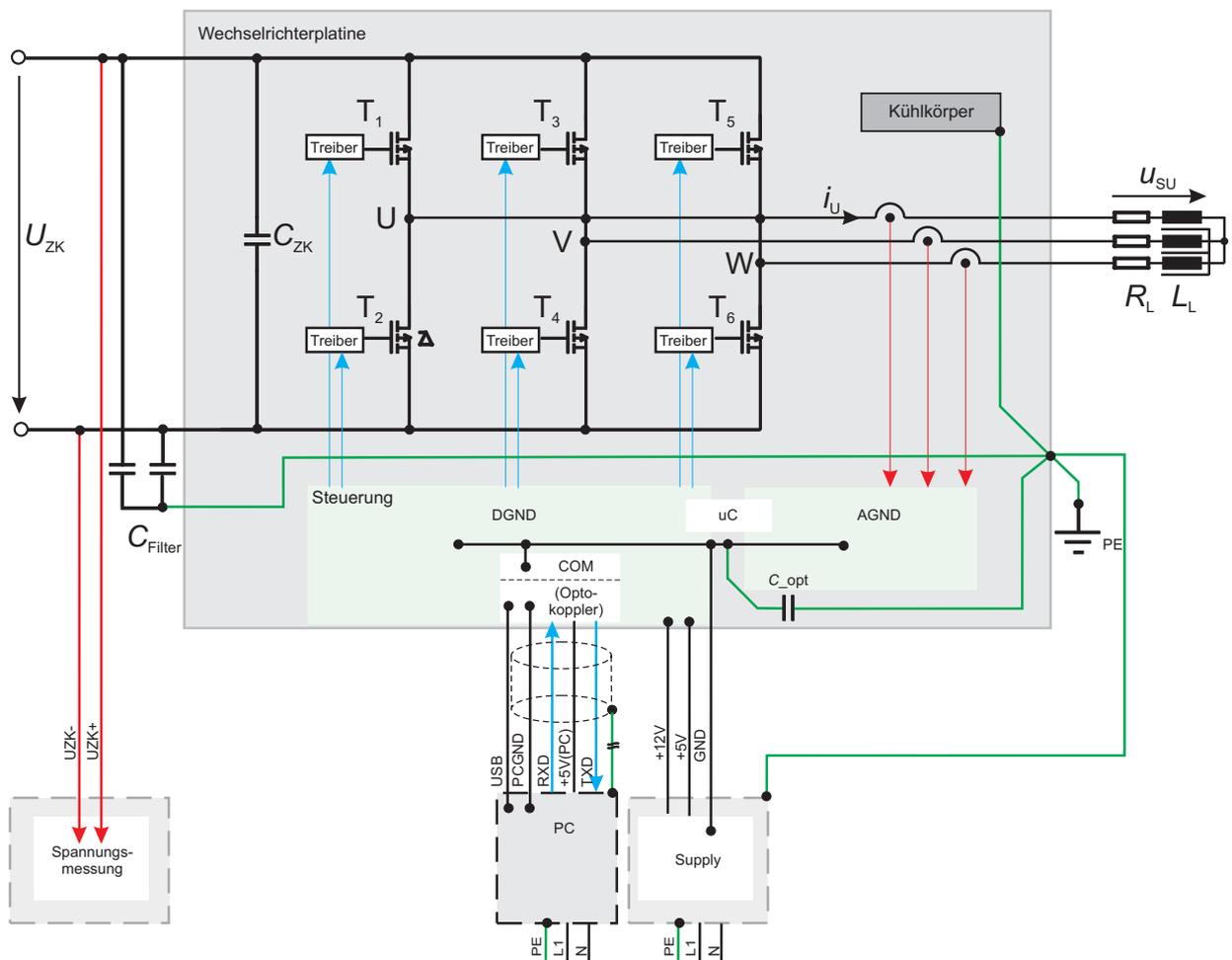
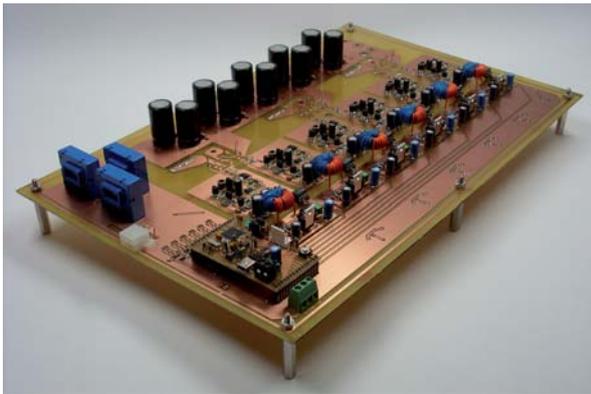
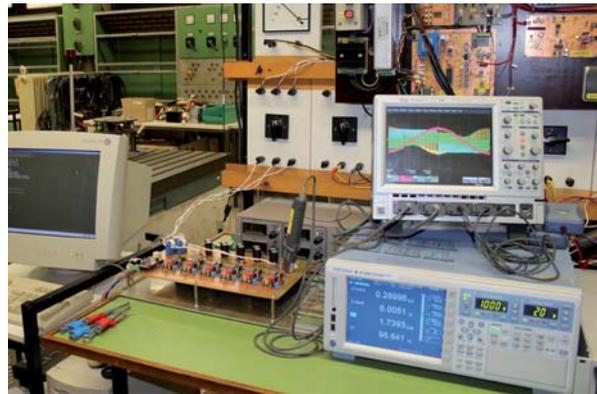


Abbildung 6.26: Blockschaltbild des SiC-MOSFET-Versuchswechselrichters



(a) Versuchswechselrichter



(b) Prüfplatz

Abbildung 6.27: SiC-MOSFET-Wechselrichter

6.3.1 Systembeschreibung

Die zur Verfügung gestellten SiC-MOSFET-Prototypen werden ebenfalls auf die Funktionsfähigkeit in einem Wechselrichter geprüft (vgl. [Krus2]), wobei aufgrund der gemessenen Durchlasscharakteristik die Gate-Spannung zu $-15/+25\text{ V}$ gewählt wurde. Da die Temperaturanforderungen innerhalb von Photovoltaik-Systemen moderat sind, können im SiC-MOSFET-Wechselrichter Standard-Elektronikkomponenten Einsatz finden. Die Taktfrequenz und das du/dt wurden, wie bei dem SiC-JFET-Wechselrichter, zu 20 kHz und unter $10\text{ kV}/\mu\text{s}$ gewählt, was üblichen Randbedingungen in der Photovoltaik entspricht. Abb. 6.26 zeigt das Blockschaltbild des SiC-MOSFET-Wechselrichters, wobei ebenfalls eine dreiphasige ohmsch-induktive Last ($R_L = 15\ \Omega$, $L_L = 1,17\text{ mH}$) eingesetzt wurde. Das Layout ermöglicht für die Inbetriebnahme zusätzlich die Bestückung von IGBTs mit konventionellen Ansteuerspannungen. Die entsprechenden IGBT-Ansteuerspannungen von $\pm 15\text{ V}$ können durch Umschalten der Endstufenversorgung innerhalb der Treiberstufen bereitgestellt werden. Fotos des Aufbau zeigen Abb. 6.27 a) und b).

Leistungsteil

Die zur Verfügung stehenden SiC-MOSFET-Mustermodule beinhalten jeweils eine Halbbrücke pro Modul, so dass für die Vollbrücke drei SiC-Module entsprechend Abb. 4.1 b) eingesetzt werden. Die Module besitzen keine zu den

MOSFETs parallelgeschalteten Freilauf-Dioden, so dass die Nutzung der Struktur internen Body-Diode möglich ist. Die Kühlung der Module erfolgt mittels konventioneller Rippenkühlkörper.

Die Größe der Zwischenkreiskapazität hängt, wie beschrieben, von den Randbedingungen der jeweiligen Anwendung ab. Im Versuchswechselrichter werden zum Einhalten der Spannungsfestigkeit zwei 350 V-Elektrolytkondensatoren mit je $100\ \mu\text{F}$ in Reihe geschaltet. Durch die Parallelschaltung mehrerer Kondensatoren können bis zu $500\ \mu\text{F}$ eingesetzt werden, wobei für die Versuche eine Zwischenkreiskapazität von $250\ \mu\text{F}$ gewählt wurde.

Die Zwischenkreisversorgung des Wechselrichters wird über ein 600 V-DC-Netzteil bereitgestellt. Die Versorgung der Treiberstufen und der Steuerung wird getrennt über 5 V- und 12 V-Netzteile gewährleistet.

MOSFET-Treiberstufe

Innerhalb der MOSFET-Halbleiterstruktur erlaubt die Oxid-Schicht ein nahezu leistungsloses Ansteuern. Bei den vorliegenden Mustern beträgt die Eingangskapazität C_{ein} etwa 600 pF, weshalb eine Treiberstufenleistung von 1 W ebenfalls ausreichend ist. Zusätzlich soll das Treiben eines konventionellen IGBTs für die Inbetriebnahme möglich sein. Deshalb kann die Endstufenversorgung zwischen den erforderlichen $\pm 15\ \text{V}$ für den IGBT und den $+25\ \text{V}/-15\ \text{V}$ umgeschaltet werden. Hierfür wird eine Treiberstufe entsprechend der Variante in Abb. 4.32 verwendet, wobei die Spannungsanpassung (Level-Shifter) innerhalb der 25 V-Spannungsversorgung über eine Bootstrap-Schaltung realisiert ist. Für die Signalübertragung wird ein schneller Optokoppler mit einer hohen Gleichtakterdrückung (du/dt bis $10\ \text{kV}/\mu\text{s}$) verwendet.

DSP-Steuerung

Die Erzeugung des PWM-Pulsmusters für die Leistungshalbleiter erfolgt über einen dsPIC30F4011 analog zum JFET-Wechselrichter, wobei die Benutzereingabe für Modulationsgrad und Schaltfrequenz über die Eingabe am PC erfolgt.

6.3.2 Messergebnisse

Um eine Zerstörung der SiC-MOSFET-Muster bei der Inbetriebnahme zu vermeiden und die direkte Austauschbarkeit von Si-IGBTs und SiC-MOSFETs nachzuweisen, erfolgte die Inbetriebnahme zunächst mit Si-IGBTs vom Typ IKW15T120 (Infineon) bei einer Treiberstufenspannung mit ± 15 V und einem $R_G = 47 \Omega$. Hiermit wurde der Wechselrichter bis 600 V und 10 A erfolgreich getestet. Abb. 6.28 a) zeigt die Strangspannung und -ströme des IGBT-Wechselrichters bei 600 V, wobei aufgrund der verwendeten Last ($\cos(\varphi) = 0,99$) u_{SU} und i_U nahezu in Phase liegen.

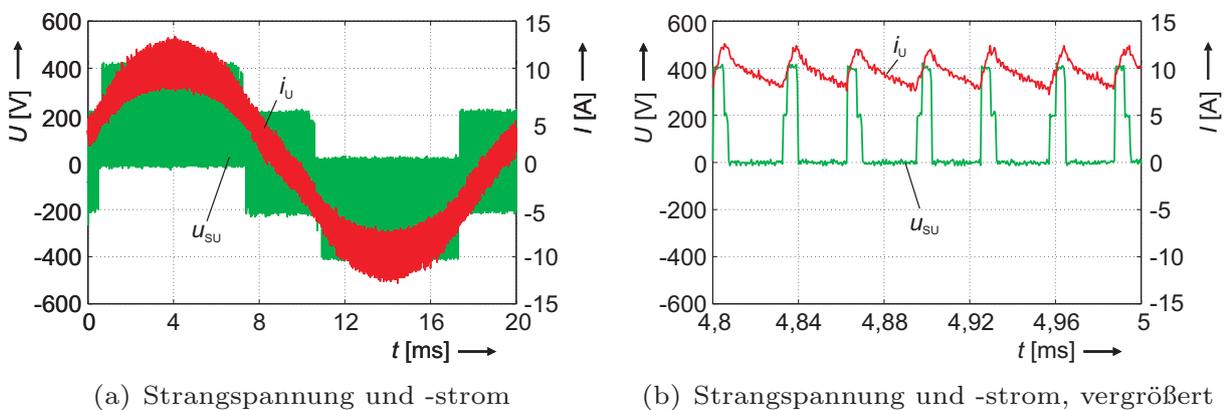


Abbildung 6.28: Wechselrichter mit IGBT-Bestückung, 600 V, 10 A, 15 kHz

Anschließend wurden die Si-IGBT durch die SiC-MOSFETs ersetzt. Beim Einsatz der SiC-MOSFETs erfolgt eine Anpassung der Gate-Spannungslevel auf $+25$ V/ -15 V, während der $R_G = 47 \Omega$ beibehalten wird. Im Falle der SiC-MOSFETs führt dies zu einem du/dt von etwa $6,1 \text{ kV}/\mu\text{s}$ während des Einschaltens und von etwa $10 \text{ kV}/\mu\text{s}$ während des Ausschaltens. Der auftretende Strompeak in Abb. 6.29 a) bei $m = 0$ beträgt etwa 2 A und ist nicht auf ein ungewolltes Einschalten des Schalters zurückzuführen, da der Ausschalt-Gate-Spannungslevel $u_{GS,T1}$ trotz Spannungseinbruch auf 0 V nicht überschritten und der Schalter somit nicht leitfähig wird.

In diesem Fall wird der Strompeak maßgeblich durch die Eigenschaften der internen pn-Body-Diode des MOSFETs bestimmt. Allerdings ist der Rückwärts-erholstrom während des Einschaltvorganges (Abb. 6.29) akzeptabel. Wie die Untersuchungen in Kap. 4 zeigten, führt der Einsatz einer zusätzlichen externen

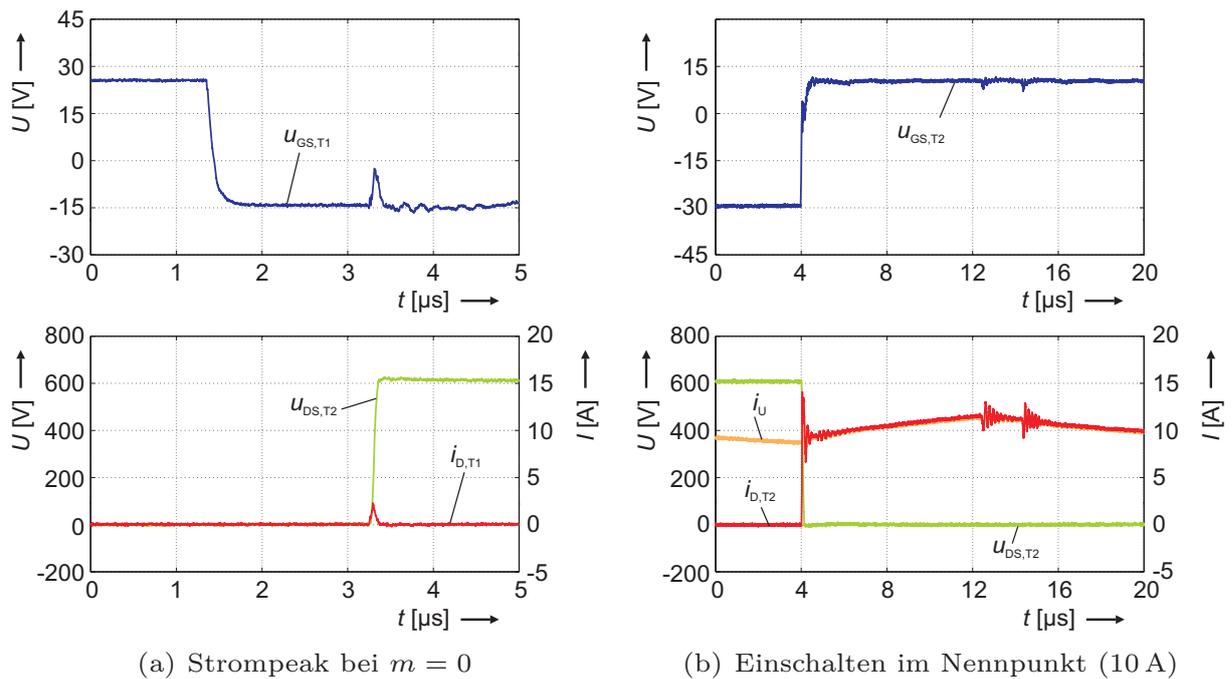


Abbildung 6.29: Einschaltströme im SiC-MOSFET-Wechselrichter bei 600 V

SiC-Schottky-Diode zu erheblichen Oszillationen, weshalb an dieser Stelle darauf verzichtet wurde. Allerdings kann eine an die Schalter angepasste, Modul interne SiC-Schottky-Diode hier Vorteile bringen, zumal die hohe Durchlassspannung des pn-Überganges für den Freilauf ebenfalls reduziert würde.

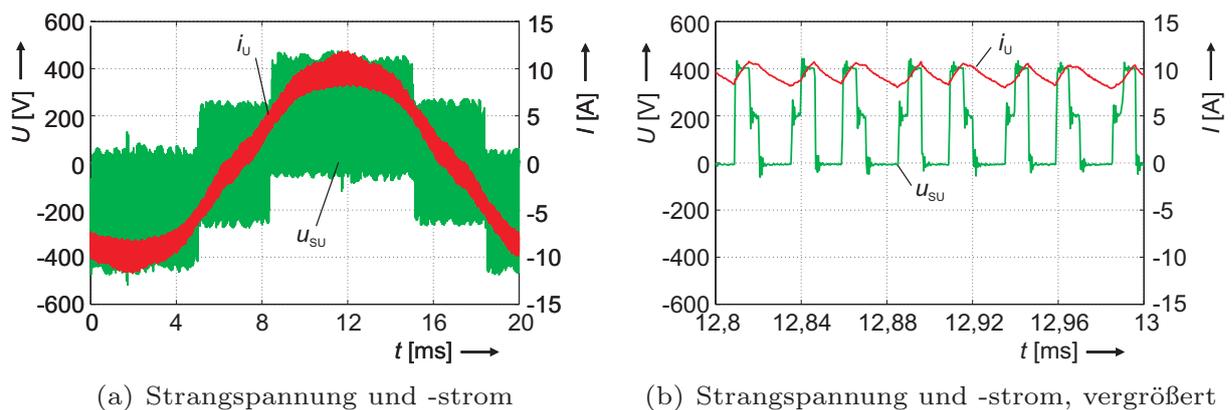


Abbildung 6.30: Messkurven SiC-MOSFET-Wechselrichter 600 V, 20 kHz

Die Verläufe von Strangspannung und -strom in Abb. 6.30 a) und b) entsprechen dem Nennpunkt ($U_{ZK} = 600 \text{ V}$, $\hat{i}_L = 10 \text{ A}$) bei einem Modulationsgrad

von 0,6. Der Wirkungsgrad in diesem Betriebspunkt liegt mit 96,3% ($P_{\text{ein}} = 2,45 \text{ kW}$) unter dem des SiC-JFET-Wechselrichters und begründet sich in dem relativ hohen $R_{\text{DS,on}}$ der vorliegenden SiC-MOSFET-Muster. Hieraus resultieren rechnerisch Gesamtwechselrichterverluste von etwa 91 W. Im Bestpunkt bei einem Modulationsgrad von $m = 1$, einem Laststrom von $\hat{i}_{\text{L}} = 10 \text{ A}$ und der verwendeten Last beträgt $\eta = 96,9\%$, wobei aufgrund der Vollaussteuerung eine reduzierte Zwischenkreisspannung von $U_{\text{ZK}} = 330 \text{ V}$ erreicht wurde.

Die Verläufe von u_{GS} , u_{DS} und i_{D} während des Schaltens zeigen Abb. 6.31 a) und b). Der Rückwärtserholstrom liegt mit einer Amplitude von etwa 4 A (Nennpunkt) deutlich unter dem des JFET-Wechselrichters, wobei auch die Oszillationen deutlich geringer sind.

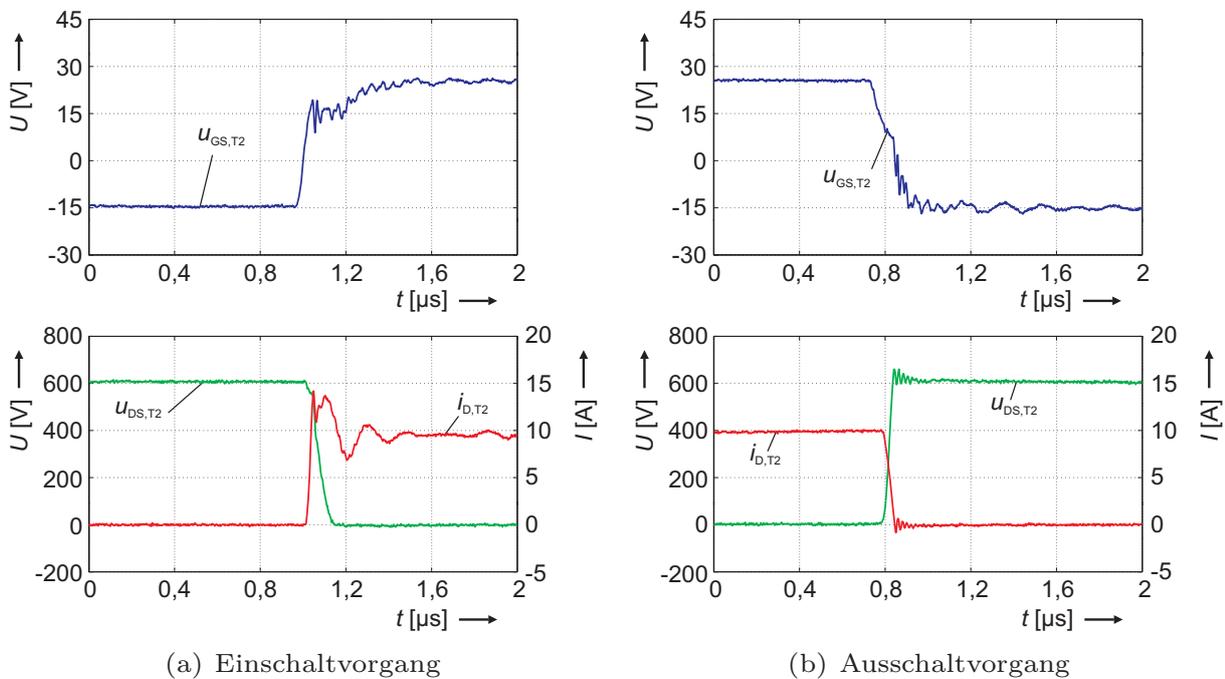


Abbildung 6.31: Schaltvorgänge im SiC-MOSFET-Wechselrichter bei 600 V

6.3.3 Systembewertung

Die zur Verfügung gestellten SiC-MOSFET-Muster konnten in dem Versuchswechselrichter die konventionellen IGBTs direkt ersetzen, wobei zur Reduzierung der Durchlassspannungen ein höherer Einschalt-Gate-Spannungspegel gewählt wurde. Die Funktionsfähigkeit konnte bis zum Nennpunkt (600 V/10 A) nachge-

wiesen werden, wobei der Wirkungsgrad des SiC-MOSFET- deutlich unter dem des JFET-Wechselrichters liegt. Dies begründet sich vor allem in dem trotz höherer Einschalt-Gate-Spannung relativ hohen $R_{DS,on}$. Zusätzlich sind aufgrund der Nutzung der internen bipolaren Inversdiode des MOSFETs die Durchlassspannungen im Freilauffall erhöht. Das Schaltverhalten des SiC-Wechselrichters ist trotz des Rückwärtserholstromes der Body-Diode im Vergleich zum ungewollten Einschalten beim JFET günstig.

Die Differenzierung beim Einschaltstromüberschwinger zwischen einem durch das ungewollte Einschalten verursachten und einem durch das Rückwärtserholverhalten der Diode verursachten Anteil verdeutlicht die günstigen Voraussetzungen beim SiC-MOSFETs bezüglich deren Schaltverluste. Denn durch den negativen Ausschalt-Gate-Spannungslevel von -15 V kann das ungewollte Einschalten vollständig unterdrückt werden, was sich hingegen beim JFET aufgrund des geringen Gate-Spannungsfensters als schwierig erweist. Die Inversdiode des MOSFETs kann bei Bedarf durch eine angepasste und niederinduktiv angebundene SiC-Schottky-Diode überbrückt werden, wodurch im Idealfall der Rückwärtserholstrom komplett weg fällt und die Durchlassspannung des pn-Überganges der Body-Diode auf die der diskreten Freilaufdiode reduziert werden würde.

Der $R_{DS,on}$ der vorliegenden SiC-MOSFET-Prototypen führt zu Durchlassspannungen, die im Vergleich zu den IGBT- und JFET-Mustern sehr hoch sind. Allerdings sind die Fortschritte innerhalb der Strukturentwicklung bei der neuen Technologie groß, so dass jüngere Generationen bereits deutlich verbesserte Eigenschaften besitzen. So wurde im Januar 2011 ein SiC-MOSFET (CMF20120D) angekündigt, der im Vergleich zu den untersuchten MOSFETs einen auf nahezu 1/4 reduzierten $R_{DS,on}$ besitzt [Cree].

7 Zusammenfassung und Ausblick

Die stetigen Fortschritte im Bereich der Halbleitertechnologie führten über die vergangenen Jahrzehnte zu ausgereiften Si-Halbleiterbauelementen, deren elektrische und nicht elektrische Eigenschaften sich immer weiter den physikalischen Grenzen nähern. Um darüber hinaus Verbesserungen erreichen und auch erhöhten Systemanforderungen begegnen zu können, werden Leistungshalbleiter auf Basis von Wide-Band-Gap-Materialien, wie SiC, erforscht, deren günstige Materialeigenschaften die Aussicht auf effizientere und robustere Leistungshalbleiter bieten. Während SiC-Schottky-Dioden bereits seit einigen Jahren kommerziell erhältlich sind, stehen nun verschiedene SiC-Schalterstrukturen als Muster oder vereinzelt kommerziell für die Prüfung der Einsatzfähigkeit zur Verfügung.

Um die SiC-Muster mit der Si-Technologie vergleichen und deren Potenzial aufzeigen zu können, wurden zunächst die aktuellen Si-Leistungshalbleiter, deren Aufbau, Verlustmechanismen und die derzeitig effizientesten Leistungshalbleiterkühlungen vorgestellt. Dies spiegelt den Stand der Technik wieder und liefert die Vergleichsreferenz für neue Halbleitertechnologien. Die für die Untersuchungen definierten Randbedingungen wurden aus Beispielanwendungen mit erhöhten Anforderungen abgeleitet. Neben den Si-Halbleitern standen SiC-Schottky-Dioden, SiC-MOSFETs sowie selbstleitende und selbstsperrende SiC-JFETs zur Verfügung. Die Untersuchungen an den einzelnen Mustern umfassten u. a. das Ansteuer-, Durchlass-, Sperr- und Schaltverhalten in verschiedenen Betriebspunkten. Durch die Variation von Junction-Temperatur, Gate-Widerstand, Sperrspannung und Schalterstrom konnte die jeweilige Abhängigkeit bestimmt werden. Hierdurch wurde die Abschätzung für verschiedene Chip-Flächen möglich, da ein technologischer Vergleich der unterschiedlichen Muster nur über die Berücksichtigung gleicher aktiver Chip-Flächen und Randbedingungen aussagekräftig ist.

Aus den Abhängigkeiten wurden die Gesamtverluste eines selbstleitenden SiC-JFET- im Vergleich zu einem Si-IGBT-Wechselrichters mit gleicher aktiver Chip-Fläche und gleichen Randbedingungen in Abhängigkeit von der Junction-Tem-

peratur sowie der Schaltfrequenz simuliert. Die Ergebnisse ermöglichen einen direkten Technologievergleich der zur Verfügung gestellten Muster. Da die Selbstleitfähigkeit der SiC-JFET als Eigenschaftsmerkmal für I-Topologien verwendet werden kann, erfolgte ein Vergleich zwischen U- und I-Topologie unter Berücksichtigung der auftretenden Durchlass- und Schaltverluste bei verschiedenen Temperaturen für typische Leistungsklassen.

Zur Überprüfung der Praxistauglichkeit und der Simulationsergebnisse wurden im Rahmen dieser Arbeit ein SiC-JFET- und ein SiC-MOSFET-Wechselrichter entwickelt, aufgebaut und getestet. Aufgrund der robusten Struktur des JFETs wurde der zugehörige Wechselrichter für den erweiterten Temperaturbereich vorgesehen. Hierfür wurden ausschließlich Bauteile und Komponenten eingesetzt, die Umgebungstemperaturen von mindestens 125°C standhalten, wobei die Maximaltemperatur durch den verwendeten DSP vorgegeben wurde. Mittels Leistungsmessgerät konnten die Simulationsergebnisse unter Berücksichtigung der verwendeten Chip-Fläche überprüft werden. Desweiteren wurde ein Wechselrichter mit SiC-MOSFETs unter Verwendung von Standardelektronikkomponenten für moderat angenommene Umgebungsbedingungen entwickelt und aufgebaut. Die Möglichkeit der direkten Substitution von den etablierten Si-IGBTs macht den SiC-MOSFET zu einer der aussichtsreichsten SiC-Schalterstrukturen für effiziente Systeme.

Die untersuchten SiC-Halbleitermuster besitzen nur teilweise Vorzüge in Bezug auf die statischen oder dynamischen Eigenschaften oder auf die Beständigkeit gegen extreme Umgebungsbedingungen, so dass sich keiner der vorliegenden SiC-Halbleiterschalter als klarer Favorit herauskristallisierte. Die unipolaren SiC-Schalter weisen ein günstiges Schaltverhalten auf, die gegenüber dem IGBT die zusätzlichen Verluste in Folge des für bipolare Halbleiter typischen Tail-Stromes einspart. In Bezug auf das Ansteuerverhalten weist die konventionelle Si-Technologie derzeit die günstigsten Eigenschaften auf. Allerdings kann bei den Si-Bauteilen das Sperrverhalten bei Sperrschichttemperaturen ab 175°C signifikante Verluste bewirken und zum Ausfall führen. In Hinblick auf die vorgestellten Topologien auf Basis der konventionellen Drehstrombrücke ist beim U-Wechselrichter gegenüber dem I-Wechselrichter bei Junction-Temperaturen von 25°C bis 200°C bei Einsatz der gleichen Schaltertechnologie ein günstigerer Wirkungsgrad zu erwarten. Da zusätzliche Verluste bei gleichen Kühlbedingungen zu

einer Erhöhung der Bauteiltemperatur und zu einer Reduzierung der Lebensdauer führen, besitzt besonders bei hohen Umgebungstemperaturen die Einsparung von Verlusten oberste Priorität. Die Forderung nach effizienten Bauelementen ist eine Voraussetzung, um den Temperaturbereich von leistungselektronischen Systemen zu erweitern. Aus dem selben Grund sollte auch das erläuterte ungewollte Einschalten beim SiC-JFET mit den entwickelten Maßnahmen reduziert oder vermieden und der Durchlasswiderstand der SiC-Schalter auf Strukturebene weiter reduziert werden.

SiC-Leistungshalbleiter werden aufgrund der höheren Materialkosten nur die Halbleiter der Wahl sein, wenn Kosten- oder Betriebsvorteile im Gesamtsystem entstehen. Zu erwarten ist dies bei Anwendungen mit erhöhten Anforderungen bzw. mit besonderen Randbedingungen, wie z. B. hohen Umgebungstemperatur-, Effizienz- oder Leistungsdichteanforderungen, wobei insbesondere der Einsatz bei hohen Schaltfrequenzen oder hohen Sperrspannungen Vorteile bringen würde. Eine prädestinierte Anwendung ist die Photovoltaik, bei der die Halbleiter und dessen AVT moderaten Umgebungseinflüssen unterliegen. Hier führen die günstigen Eigenschaften zu einer höheren Systemrendite, was höhere Halbleiterkosten kompensieren kann. Für Automobilanwendungen, in denen die noch junge Technologie extremen Umweltbedingungen und einem hohen Kostendruck unterliegen, sind SiC-Leistungshalbleiter zwar aussichtsreich, aber derzeit nicht konkurrenzfähig.

Zukünftige Untersuchungsfelder bei SiC-Leistungshalbleitern sind neben der weiteren Optimierung der Schalterstrukturen bezüglich des Ansteuerungsverhaltens und des Durchlasswiderstandes, die Zuverlässigkeit und die Lebensdauer, welches durch die elektrischen, thermischen, mechanischen und auch chemischen Einflüsse auf die Halbleiter mit dessen AVT bestimmt wird. Die auftretenden mechanischen Belastungen an den Grenzflächen sind aufgrund der gegenüber Si anderen Materialparameter nahezu unerforscht. Die hohe Kurzschlussfähigkeit oder die Möglichkeit der bidirektionalen Stromführung bei einigen unipolaren SiC-Strukturen eröffnet ebenfalls neue Möglichkeiten für innovative leistungselektronische Systeme.

Literaturverzeichnis

- [Alex] P. Alexandrov, J. Zhang, X. Li, and J. H. Zhao: *Demonstration of first 10 kV, 130 mΩcm² normally off 4H-SiC trench-and-implanted vertical junction field-effect transistor*, Electron. Lett., vol. 39, no. 25, Piscataway, USA, 2003
- [Alle] B. Allebrand, H.-P. Nee: *Comparison of commutation transients of inverters with silicon carbide JFETs with and without body diodes*, Nordic Workshop on Power and Industrial Electronics (NORPIE'04), Trondheim, Norway, 2004
- [Amro] R. Amro, J. Lutz, J. Rudzki, R. Sittig, M. Thoben: *Power Cycling at High Temperature Swings of Modules with Low Temperature Joining*, Proceedings of the 18th International Symposium on Power Semiconductor Devices and IC's, Naples, Italy, 2006
- [Arau] S. Araujo, P. Zacharias: *Analysis on the potential of Silicon Carbide MOSFETs and other innovative semiconductor technologies in the photovoltaic branch*, European Conference on Power Electronics and Applications (EPE'09), Barcelona, Spain, 2009
- [Bako] M. Bakowski: *Prospects and Development of Vertical Normally-off JFETs in SiC*, Journal of Telecommunications and Information Technology, Warsaw, Poland, 2009
- [Baum] M. Baumann, W. Wondrak, J. Lutz: *Comparison of different cooling systems for power modules in automotive application*, Proceedings of the International Conference for Power Electronics, Intelligent Motion, Power Quality (PCIM Europe), Nürnberg, 2010
- [Baye] R. Bayerer: *Higher Junction Temperature in Power Modules – a demand from hybrid cars, a potential for the next step increase in power*

- density for various Variable Speed Drives*, Proceedings of the International Conference for Power Electronics, Intelligent Motion, Power Quality (PCIM'08), Nürnberg, 2008
- [BDEW] Bundesverband der Energie und Wasserwirtschaft e.V.: *Technische Richtlinie Erzeugungsanlagen am Mittelspannungsnetz*, Ausgabe Juni 2008, Berlin, 2008
- [Bhat] P. Bhatnagar, A. B. Horsfall, N. G. Wright, C. M. Johnson, K. V. Vassilevski, A. G. O'Neill: *Optimization of a 4H-SiC enhancement mode power JFET for high temperature operation*, Solid State Electronics, vol. 49, pp. 453, 2005
- [Biel] J. Biela, D. Aggeler, D. Bortis, J. W. Kolar: *5 kV/200 ns Pulsed Power Switch based on a SiC-JFET Super Cascode*, Proceedings of the IEEE International Pulsed Power Conference (PPC 2009), Washington, DC, USA, 2009
- [Bier] M. H. Bierhoff, F. W. Fuchs: *Semiconductor Losses in Voltage Source and Current Source IGBT Converters Based on Analytical Derivation*", Power Electronics Specialists Conference (PESC'04), p. 2836-2842, Aachen, 2004
- [Blum] A. Blum: *Halbleiterbauelemente*, Vorlesungsskript, Universität des Saarlandes, WS 2003/2004
- [Briere] M. A. Briere: *GaN Based Power Conversion*, Artikel, Power Semiconductors, Issue 5, 2009
- [Büns] B. Bünsow: *Entwurf, Aufbau und Inbetriebnahme eines Prüfplatzes für hochtemperaturfähige Wechselrichter mit einem Versuchsmuster*, Diplomarbeit, Technische Universität Braunschweig, 2007
- [Cand] W.-R. Canders, I. Koch, N. Lescow: *Leistungselektronik für Hybridantriebe in PKW- und Nutzfahrzeuganwendungen - Integrierbar in Getriebe und Antriebsstrang, hochtemperaturfähig, zuverlässig und robust*, Abschlussbericht zum Teilvorhaben im Verbundprojekt INGA, Fkz.: 19 U 6007G, Braunschweig, 2010

- [Cand1] W.-R. Canders: *Drehstromantriebe und deren Simulation*, Vorlesungsskript, Technische Universität Braunschweig, 2010
- [Cand2] W.-R. Canders: *Elektrische Fahrzeugantriebe und neue Verkehrstechniken*, Vorlesungsskript, Technische Universität Braunschweig, 2010
- [Chow] P. Chow: *High-Voltage SiC Devices for Power Electronics Applications-Future Prospects*, European Conference on Power Electronics and Applications (EPE'03), Toulouse, France, 2003
- [Chri] A. Christmann, M. Thoben, K. Mainka: *Reliability of Power Modules in Hybrid Vehicles*, 3rd Automotive Power Electronics Conference (APE'09), Paris, France, 2009
- [Cree] Cree, <http://www.cree.com>, Stand Dezember 2010
- [Ditt] N. Dittmann, A. Schulz, M. Loddenkötter: *Power Integration with new Econo-PIM IGBT Modules*, Industry Applications Conference, St. Louis, USA, 1998
- [Eckh] B. Eckardt, M. März, A. Schletz: *Anforderungsgerechte Auslegung von Leistungselektronik im Antriebsstrang*, Elektromobilausstellung (EMA), ETG-Fachbericht, Band 114, Aschaffenburg, 2008
- [Elpe] R. Elpelt, P. Friedrichs, R. Schörner, K.-O. Dohnke, H. Mitlehner, D. Stephani: *Serial connection of SiC VJFETs - features of a fast high voltage switch*, European Conference on Power Electronics and Applications (EPE'03), Toulouse, France, 2003
- [Enge] B. Engel: *Systemtechnik Photovoltaik*, Vorlesungsskript Technische Universität Braunschweig, WS 2008/2009
- [Epcos] EPCOS: *Power Capacitor Chip in der Industrie- und Automobil-Elektronik - Leistung verdichtet*, <http://www.epcos.de>, Stand Dezember 2010
- [Epcos1] EPCOS, Vorläufige Herstellerangaben, Kondensatorprototyp, Projekt „InGA“, EPCOS, 2010

- [Fran] J. Franz: *EMV, Störungssicherer Aufbau elektronischer Schaltungen* 3. Auflage, Vieweg und Teubner, Wiesbaden, 2008
- [Frau] ISET-Pressemitteilung, http://www.iset.uni-kassel.de/public/ISET_Pressemitt_Staffelstein_2008_SiC.pdf, Stand August 2010
- [Frey] L. Frey, M. März: *Neues Halbleitermaterial: Verkohltes Silizium*, Fraunhofer IIS, <http://www.elektroniknet.de/topics/stromversorgung/fachthemen/artikel/02009.htm>, Stand August 2004
- [Frey1] L. Frey: *High Temperature Processing for SiC Devices*, 6th Annual Conference, FhG-IISB, November 2004
- [Frie] P. Friedrichs: *Silicon Carbide power semiconductors - new opportunities for high efficiency*, IEEE Conference on Industrial Electronics and Applications (ICIEA'08), Singapore, Malaysia, 2008
- [Frie1] P. Friedrichs, H. Mitlehner, D. Peters, D. Stephani: *Perspektiven von SiC Leistungs-Schaltern: Entwicklungsstand und zukünftige Trends*, VDE-Tagung, Berlin, 2004
- [Frie2] P. Friedrichs: *State of the art and trends in Sic device technology*, 2nd SiC User Forum, Kopenhagen, Denmark, 2007
- [Grün] G. Grünhaupt: *Handbuch der Mess- und Automatisierungstechnik im Automobil*, Springer-Verlag, Berlin Heidelberg, 2006
- [Gu] X. Gu, Q. Shui, C. W. Myles, M. A. Gunderson: *Comparison of Si, GaAs, SiC and GaN FET-Type Switches for Pulsed Power Applications*, 14th IEEE International Pulsed Power Conference (PPC), Dallas, USA 2003
- [Göbl] C. Göbl: *Leistungsfähigere und zuverlässigere Bauteile mit höherer Lebensdauer*, Artikel, Polyscope, Antriebstechnik, April 2010
- [Hinr] F. Hinrichsen: *Untersuchungen zu Resonant Commutated Pole Kommutierungszellen in Spannungs- und Stromzwischenkreis-Umrichtern*, Dissertation, Technische Universität Braunschweig, 2008

- [Hofe] T. Hofer: *Thermal Analysis of semiconductors*, Artikel, Bodo's Power Systems, Central-Druck, Deutschland, Oktober 2009
- [Hua] H. Lu, C. Bailey, C. Yin: *Design for reliability of power electronics modules*, Microelectronics Reliability, Elsevier Ltd. Oxford, United Kingdom, 2009
- [Infi] Infineon: *Calculation of Major IGBT Operating Parameters*, ANIP9931E, Deutschland, 1999
- [Infi1] Infineon: *Explanation of Data Sheet Parameters*, V1.0, München, Deutschland, 2002
- [Infi2] Infineon: *FP10R12W1T4*, IGBT-Datenblatt, Revision 2.1, Deutschland, 2009
- [Infi3] Infineon: *Halbleiter, Technische Erläuterungen, Technologien und Kenndaten*, 3. überarbeitete Auflage, Publics Corporate Publishing, Erlangen, 2004
- [Infi4] Infineon: *Technical Documentation, Dimensioning program IPOSIM for loss and thermal calculation of Infineon IGBT modules*, Deutschland, 2005
- [Infi5] Infineon, <http://www.infineon.de>, Stand Dezember 2010
- [Iriq] A. L. Iriguibel: *Development and programming of an inverter control capable of high temperature operation*, Diplomarbeit, Technische Universität Braunschweig, 2008
- [Jenn] F. Jenni, D. Wüest: *Steuerverfahren für selbstgeführte Stromrichter*, Teubner Verlag, Stuttgart, 1995
- [Kami] N. Kaminski: *Leistungselektronik und Stromrichtertechnik I*, Vorlesungsskript, Universität Bremen, 2009
- [Kell] R. Kelley, F. Rees, D. Schwob: *Optimized Gate Driver for Enhancement-mode SiC JFET*, Proceedings of the International Conference for Power Electronics, Intelligent Motion, Power Quality (PCIM'09), Nürnberg, 2009

- [Koch] I. Koch, W.-R. Canders, N. Lescow, A. Schießl, M. Thoben, T. Hong, K. Kriegel, C. Mertens: *InGA-project: Integrated power electronics for hybrid electric vehicles (HEV)*, 7th Symposium Hybrid Vehicles, Electric Vehicles and Energy Management, Braunschweig, 2010
- [Koch1] I. Koch, W.-R. Canders: *Comparison of SiC-JFET and Si-IGBT inverter losses*, European Conference on Silicon Carbide and Related Materials (ECSCRM'08), Barcelona, Spain, 2008
- [Koch2] I. Koch: *Entwurf und Aufbau eines microcontrollergesteuerten Frequenzumrichters mit Stromzwischenkreis*, Diplomarbeit, Technische Universität Braunschweig, 2004
- [Koo] S.-M. Koo: *Design and Process Issues of Junction- and Ferroelectric-Field Effect Transistors in Silicon Carbide*, Ph.D Thesis, KTH Stockholm, Sweden, 2003
- [Krieg] K. Kriegel: *Optimisation of DC-link capacitors*, 5th International Conference on Integrated Power Electronics Systems (CIPS'08), Nürnberg, 2008
- [Krus1] W. Kruschel: *Untersuchungen zu Siliziumkarbid-MOSFETs*, Studienarbeit, Technische Universität Braunschweig, 2009
- [Krus2] W. Kruschel: *Entwicklung, Aufbau und Inbetriebnahme eines Mikrocontroller gesteuerten SiC-MOSFET-Wechselrichters*, Diplomarbeit, Technische Universität Braunschweig, 2010
- [Lang] N. Langmaack: *Entwicklung und Aufbau eines universellen Mehrphasenwechselrichters für automobile Anwendungen*, Diplomarbeit, Technische Universität Braunschweig, 2010
- [Lepp] S. Lepper: *Untersuchungen zu normally-off SiC-JFETs*, Studienarbeit, Technische Universität Braunschweig, 2010
- [Lesc] N. Lescow: *Vergleich von CSI und VSI mit induktiver Last*, Interner Bericht IMAB, Technische universität Braunschweig, 2007

- [Lich] T. Licht, T. Schütze: „Power Cycling Induced Failure Mechanisms in High Temperature Applications“, Artikel, Power Electronics Europe, Issue 4, 2004
- [Lore] V. Lorentz: „Bidirectional DC Voltage Conversion for Low Power Application“, Dissertation, 2009
- [Lutz] J. Lutz: *Halbleiter-Leistungselemente*, Springer-Verlag, Berlin Heidelberg, 2006
- [Poll] T. Poller, J. Lutz: *Comparison of the Mechanical Load in Solder Joints Using SiC and Si Chips*, 10th International Seminar on Power Semiconductors (ISPS'10), Prag, Czech Republic, 2010
- [Mada] H. Madaler: *Vergleich von direkten Wasserkühltechnologien für Leistungshalbleiter in Automobilanwendungen*, Studienarbeit, Technische Universität Braunschweig, 2010
- [März1] M. März, E. Schimarek, M. Billmann: *Towards an Integrated Drive for Hybrid Traction*, Power Electronics Conference Center of Power Electronic Systems (CPES'05), South Carolina, USA, 2005
- [März2] M. März: *Thermisches Management in der Leistungselektronik, Grundlagen der Entwärmung*, PEAK-Seminar, Erlangen, 2008
- [März3] M. März: *Geschäftsbericht*, Fraunhofer-Institut für Integrierte Systeme und Bauelementetechnologie, Erlangen, 2005
- [Meins] J. Meins, G. Bühler, R. Czainski, F. Turki: *Contactless Induktive Power Supply*, 19th International Conference on Magnetically Levitated Systems and Linear Drives (MAGLEV), Dresden, 2006
- [Mert1] C. Mertens, A. Schießl, R. Brey, M. Thoben, K. Kriegel, W.-R. Canders, I. Koch, N. Lescow: *Requirements on Integrated Power Electronics in the Hybrid Vehicle at High Cooling Temperature Level. Results from the InGA Project*, 6th Symposium Hybrid Vehicles, Electric Vehicles and Energy Management, Braunschweig, 2009

- [Mert2] C. Mertens: *Hybridantrieb: Leistungselektronik trifft Verbrennungsmotor*, VDE-Kongress, Aachen, 2006
- [Mill] G. Mills: *Material Situation and outlook*, 2nd SiC User Forum, Kopenhagen, Denmark, 2007
- [Miti] G. Mitic, W. Kiffe, G. Lefranc, S. Ramminger, D. E. Tilton, B. A. Smetana, T. D. Weir: *Spray cooling of IGBT electronic power modules*, Thermal Challenges in Next Generation Electronic Systems, Joshi and Garimella, Millpress, Rotterdam, Netherlands, 2002
- [Mohr] M. Mohr, F. W. Fuchs: *Comparison of Three Phase Current Source Inverters and Voltage Source Inverters with DC to DC Boost Converters for Fuel Cell Generation Systems*, 11th European Conference on Power Electronics and Applications (EPE'05), Dresden, 2005
- [Muts] P. Mutschler: *Wechselrichter für Photovoltaikanlagen*, Ringvorlesung Regenerative Energien, Technische Universität Darmstadt, SS 1994
- [Renk] F. Renken, R. Knorr: *High Temperature Electronic for Future Hybrid Powertrain Applications*, 11th European Conference on Power Electronics and Applications (EPE'05), Dresden, 2005
- [Saha] B. Sahan: *Wechselrichtersystem mit Stromzwischenkreis zur Netzanbindung von Photovoltaik-Generatoren*, Dissertation, Kassel University Press, Kassel, 2010
- [Sche] U. Scheuermann, R. Schmidt: *Investigations on the $V_{ce}(T)$ -Method to Determine the Junction Temperature by Using the Chip Itself as Sensor*, Proceedings of the International Conference for Power Electronics, Intelligent Motion, Power Quality (PCIM'09), Nürnberg, 2009
- [Sche] D. C. Sheridan, A. Ritenour, V. Bondarenko, P. Burks, J.B. Casady: *Record $2.8\text{ m}\Omega\text{cm}^2$ 1.9 kV Enhancement-Mode SiC VJFETs*, 21st International Symposium on Power Semiconductor Devices and IC's (ISPSD '09), pp. 335-338, 2009.

- [Schi] F. Schimpf, L. E. Norum: *Grid connected Converters for Photovoltaic, State of the Art, Ideas for Improvement of Transformerless Inverters*, Nordic Workshop on Power and Industrial Electronics (NORPIE'08), Helsinki, Finland, 2008
- [Schr] D. Schröder: *Leistungselektronische Bauelemente*, Springer-Verlag, Berlin-Heidelberg, 2006
- [Semi1] Semikron: *Applikationshandbuch, IGBT- und MOSFET-Leistungs-module*, Semikron Online-Handbuch, <http://www.semikron.de>, Stand März 2007
- [Semi2] Semikron: *Applikationshandbuch, Leistungshalbleiter*, ISLE-Verlag, Ilmenau, 2010
- [Semi3] SemiSouth: *SemiSouth Laboratories*, Customer Product Update, May 2009
- [Semi4] Semikron, Datenblatt, *SEMiX 453GB12E4S*, <http://www.semikron.com>, Stand Februar 2011
- [Semi5] SemiSouth, Datenblatt, *SJEP120R063*, <http://www.semisouth.com>, Stand Februar 2011
- [SiCE] SiCED, <http://www.SiCED.de>, Stand März 2010
- [SiCE1] SiCED, Vorläufige MOSFET-Kenndaten, SiCED, 2009
- [SMA] SMA, <http://www.sma.de>, Stand August 2010
- [Tare] G. Tareilus: *Der Auxiliary Resonant Commutated Pole Inverter im Umfeld schaltverlustreduzierter IGBT-Pulswechselrichter*, Dissertation, Technische Universität Braunschweig, 2002
- [Treu] M. Treu, R. Rupp, P. Blaschitz, K. Rüschemschmidt, T. Sekinger, P. Friedrichs, R. Elpelt, D. Peters: *Strategic considerations for unipolar SiC switch options: JFET vs. MOSFET*, IEEE Industry Applications Conference, New Orleans, USA, 2007

- [Vett] H. Vetter: *Mission-Profile bezogene PCC-Designs zur Integration in HEV-Converter*, Artikel, Automobil-Elektronik, Juni 2007
- [Wall] H. Wallentowitz, R. Bady: *Chancen durch das Elektroauto*, VDI-Tagung Batterie-, Brennstoffzellen- und Hybridfahrzeuge, Dresden, 1998
- [Wöhl] H. Wöhl-Bruhn: *Synchronmaschine mit eingebetteten Magneten und neuartiger variabler Erregung für Hybridantriebe*, Dissertation, Technische Universität Braunschweig, 2010
- [Wund] B. Wundrack, M. Braun: *Losses and performance of a 100 kVA dc current link inverter*, European Conference on Power Electronics and Applications (EPE'03), Toulouse, France, 2003
- [Yu] L. C. Yu, K. Sheng: *Analytical Model for 4H-SiC Super-Junction Devices*, Power Electronics and Motion Control Conference (IPEMC'06), Portoroz, Slovenia, 2006
- [Zach1] P. Zacharias: *Topologische Ansätze für Wechselrichter in netzgekoppelten Photovoltaikanlagen*, VDE-Kongress, München, 2008
- [Zach2] P. Zacharias: *Use of Electronic-Based Power Conversion for Distributed and Renewable Energy Sources*, ISET e.V., Kassel, 2008

Abkürzungsverzeichnis

Formelzeichen und Indices

A	Fläche
A	Anode
a	Abstand
b	Breite
C	Kapazität, Kondensator
C_{th}	Wärmekapazität
c_{th}	Relative Wärmekapazität
D	Diode
d	Dicke
E	Energie
E_{G}	Energiedifferenz der Bandlücke
E	Elektrische Feldstärke
f	Frequenz
h	Höhe
I	Stromstärke stationär
i	Stromstärkeverlauf
i_{U}	Stromstärkeverlauf der Phase U
\hat{i}	Stromamplitude
I_{rms}	Effektivwert
I_{S}	Sperrstrom
I^2t	Grenzlastintegral
J	Stromdichte
K	Kathode
k	Boltzmann-Konstante
L	Induktivität
l	Länge

m	Modulationsgrad
n	Mit Donatoren dotiert
n	Drehzahl
n_i	Intrinsische Ladungsträgerkonzentration
N	Ladungsträgerkonzentration
N_A	Ladungsträgerkonzentration der Akzeptoren
N_C	Zustandsdichte im Leitungsband
N_D	Ladungsträgerkonzentration der Donatoren
N_V	Zustandsdichte im Valenzband
P	Leistung
p	Mit Akzeptoren dotiert
P_{Durch}	Durchlassverlustleistung
P_{Sperr}	Sperrverlustleistung
P_{Schalt}	Schaltverlustleistung
q	Elementarladung
Q	Wärmemenge
\dot{Q}	Wärmestrom
Q_{Fluid}	Durchflussmenge der Kühlflüssigkeit
Q_{rr}	Rückwärtserholladung
R	Widerstand
r	Differentieller Widerstand
R_{th}	Thermischer Widerstand
S	Halbleiterpaar bestehend aus Schalter und Diode
S	Sonneneinstrahlung
T	Periodendauer
T	Transistor
t	Zeit, Zeitpunkt
U	Spannung, stationär
u	Spannungsverlauf
\hat{u}	Spannungsamplitude
U_{BR}	Durchbruchspannung
U_0	Schwellspannung
u_L	Spannungsabfall an Induktivität
U_S	Sperrspannung

u_{SU}	Strangspannung, Phase U
U_D	Durchlassspannung eines Halbleiters
$U_{\text{Pinch-off}}$	Kanalabschnürspannung
\ddot{u}	Übersetzungsverhältnis
V	Volumen
$v_{\text{sat},n}$	Sättigungsgeschwindigkeit der Elektronen
w	Driftzone
Z	Impedanz
α	Wärmeübergangskoeffizient
β	Stromverstärkung
α, Re	Realachse der komplexen Ebene
β, Im	Imaginärachse der komplexen Ebene
δ	Verlustfaktor
ϵ	Emissionskoeffizient
ϵ_r	Relative Permittivität
ϵ_0	Elektrische Feldkonstante
φ	Phasenwinkel
ϕ	Magnetischer Fluss
η	Wirkungsgrad
λ	Thermische Leitfähigkeit
μ	Permeabilität
μ_n	Elektronenbeweglichkeit
μ_p	Löcherbeweglichkeit
τ	Schaltzustand
ϑ	Temperatur
ρ	Materialdichte
σ	Stefan-Boltzmann-Konstante
ω	Kreisfrequenz

Indices

0	Anfangs-
Ableit	Wärmestromrichtung

akt	Aktiv
amb	Umgebung
Anst	Ansteuer-
aus	Aus-
B	Basis
b	Bodenplatte
BR	Durchbruch
C	Kollektor
c	Gehäuse
CE	Kollektor-Emitter
ch	Kanal
Clk	Clock
comp	Wärmeleitpaste
D	Drain
<i>D</i>	Diode
d	Differentiell
DS	Drain-Source
Drift	Driftzone
Durch	Durchlassrichtung
E	Emitter
ein	Ein-
Entl	Entlade
F	Durchlassrichtung Diode
Fluss	Flussrichtung
Fluid	Kühlflüssigkeit
G	Gate
ges	Gesamt
GS	Gate-Source
GE	Gate-Emitter
Halb	Halbwelle
heatsink	Kühlkörper
int	Intrinsisch
Harm	Harmonische
Hilf	Hilfswicklung

j	Sperrschicht
kont	Kontinuierlich
Konv	Konvektion
krit	Kritische
KS	Kurzschluss
L	Last
Lade	Lade-
Leck	Leck-
Ltg	Leitung
LL	Leiter-Leiter
M	Motor
max	Maximal
Mess	Gemessener Wert
min	Minimal
Nenn	Nenn-
off	Ausschalt-
on	Einschalt-
opt	Optional
par	Parasitär
Puls	Puls-
Rad	Strahlung
rec	Ausschalten, Diode
Ref	Referenz-
rr	Rückwärtserhol-
s	Lot
Schalt	Schalt-
sim	Simuliert bzw. abgeschätzt
Sperr	Sperr-
Spreiz	Wärmespreizung
Str	Strang-
SU	Strang, Phase U
sur	Oberfläche
T	Halbleiterschalter
tot	Gesamt-

Tr	Treiberstufe
trans	Transient
Träger	Träger-
U, V, W	Phasengröße
UV, VW, WU	Verkettete Größen
V	Verlust-
WR	Wechselrichter
Zul	Zuleitung
zus	Zusatz-
ZK	Zwischenkreis

Weitere Abkürzungen

AC	Wechselstrom
Al	Aluminium
AlN	Aluminiumnitrid
AlSiC	Aluminium-Siliziumkarbid
Au	Gold
ASM	Asynchronmaschine
AVT	Aufbau- und Verbindungstechnik
BFM	Gütefaktor nach Baliga
BJT	Bipolartransistor
BSZ	Brennstoffzellen
Cu	Kupfer
DC	Gleichstrom
DSP	Digitaler Signal Prozessor
EmCon	Emitter Controlled
EM	Elektrische Maschine
EMV	Elektromagnetische Vertäglichkeit
ESB	Ersatzschaltbild
EV	Elektrofahrzeug
Fkz.	Förderkennzeichen
GaN	Galliumnitrid

GE	Generator
GND	Bezugspotenzial
HEV	Hybridfahrzeug
I-	Strom-
IC	Integrierte Schaltungen
IGBT	Insulated Gate Bipolar Transistor
JFET	Junction Field Effect Transistor
KFM	Gütefaktor nach Keyes
KS	Kurzschluss
LC-VJFET	Vertikaler JFET mit lateralem Kanal
LE	Leistungselektronik
LL	Leerlauf
MOS	Metall Oxid Semiconductor
MOSFET	Metall Oxid Semiconductor Field Effect Transistor
MPP	Maximum Power Point
Ni	Nickel
PC	Personal Computer
PV	Photovoltaik
PWM	Puls-Weiten-Modulation
SBD	Schottky Diode
RZM	Raumzeigermodulation
Si	Silizium
SiC	Siliziumkarbid
Tr	Treiberstufen
U-	Spannungs-
VC-VJFET	Vertikaler JFET mit vertikalem Kanal
VKM	Verbrennungskraftmaschine
V+, V-	Spannungsversorgung
WR	Wechselrichter
Z	Zustand

