

**Bernd Gerlach**

---

**Miniaturisierung von  
Instrumentenrechnern  
für Raumfahrtanwendungen**

---



**Cuvillier Verlag Göttingen**

# **Miniaturisierung von Instrumentenrechnern für Raumfahrtanwendungen**

Von der gemeinsamen Fakultät für Maschinenbau und Elektrotechnik  
der Technischen Universität Carolo-Wilhelmina  
zu Braunschweig

zur Erlangung der Würde eines  
Doktor-Ingenieurs (Dr.-Ing.)  
genehmigte  
D I S S E R T A T I O N

von  
Dipl.-Ing. Bernd Gerlach  
aus Wolfsburg

Eingereicht am: 22.05.2001  
Mündliche Prüfung am: 03.07.2001  
Berichterstatter: Prof. em. Dr.-Ing. Hans-Otto Leilich  
Mitberichterstatter: Prof. Dr. Karl-Heinz Glaßmeier

2001

Die Deutsche Bibliothek - CIP-Einheitsaufnahme

**Gerlach, Bernd:**

Miniaturisierung von Instrumentenrechnern für Raumfahrtanwendungen /  
von Bernd Gerlach. -

1. Aufl. - Göttingen : Cuvillier, 2001

Zugl.: Braunschweig, Techn. Univ., Diss., 2001

ISBN 3-89873-212-6

© CUVILLIER VERLAG, Göttingen 2001

Nonnenstieg 8, 37075 Göttingen

Telefon: 0551-54724-0

Telefax: 0551-54724-21

[www.cuvillier.de](http://www.cuvillier.de)

Alle Rechte vorbehalten. Ohne ausdrückliche Genehmigung  
des Verlages ist es nicht gestattet, das Buch oder Teile  
daraus auf fotomechanischem Weg (Fotokopie, Mikrokopie)  
zu vervielfältigen.

1. Auflage, 2001

Gedruckt auf säurefreiem Papier

ISBN 3-89873-212-6

---

## Danksagung

Die vorliegende Arbeit entstand während meiner Tätigkeit als wissenschaftlicher Mitarbeiter am Institut für Datenverarbeitungsanlagen (jetzt Institut für Datentechnik und Kommunikationsnetze) der Technischen Universität Carolo-Wilhelmina zu Braunschweig.

Meinen herzlichen Dank möchte ich Herrn Prof. em. Dr.-Ing. H.-O. Leilich für die Übernahme des Referats aussprechen. Herrn Prof. Dr. K.-H. Glaßmeier danke ich sehr für das meiner Arbeit entgegengebrachte Interesse sowie für die Übernahme des Koreferats. Herrn Prof. Dr. A. Schlachetzki danke ich für die Übernahme des Vorsitzes in der Prüfungskommission.

Mein besonderer Dank gilt Herrn Dr.-Ing F. Gliem für die Betreuung meiner Arbeit und sein Vertrauen, das mir die Realisierung der IDA- $\mu$ DPU ermöglicht hat. Die vielen wertvollen Tipps, Anregungen und kritischen Diskussionen waren stets eine große Unterstützung.

Ebenfalls möchte ich auch Herrn Dipl.-Inform. Stefan Bormann und Dipl.-Ing. Christian Dierker danken, die beide im Rahmen ihrer Diplomarbeit und Herr Bormann zusätzlich auch als wissenschaftliche Hilfskraft an der Entwicklung der IDA- $\mu$ DPU einen großen Anteil haben.

Schließlich danke ich auch meinen Institutskollegen, die nicht nur zum fachlichen Gelingen der Arbeit beigetragen haben, sondern mir insbesondere durch ihre Ermutigungen und ihre Freundschaft sehr geholfen haben.

Bernd Gerlach

Braunschweig, im August 2001



## Kurzfassung

Die weite Verbreitung kostengünstiger tragbarer elektronischer Geräte ist erst durch die Miniaturisierung ihrer elektronischen Funktionen möglich geworden. Auch in der Raumfahrt ermöglicht die Miniaturisierung eine Einsparung bei Masse, Volumen, Energiebedarf und damit bei den Kosten.

Diese allgemeine Zielrichtung wird hier für den bei fast allen wissenschaftlichen Instrumenten anzutreffenden Instrumentenrechner (*Data Processing Unit*, DPU) verfolgt. Für eine sehr weitgehende und dabei kostengünstige Miniaturisierung bietet sich die Übernahme der in mobilen elektronischen Kleingeräten heute weitverbreiteten Bauteil- und Verpackungstechnologie an. Die in großen Stückzahlen produzierten "*Commercial Off The Shelf (COTS)*" Bausteine sind allerdings nicht für hohe Strahlungsresistenz entwickelt. Damit stellt sich die Schlüsselfrage, ob sich das durch Miniaturisierung stark verkleinerte COTS-DPU-Volumen durch starke Abschirmung hinreichend schützen läßt und eine geringere Gesamtmasse erzielbar ist, als bei dem Einsatz aufgrund ihrer geringen Integrationsdichte und ihrer ungünstigen Gehäuseformen weniger für die Miniaturisierung geeigneten "*radiation hardened (RH)*"-Spezialbausteinen.

Nach einer kurzen Einführung in die im Weltraum auf Halbleiterbasis einwirkende Partikelstrahlung und die damit verbundenen wesentlichen Schädigungsmechanismen wird für eine Reihe von Beispielmissionen die für typische COTS-Bausteine notwendige Schirmung durch "*Ray Tracing*" bei realistischer Modellierung der einzelnen Strahlungsbeiträge ermittelt. Im einzelnen betrifft dies die für eine Toleranzdosis von 5 bzw. 10 krad notwendige Wandstärke der Boxwände unter Einbeziehung der Schirmwirkung der Elektronikplatinen im Boxinnern sowie der Schirmwirkung der S/C-Struktur. Für die Elektronikplatinen wurden realistische Annahmen über Abstandsrastrer und Flächengewicht getroffen. Die S/C-Struktur wurde durch eine variierende, zwischen 0 und 4 mm Al gleichverteilte Hüllendichte modelliert. Neben der Toleranzdosis wurde durch *Ray Tracing* auch die durch "*Single Event Upsets*" (SEUs) induzierte Fehlerrate für einige typische COTS-Digitalbausteine ermittelt, und zwar sowohl für den "*Galactic Cosmic Ray*"-Hintergrund wie für gelegentliche sehr starke "*Solar Flares*", im Hinblick auf die "*Solar Probe*" und Merkurmissionen auch für  $R \ll 1$  AU. Dabei zeigt es sich, daß die Alternative "COTS+Schirmung" für ein breites Spektrum von Missionen anwendbar und auch massenmäßig günstiger ist als die Alternative "RH ohne Schirmung". Nicht zugänglich für die "COTS+Schirmung"-Alternative sind Missionen mit längeren Aufenthalt in magnetosphärischen Strahlungsgürteln wegen der durch Schirmung nicht genügend reduzierbaren Dosis.

Nach der Beantwortung dieser Schlüsselfrage werden einige für die Implementierung der Alternative "COTS+Schirmung" bedeutsame Einzelaspekte untersucht, wie (i) anderes Schirmungsmaterial als Al und (ii) für dichte Packung besonders geeignete Gehäuseformen und Leiterplattentechnologien. Schließlich wird eine als Beispiel implementierte "COTS+Schirmung"- $\mu$ DPU beschrieben, die den gleichen Funktionsumfang wie die konventionelle ROSETTA-OSIRIS-DPU hat, aber mit Schirmung das OSIRIS Massebudget nur mit 123 g anstelle von 3450 g belasten würde.

## Inhaltsverzeichnis

Kurzfassung.....	i
Inhaltsverzeichnis.....	ii
1 Einführung .....	1
2 Strahlungsumgebung.....	8
2.1 Grundbegriffe.....	8
2.2 Partikelstrahlung außerhalb planetarer Magnetosphären.....	14
2.3 Strahlungsgürtel innerhalb der Erdmagnetosphäre .....	20
2.4 Strahlung durch Zerfall radioaktiver Isotope .....	24
3 Schädigung Elektronischer Bauteile durch Weltraum-Strahlung .....	26
3.1 Überblick.....	26
3.2 <i>Total Dose</i> Effekt.....	26
3.3 Maßnahmen zur Verbesserung der Toleranzdosis .....	29
3.4 <i>Single Event</i> Effekte.....	31
3.4.1 <i>Single Event Upset</i> .....	31
3.4.2 <i>Single Event Latchup</i> .....	33
3.4.3 Weitere Effekte .....	34
4 Eignung der Kombination "COTS-Bausteine mit Schirmung" .....	36
4.1 Zielsetzung.....	36
4.2 Abschirmwirkung .....	38
4.3 Dosis in einer Box mit großer Wandstärke.....	40
4.4 Dosis in der Box der IDA- $\mu$ DPU.....	45
4.5 LET-Spektrum und SEU-Raten innerhalb einer Box mit großer Wandstärke.....	47
4.6 Anwendbarkeit bei verschiedenen Missionstypen.....	54

---

5	Massenvergleich.....	55
5.1	Massenvergleich bei Schirmung mit Aluminium .....	55
5.2	Schirmung mit anderen Materialien.....	58
6	Implementierungskomponenten .....	65
6.1	Verpackung der ICs .....	66
6.1.1	Hermetisch geschlossene, keramische Gehäuse .....	69
6.1.2	Keramikgehäuse mit Schirmung.....	70
6.1.3	Kunststoffgehäuse.....	71
6.1.4	<i>Ball Grid Array (BGA)</i> .....	73
6.1.5	<i>Chip-on-Board (COB)</i> .....	75
6.1.6	Stapeln von Bausteinen.....	76
6.1.7	<i>Multi Chip Packages (MCP)</i> .....	80
6.1.8	<i>Multi-Chip-Module (MCM)</i> .....	81
6.1.9	Zusammenfassung und Vergleich.....	84
6.2	Leiterplatten .....	86
6.2.1	Starre Leiterplatten .....	86
6.2.2	Starrflexible Leiterplatten .....	88
6.2.3	Flexible Leiterplatten.....	92
6.2.4	Microvia Technologie.....	93
6.2.5	Zusammenfassung und Vergleich.....	95
7	Strukturelle Maßnahmen gegen strahlungsbedingte Ausfälle.....	97
7.1	Fehlerkorrektur im Speicher .....	98
7.2	<i>Watchdog Timer</i> .....	100
7.3	<i>Latchup</i> -Schutzschalter.....	101



---

8	IDA- $\mu$ DPU .....	105
8.1	Form der Box .....	105
8.2	Anordnung der Bausteine .....	108
8.3	Implementierung der IDA- $\mu$ DPU .....	109
8.3.1	Architektur .....	109
8.3.2	Aufbau .....	111
8.3.3	Die IDA- $\mu$ DPU im Vergleich .....	113
8.4	Weitere Möglichkeiten zur besseren Volumenausnutzung .....	115
8.5	Alternative DPU Bauformen .....	117
8.5.1	Starrflex-Platine mit Microvia Technologie (4DC4D) .....	117
8.5.2	System auf starrer Einzelplatine .....	117
8.5.3	Einschubtechnik .....	119
8.5.4	Rahmentchnik .....	119
8.5.5	Stapeltechnik mit planaren Steckverbindern ( <i>Space Cube</i> ) .....	120
8.5.6	Vergleich .....	121
9	Zusammenfassung .....	123
A	Anhang .....	124
A1	Strahlungskurven verschiedener Missionen .....	124
A2	Massevergleich für verschiedene Missionen .....	128
A3	Liste der verwendeten Bausteine .....	130
A4	Masse der IDA- $\mu$ DPU .....	131
A5	Verzeichnis der wichtigsten Formelzeichen .....	132
A6	Abkürzungsverzeichnis .....	133
A7	Literaturverzeichnis .....	134

## 1 Einführung

Allgemein akzeptierte Ziele für künftige wissenschaftliche Raumsonden sind:

1. Straffung und bessere Verzahnung der Entwicklungsarbeiten durch lokale Konzentration und schlankeres Management, sowie
2. Reduktion von Masse, Volumen und Energiebedarf durch Miniaturisierung aller Untersysteme, um dadurch eine drastische Reduktion der Startkosten zu erreichen.

Das hierfür geprägte Schlagwort heißt: "*Faster, Better, Cheaper - Missions*".

Effektiveren Arbeitsstrukturen wirkt in Europa der Umstand entgegen, daß aus Budgetgründen und politischen Überlegungen eine große Zahl von Beiträgen mit unterschiedlicher Finanzierung zusammengefügt werden müssen, wobei die technische Optimierung leicht in den Hintergrund tritt.

Die Startkosten der Sonde (engl. *Spacecraft*, S/C) stellen einen hohen Anteil der Missionskosten dar. Tabelle 1 zeigt für einige Raketensysteme die Kosten für den Transport in eine erdnahe Umlaufbahn (*Low Earth Orbit*, LEO), in einen Geostationären Transfer Orbit (GTO) und in einen Geostationären Orbit (GSO). Die Startkosten pro Kilogramm S/C-Masse betragen je nach Mission und Orbit einige tausend bis hunderttausend US Dollar. Die Kostenangaben beziehen sich auf den Zeitraum 1995 bis 1999.

Rakete	Kosten [Mil. US \$]	LEO Nutzlast [kg]	Kosten/kg [US\$ / kg]	GTO Nutzlast [kg]	Kosten/kg [US\$ / kg]	GSO Nutzlast [kg]	Kosten/kg [US\$ / kg]
Ariane-44LP	90-100 '95	8300	11500	3800	25000		
Ariane 5	120 '99	18000	6700	7000	17200		
Atlas II A	80-90 '95	6900	12300	2810	30200		
Cosmos	10-15 '99	1500	8300				
Delta II 7920	55-60 '99	5000	11000	1800	30600		
Delta III	85 '98			3855	22000		
H-2	170 '99	10400	16300	4000	42500	2000	90000
Long March 2E	40-50 '95	9200	4900				
Pegasus	13-15 '98	450	31100				
Proton (SL-13)	35-70 '95	20000	2600			2100	25000
Shuttle	350-547 '95	29500	15200				
Taurus	18-20 '95	1400	13600				
Titan IVA	344 '98	17700	20000			4-5t	74400
Vostok (SL-3)	20-30 '95	4700	5300				
Zenit (SL-16)	64 '98	13700	4600			600	106700

Tabelle 1: Raketensysteme und deren Kosten in US Dollar /Wer96/, /AW95-00/

Die wissenschaftlichen Instrumente bei interplanetaren Sonden haben einen Anteil von ca. 10 % bzw. von ca. 20 % bei Kleinsatelliten auf erdnahen Umlaufbahnen (Tabelle 2).

S/C	Masse (gesamt) [kg]	Masse Sonde + Tochtersonde [kg]	Masse Treibstoff [kg]	Masse Instrumente [kg]	Anteil der Instrumente
ASTRID	27	22.64	-	4.36	19.3 %
Ørstedt	60	47	-	13	21.7 %
Freja	256	141	42	73	28.5 %
Ulysses	367	278.5	33.5	55	14.9 %
MGS	651	212	361	78	12.0 %
GEOTAIL	1009	649	360	105	10.4 %
WIND	1330	826	354	160	12.0 %
Galileo	2380	1002 + 335	925	118	5.0 %
ROSETTA	2900	1210 + 90	1600	150	5.2 %
CASSINI	5632	1795 + 350	3132	355	6.3 %
Mars 96	6180	2226 + 167	3142	645	8.7 %

Tabelle 2: Verteilung der Masse bei Sonden /Wer96/, /NSSDC/

Aus dieser Nahezu-Proportionalität zwischen S/C - Masse und Instrumentenmasse leitet man ab, daß sich die S/C-Masse etwa um denselben Faktor verkleinern läßt, um den man die Masse der Untersysteme, darunter auch die Instrumente, durch Miniaturisierung verringert.

In der realen Wirklichkeit gibt es allerdings auch entgegengerichtete Wirkungsmechanismen: Übertriebene Miniaturisierung treibt die Kosten der Untersysteme und führt unter Umständen in der Gesamtbilanz zu einer Kostenerhöhung, zumal die spezifischen Startkosten (DM/kg) mit steigendem Startgewicht abnehmen. Der Kostenaspekt ist also für die Beurteilung des Nutzens einer Miniaturisierungs-Strategie von großer Bedeutung.

Die Zielsetzung "Miniaturisierung" wird stark unterstützt durch den gegenwärtigen Trend der Konsumelektronik zu leichteren, batteriebetriebenen und damit auch auf niedrigen Energiebedarf ausgelegten Geräten, wie Mobiltelefone und *Camcorder*. Die dadurch bedingten Veränderungen des Marktes für elektronische Massenbauteile sollten es aber möglich machen, auch bei Raumsonden eine Miniaturisierung der elektronischen Untersysteme ohne oder bei nur mäßiger Kostensteigerung zu erreichen. Diese Zielsetzung steht allerdings in krassem Gegensatz zu der gängigen Praxis, die Miniaturisierung als Erprobungsfeld für anspruchsvolle technologische Entwicklungen zu benutzen und dabei den Gesichtspunkt völlig zu verdrängen, daß eine kosteneffiziente Technologie sich an den zu erwartenden Stückzahlen orientieren muß. Diese sind für den Bereich "wissenschaftliche Weltraumforschung" aber sehr klein, zumal in Deutschland, wo Synergien mit verwandten Anwendungsgebieten wie der Verteidigungstechnik, aus politischen Erwägungen nur schwach ausgebildet sind. Wenn das aber so ist, dann gilt es um so mehr, das Potential der kommerziellen Miniaturisierung auszunutzen und die dort verwendeten Methoden auf das Nischengebiet "Weltraumtechnik" zu übertragen. Dies ist allerdings nicht "Eins zu Eins" möglich, weil zusätzliche raumfahrtspezifische Anforderungen erfüllt werden müssen, insbesondere der störungsfreie Betrieb unter der Einwirkung einer durchdringenden Partikelstrahlung.

Am Institut für Datenverarbeitungsanlagen (IDA) werden seit Jahrzehnten Spezialrechner (englisch *Data Processing Unit*, kurz DPU) für wissenschaftliche Weltrauminstrumente entwickelt und gebaut, wie z.B. für ein Ionenspektrometer - Paket und für ein Kamera - Paket der ROSETTA - Mission, bei der die Raumsonde neben einem Vorbeiflug an zwei Asteroiden (Otaga und Siwa) einen Kometen (46P / Wirtanen) über fast 2 Jahre auf dem sonnennahen Abschnitt seiner Bahnellipse begleiten wird. Diese beiden noch "konventionell" ausgebildeten Instrumentenrechner haben eine Masse von 2,4 kg bzw. 3,45 kg und bei vollem Betrieb eine Netto-Leistungsaufnahme von etwa 6,9 W bzw. 12,3 W /ESA99/, /ESA00/ bei etwa 70% Wirkungsgrad der Spannungswandler.

Bild 1 gibt einen Überblick über die Gesamtmasse bisheriger interplanetarer Sonden, die zwischen vielen 100 kg und vielen tonnen variieren

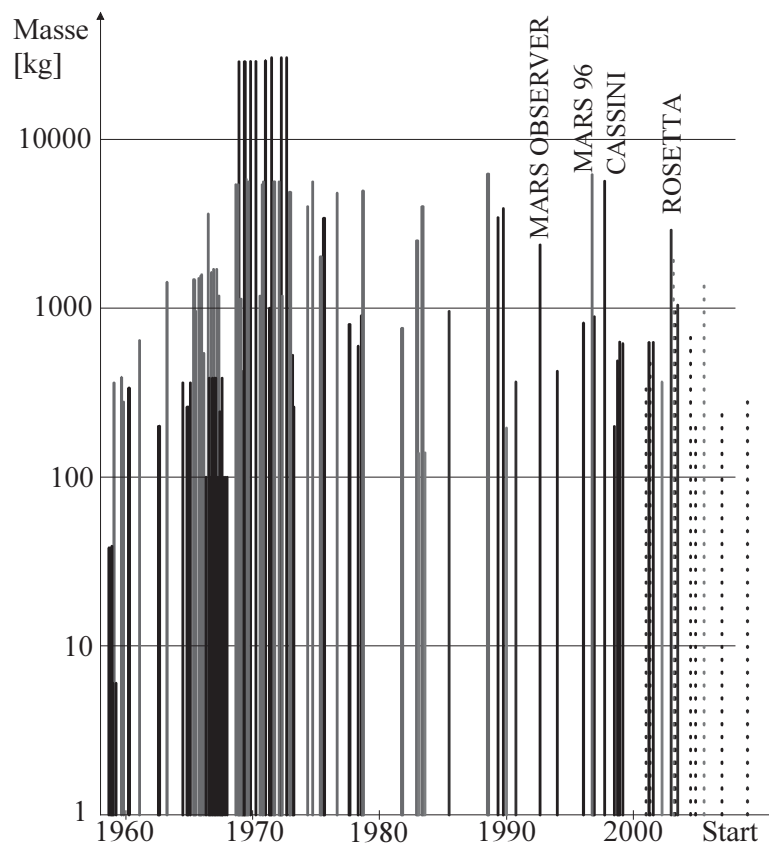


Bild 1: Startzeitpunkt und Masse interplanetarer Sonden

Die Missionen MARS 96, CASSINI und ROSETTA bilden den Abschluß dieser Entwicklungslinie. Der Verlust von MARS OBSERVER gab Mitte der 90er Jahre mit den Anlaß zum Umschwung zu "*faster-better-cheaper*" Missionen. Die Budgets für Sondenmasse und Kosten wurden um eine Größenordnung reduziert. Mikrosatelliten mit 10 bis 40 kg Masse und Formationen von Nanosatelliten mit weniger als 10 kg Masse wurden für den Einsatz ab 2007 projiziert /Pan98/. Diese Sonden erfordern eine drastische Miniaturisierung aller Systeme, auch der DPUs.

Damit stellt sich die Aufgabe, das Potential der "kommerziellen Miniaturisierungstechnik" auf seine Übertragbarkeit auf "Weltraumtechnik" zu untersuchen. Um dabei auf dem Boden der Realitäten zu bleiben, wurden hierzu am IDA angestellte Überlegungen durch den Aufbau eines mit kommerziellen Bauteilen aufgebauten Miniatur-Instrumentenrechners (IDA- $\mu$ DPU) abgestützt. Diese  $\mu$ DPU erfüllt die an die ROSETTA-OSIRIS-DPU gestellten funktionellen und umgebungsbedingten Anforderungen und liefert damit die Basis für eine realistische Abschätzung des auf diesem Wege erreichbaren Miniaturisierungspotentials.

Typische Aufgaben der Instrumenten - DPUs sind

1. Akquisition der Sensordaten
2. Daten-Kompression zur Anpassung der hohen Sensor-Datenrate an der meist wesentlich niedrigere Telemetrie-Datenrate
3. Daten-Speicherung von Rohdaten vor nicht schritthaltender Kompression, zur Glättung stark schwankender Sensorraten, zur Telemetrie-Bedienung, etc.
4. Kommando-Ausführung, Steuerung der Sensoren und des Meßprogramms, Automatisierung des Betriebs

Bild 2 zeigt eine typische Datenverarbeitungsstruktur einer Sonde und Bild 3 die Einbettung einer Instrumenten-DPU zwischen den Sensorteil des Instruments und der S/C-Telemetrie.

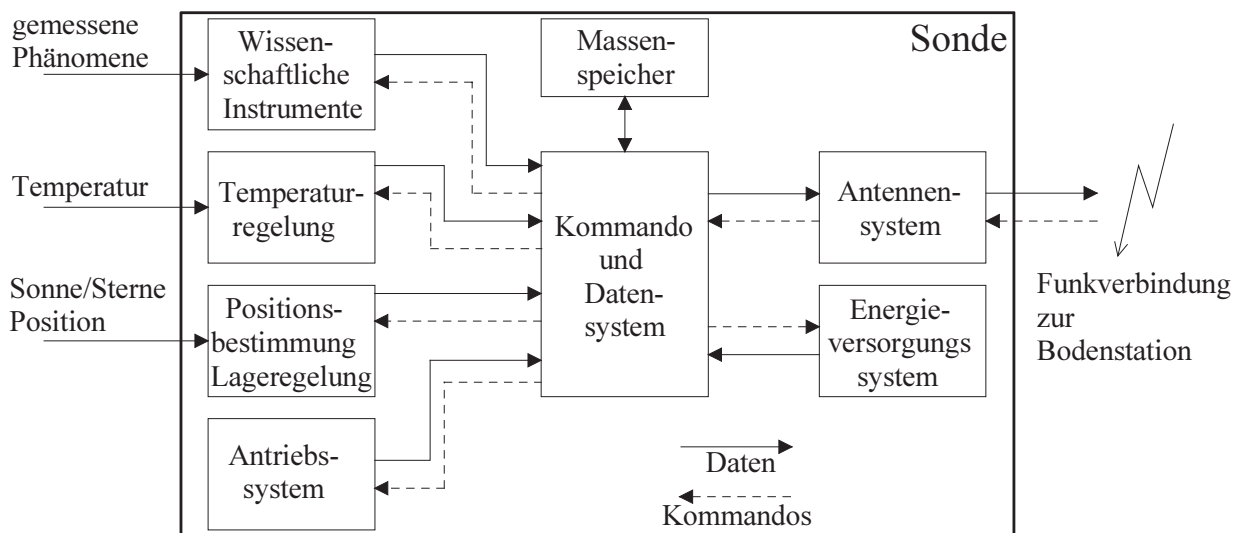


Bild 2: Datenverarbeitungsstruktur einer Sonde

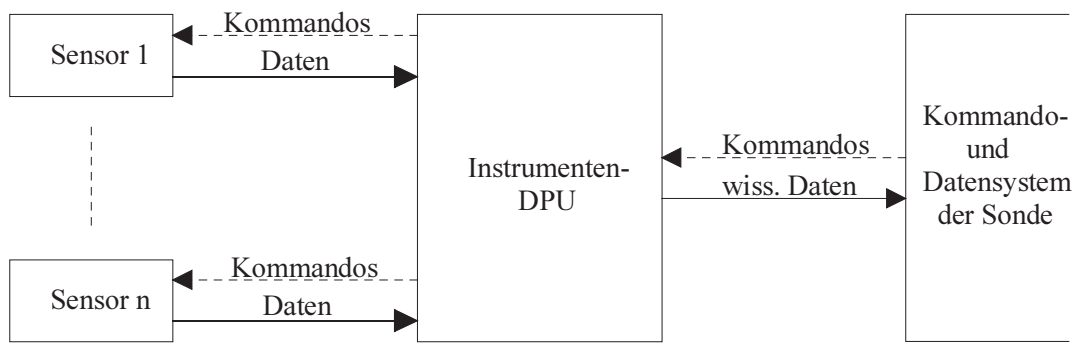


Bild 3: Grobstruktur eines wissenschaftlichen Instrumentes

Tabelle 3 gibt einen Überblick über Masse und Energiebedarf der ROSETTA-Instrumente.

Experiment	Beschreibung	Masse [kg]	Energieaufnahme [W]
OSIRIS	Kamera (Visuell)	20,7	22,3
ALICE	Kamera (UV)	2,2	2,9
VIRTIS	Kamera (Visuell und Infrarot)	23,0	28,0
MIRO	Mikrowellen Spektroskop	16,2	43,0
ROSINA	Ionenspektrometer	26,5	27,5
BERENICE	Gas Chromatograph	4,0	6,0
COSIMA	Staub Massen Spektrometer	15,7	19,5
MIDAS	<i>Grain Morphology</i>	5,8	7,4
CONSERT	<i>Radio Sounding, Nucleus Tomography</i>	2,0	2,5
RPC	Plasma	6,2	10,6
DFA	Staub	4,5	3,9
Total		126,8	173,6
Reserve		20 %	9 %
Maximum		152	190

Tabelle 3: ROSETTA Instrumente /ESA97/

Bild 4 zeigt als Beispiel die prinzipielle Struktur der ROSETTA-OSIRIS-DPU, die zwei unabhängige Kameras (*Wide Angular Camera* + *Near Angular Camera*) bedient:

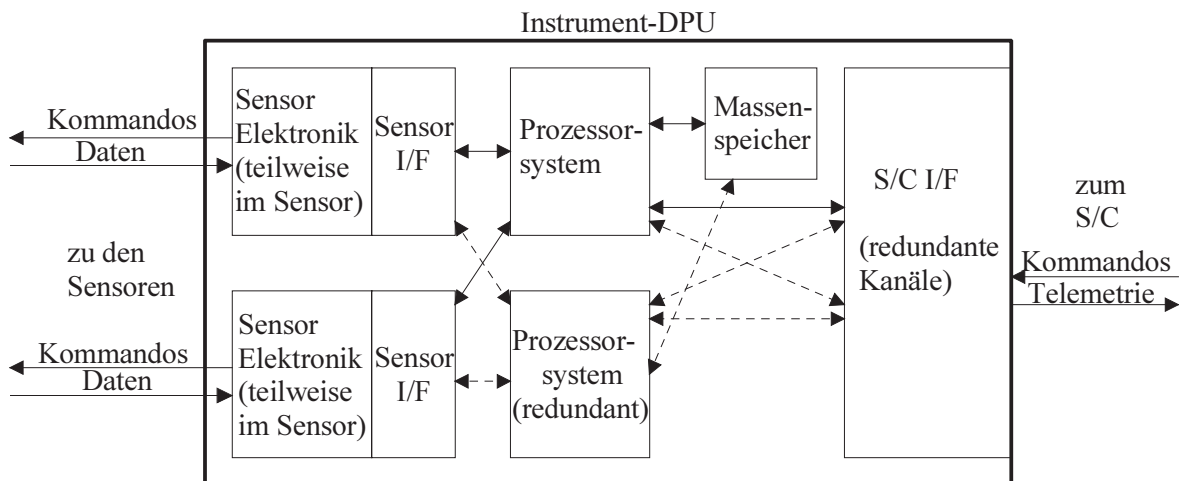


Bild 4: Prinzipielle Struktur der ROSETTA-OSIRIS-DPU

Von jedem der beiden CCD-Kameraköpfe werden Pixeldaten mit einer Burstrate von 20 Mbps in den 4 Gbit Massenspeicher abgegeben, in den Pausen zwischen den Bildaufnahmesequenzen von einem Signalprozessor nach einem Wavelet-Algorithmus komprimiert und bis zur paketweisen Übergabe an die Telemetrie wieder zwischengespeichert. Zur Erhöhung der Zuverlässigkeit existieren verschiedene Umschaltmöglichkeiten zwischen zwei redundanten Pfaden. Diese DPU-Struktur ist typisch für fast alle Instrumente mit hoher Eingangsdatenrate.

Als Redundanz zum DPU-internen Massenspeicher sollte der S/C-Massenspeicher dienen. Erst spät hat sich dann leider herausgestellt, daß dies wegen operationeller Restriktionen des S/C-Massenspeichers nicht realisierbar ist.

Traditionell werden für Raumfahrtmissionen elektronische Bauteile mit hoher Strahlungsfestigkeit (kurz *Rad. Hard.*, RH) und mit hermetisch dichten Glas-Keramik-Gehäusen eingesetzt. Neben den hohen Kosten und den Beschaffungsschwierigkeiten für diese Spezialbauteile haben sie den schwerwiegenden Nachteil, daß ihr Funktionsumfang vielfach um mindestens zwei Generationen hinter dem kommerziellen Stand zurückbleibt, und daß das Typenspektrum sehr begrenzt ist. Dieses Nachhinken wird zur Zeit immer ausgeprägter, weil der Umsatz in militärischer Elektronik als Treiber der Entwicklung solcher Spezialbausteine weltweit zurückgeht, und daher auch in dieses Anwendungsgebiet - wo es möglich ist - kommerzielle Bauteile immer weiter eindringen /Lay/, /Pec92/, /Pec97/.

Im Gegensatz zu RH bzw. rad. tol. (RT)<sup>1</sup> Spezial-Bausteinen sind COTS (= *Commercial Off The Shelf*)-Standard-Bausteine verfügbar (i) in einer sehr viel größeren Typenvielfalt, (ii) mit höherer Leistungsfähigkeit, ausgedrückt z.B. in Rechenoperationen je Sekunde bzw. je mW oder in Speicherkapazität, (iii) in kleineren und leichteren Gehäusen und (iv) zu sehr viel niedrigeren Beschaffungskosten, ausgedrückt im Preis pro Stück bei kleinerer Mindestabnahmemenge. Mit

<sup>1</sup> Übliche Klassifizierung: radiation hardened:  $D_{tol} > 100$  krad, radiation tolerant:  $D_{tol} > (20 \dots 100)$  krad

COTS-Bausteinen kann ein bestimmter Funktionsumfang mit kleinerem Volumen, mit kleinerer Masse der Elektronik selbst, mit geringerem Energiebedarf und zu niedrigeren Kosten realisiert werden

Damit stellen sich drei grundsätzliche Fragen:

- (a) Ist die jeweils erforderlich Strahlungsfestigkeit auch durch starke Abschirmung erreichbar, und kann dann die Massereduktion infolge der höheren Integrationsdichte kommerzieller Bausteine die zusätzliche Schirmungsmasse kompensieren?
- (b) Ist die hermetische Verkapselung der Chips bei Weltraummissionen unverzichtbar oder genügt auch die im kommerziellen Bereich heute dominierende Plastik-Verpackung?
- (c) Ist der Qualitätsstandard kommerzieller Bauteile ausreichend?

Im Folgenden soll versucht werden, einen Beitrag zur Beantwortung der primären Frage (a) zu leisten, wobei sich eine im wesentlichen positive Beantwortung ergibt. Postuliert man auch für die Fragen (b) und (c) eine positive Beantwortung, wofür es gute Gründe gibt, dann ist es lohnend, die verschiedenen Techniken der kommerziellen Miniaturisierung auf ihre Verwendbarkeit für die Implementierung von DPUs - d.h. von individuell in Einzelstückfertigung hergestellten Spezialrechnern - zu analysieren. Dies betrifft besonders die Gehäuseformen zur Verkapselung einzelner oder auch mehrerer Chips in einem Baustein, und die Leiterplatten zur Implementierung des Signalaustauschs zwischen den einzelnen Bausteinen.

Anschließend wird mit einer Beispielimplementierung gezeigt, daß eine weltraumtaugliche, auf kommerzieller Technologie basierende, für Einzelstückfertigung geeignete, DPU-Miniaturisierung erreichbar ist.



## 2 Strahlungsumgebung

Ein Verständnis der Wirkung der Weltraumstrahlung auf die ihr ausgesetzte Elektronik ist für einen maßgeschneiderten DPU-Entwurf unabdingbar. Nicht selten werden aus Unkenntnis die Budgets für Masse, Energiebedarf und Kosten durch den Einsatz von RH-Bausteinen unnötigerweise aufgebläht. Die für einen gezielten Entwurf nötigen Grundlagen werden daher im Folgenden kurz zusammengestellt.

### 2.1 Grundbegriffe

Der "leere" Weltraum wird durchströmt von Flüssen energiereicher Elektronen und Ionen, in der Majorität Protonen.

Der **Partikelfluß**  $\Phi$  [ $\text{cm}^{-2} \cdot \text{s}^{-1}$ ] wird gemessen als Zahl der Teilchen, die in der Zeiteinheit durch ein ebenes Flächenelement treten.

Die Integration des Flusses über ein bestimmtes Zeitintervall liefert die **Fluenz**

$$F = \int_{t_1}^{t_2} \Phi(t) dt \quad [\text{cm}^{-2}]. \quad (1)$$

Beim Durchdringen von Materie werden die Teilchen durch Wechselwirkung mit dem Atomgitter abgebremst. Das **Massenbremsvermögen** (*Linear Energy Transfer*, **LET**) ist definiert als die Energieabgabe  $dE$  eines Teilchens beim Durchqueren einer Materieschicht mit der Flächenmassendichte  $\rho \cdot dx$ .

$$LET = \frac{dE}{\rho \cdot dx} \quad [\text{MeV} \cdot \text{cm}^2 \cdot \text{g}^{-1}], \quad \text{gebräuchlicher} \quad [\text{MeV} \cdot \text{cm}^2 \cdot \text{mg}^{-1}] \quad (2)$$

Das Massenbremsvermögen ist abhängig von der Masse und Energie des Teilchens. Es ist, abgesehen von der Abbremsung relativistischer Elektronen mit  $E > 10 \text{ MeV}$ , nahezu unabhängig vom Absorbermaterial. Schirmungen mit gleicher Flächendichte sind also nahezu gleich wirksam.

Bild 5 zeigt die Energieabhängigkeit des Massenbremsvermögens für verschiedene Ionenspezies. Kennzeichnend ist die Zunahme des Massenbremsvermögens mit der Teilchenmasse und die Abnahme mit der Energie je Nukleon  $E/n$ , d.h. bei nichtrelativistischen Teilchen mit dem Quadrat ihrer Geschwindigkeit. Der Energieübergang vom Teilchen an den Absorber verteilt sich auf drei Mechanismen (i) die Stoßanregung von Gitterschwingungen und Gitterverwerfungen (Phononen, Wärme), (ii) die Stoßionisation, d.h. die Erzeugung von Elektron-/ Lochpaaren durch Anhebung von Valenzelektronen in das Leitungsband und (iii) die Emission von Photonen (Bremsstrahlung). Alle drei Arten des Energieübergangs können zu Bauteilschädigungen führen, wobei für Funktionsstörungen in Halbleiter-Bauelementen dem Ionisations-Mechanismus (ii) die größte Bedeutung zukommt (s. Abschnitt 3).

Im Si wird von einem Teilchen je  $\Delta E_{e/n} = 3.6 \text{ eV}$  Energieabgabe ein Elektron/Loch-Paar erzeugt.

$$dQ = e \cdot \frac{dE}{\Delta E_{e/n}}$$

Daraus berechnet sich die Ionisationsdichte längs der Teilchenspur zu

$$\begin{aligned} \frac{dQ}{dx} &= \frac{dE}{\rho_{Si} \cdot dx} \cdot \rho_{Si} \cdot \frac{e}{\Delta E_{e/n}} \\ &= LET \cdot 2,34 \text{ g/cm}^3 \cdot \frac{1,6 \cdot 10^{-19} \text{ Cb}}{3,6 \text{ eV}} \\ &= LET \cdot 1,04 \cdot 10^{-10} \text{ Cb} \cdot \text{mg} \cdot \text{cm}^{-3} \cdot (\text{MeV})^{-1} \end{aligned} \quad (3)$$

und als Zahlenwertgleichung mit LET in  $\text{MeV cm}^2 \cdot \text{mg}^{-1}$

$$\frac{dQ}{dx} = LET \left[ \text{MeV cm}^2 \text{ mg}^{-1} \right] \cdot 10,4 \text{ fCb} / \mu\text{m} \quad (4)$$

Über diese Umrechnung ergibt sich in Bild 5 die zur linken LET-Skala proportionale rechte  $dQ/dx$ -Skala.

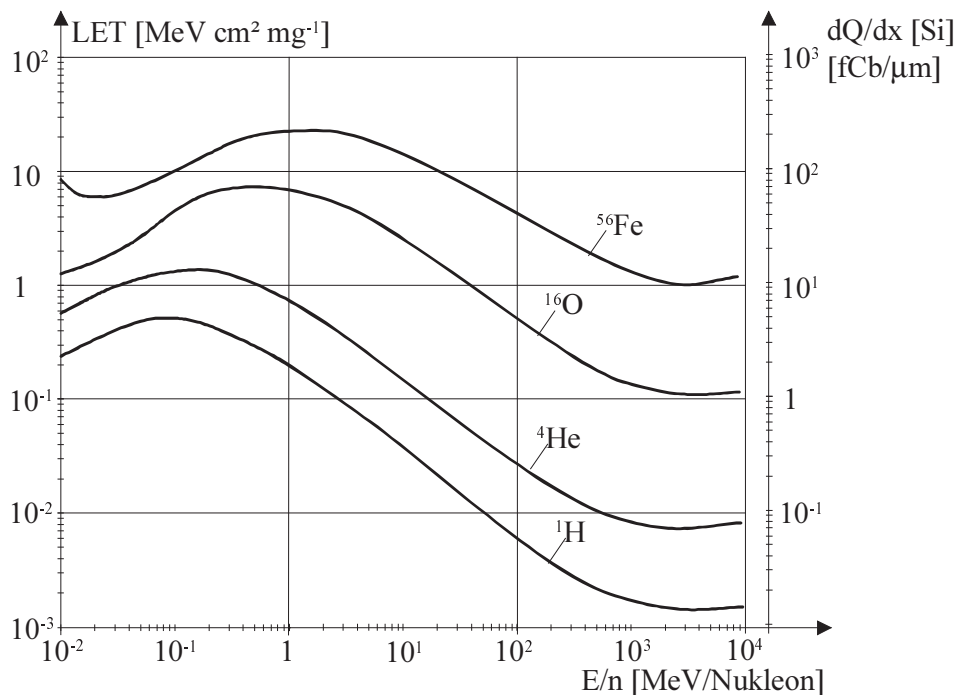


Bild 5: Massenbremsvermögen über der Energie pro Nukleon für typische Ionenspezies der kosmischen Strahlung. Die rechte Skala zeigt die resultierende Ionisationsladungsdichte längs der Teilchenspur in Si. /Brä89, Abb. 4.25/

Zusätzliche erzeugte Gitterfehlstellen im Halbleitermaterial, (Mechanismus (i)) erhöhen die Rekombinationsrate, und mindern damit z.B. den Wirkungsgrad von Solarzellen. Für MOS-Elektronik im S/C-Inneren ist der Mechanismus (i) nur von geringer Bedeutung.

Bremsstrahlung (Photonen im Röntgenbereich, Mechanismus (iii)) entsteht beim Abbremsen leichter hochenergetischer Teilchen in Absorbern hoher Massendichte  $\rho$ , d.h. insbesondere beim scharfen Abbremsen relativistischer Elektronen ( $E > 0,5$  MeV). Diese von der Elektronenabbremung ausgehende sekundäre Photonenstrahlung hat eine viel größere Reichweite als die primären Elektronen selbst und bestimmt dadurch in vielen Fällen die größte sinnvolle Schirmungsdicke (s. Abschnitt 4.2). In Aluminium geht die Intensität der Bremsstrahlung erst nach etwa 10 cm um  $1/e$  zurück /Brö76, s. 126/.

Bild 6 zeigt für Elektronen die Aufteilung der Energieabgabe in (a) die Stoßvorgänge (i und ii) und (b) die Bremsstrahlungsemission (iii), und zwar für ein leichtes und ein schweres Absorbermaterial (Al, Pb). Während der stoßbedingte Beitrag zum Massenbremsvermögen nur schwach mit der Massendichte des Absorbers abnimmt, wächst der Bremsstrahlungsanteil deutlich mit der Massendichte des Absorbers. Für  $E > 10$  MeV liefert der Bremsstrahlungsanteil den mit der Dichte des Absorbermaterials wachsenden Hauptanteil der Energieabsorption.

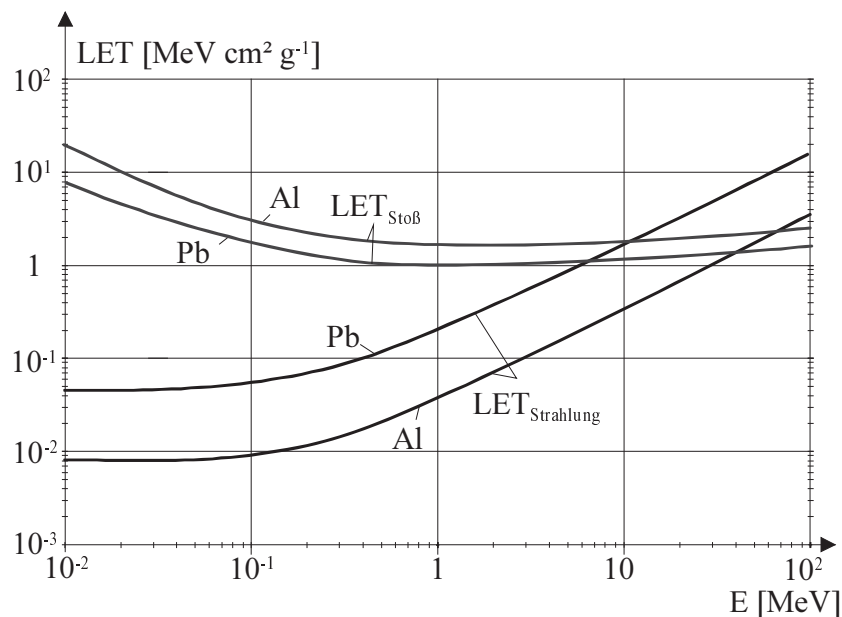


Bild 6: Massenbremsvermögen und Bremsstrahlungserzeugung von Elektronen als Funktion der Energie für Schirmungen aus Al und Pb /Brä89, Abb. 2.10/

Die mittlere **Reichweite**  $\bar{R}$  der Teilchen bestimmt sich aus der völligen Aufzehrung der Teilchenenergie beim Eintritt in den Absorber:

$$(E/n)_m = \frac{1}{n} \int_{x=0}^{\bar{R}} LET(E(x)/n) \cdot \rho \cdot dx \quad (5)$$

d.h. numerisch bei hinreichend kleiner Wahl von  $\rho \cdot dx$  aus der Rekursion

$$\begin{aligned} & \text{While}(E/n > 0) \\ & \quad \{ E/n = E/n - 1/n * LET(E/n) * \rho * dx ; \\ & \quad \quad \bar{R} = \bar{R} + dx ; \\ & \quad \} \end{aligned}$$

Ionen verlieren in vielen Stoßvorgängen ihre Energie. Entsprechend streut ihre Reichweite  $R$  nur wenig um den Mittelwert  $\bar{R}$  (Bild 7). Die um etwa 3 Größenordnungen leichteren Elektronen geben dagegen bei einem Stoß bis zur Hälfte ihrer Energie ab und erfahren daher bis zur vollständigen Abbremsung nur wenige Stöße. Entsprechend streut die Reichweite  $R$  stark um den Mittelwert  $\bar{R}$ .

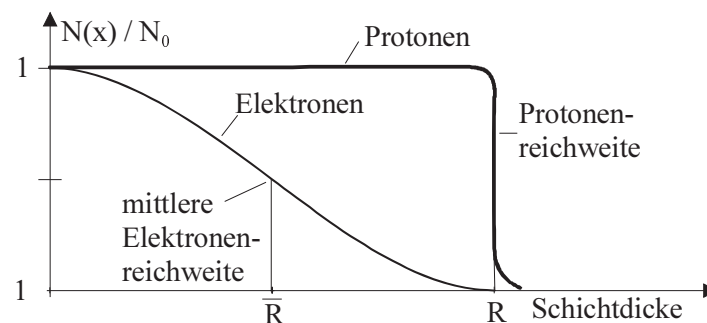


Bild 7: Abnahme der Intensität mit der Schichtdicke für Protonen und Elektronen /Brö76/

Die mittlere Reichweite  $\bar{R}$  der Elektronen ist in Bild 8, die der Protonen in Bild 9 dargestellt. Für schwerere Ionen ( $n \geq 4$ ) kann man sie an Hand von Bild 5 grob abschätzen aus der relativen Lage der zugehörigen  $1/n \cdot LET(E/n)$ -Kurve zu der für Protonen ( $n = 1$ ). Abgesehen von praktisch uninteressant kleinen Energien ( $< 200 \text{ keV/n}$ ) liegt das mit  $1/n$  multiplizierte Massenbremsvermögen von schwereren Ionen über dem von Protonen gleicher Energie pro Nukleon, d.h. von allen Ionen mit gleichem  $E/n$  haben Protonen die größte Reichweite. Für genauere Berechnungen ist z.B. in /Brä89, S. 36/ eine theoretisch begründete Umrechnungsformel auf Ionen einer anderen atomaren Spezies und einer anderen Energie angegeben.

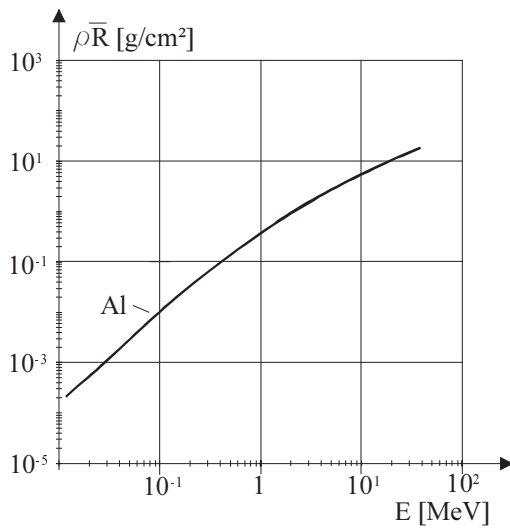


Bild 8: Mittlere Reichweite von Elektronen /Brä89, Abb. 2.12/

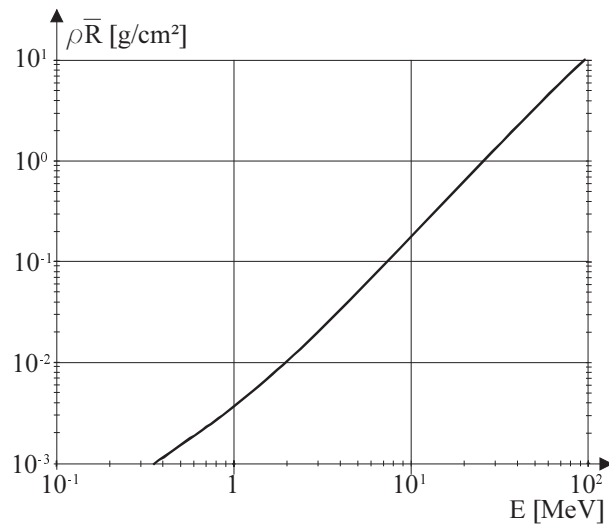


Bild 9: Mittlere Reichweite von Protonen /Brä89, Abb. 2.14/

Die **Dosis** ist definiert als die von Teilchen insgesamt in einem Massenelement  $dm$  deponierte Energie:

$$D = \frac{dE}{dm} = \frac{dE}{\rho \cdot dV} \quad \left[ \frac{J}{kg} = Gy \right] \text{ "Gray"}. \quad (6)$$

Die Energieabgabe eines einzelnen Teilchens beim Passieren einer Scheibe mit der Flächendichte  $\rho \cdot dx$  ist

$$dE = LET(E/n, n) \cdot \rho \cdot dx. \quad (7)$$

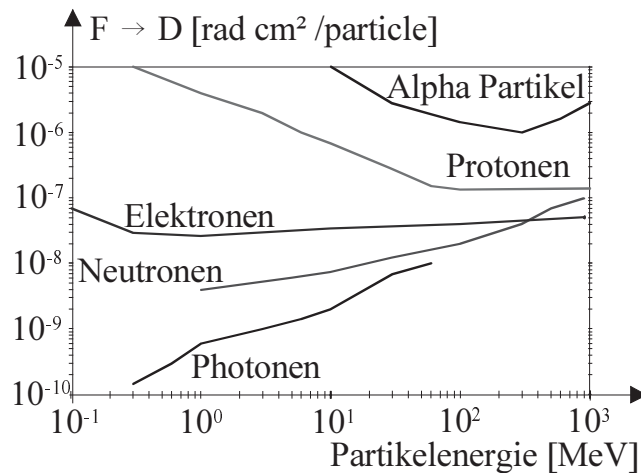
Passieren insgesamt  $F \cdot A$  Teilchen derselben Spezies  $n$  und der gleichen Energie  $E/n$  eine Scheibe mit der Querschnittsfläche  $A$ , so deponieren sie in dieser die Energie

$$dE = F \cdot LET(E/n, n) \cdot A \cdot \rho \cdot dx = F \cdot LET(E/n, n) \cdot dm \quad (8)$$

und damit nach Gleichung (6) die Dosis

$$D = \frac{dE}{dm} = F \cdot LET(E/n, n) \quad (9)$$

als Produkt von Fluenz  $F$  und Massenbremsvermögen  $LET$ . Bild 10 zeigt den Konversionsfaktor zwischen Fluenz und Dosis für verschiedene Partikelspezies.

Bild 10: Konversion Fluenz  $F \rightarrow$  Dosis  $D$  /Tri95, Fig5.2/

Setzt sich die Gesamtfluenz aus  $N$  unterschiedlicher Spezies (Masse / Energie - Kombinationen) zusammen, so sind für die Dosis  $N$  Teilbeträge zu summieren

$$D = \sum_{i=1}^N F_i \cdot LET(E/n, n)_i. \quad (10)$$

Statt der gesetzlichen Einheit Gray = Joule / kg ist immer noch die Einheit

$$rad = 10^{-2} Gy = 6,24 \cdot 10^7 \frac{MeV}{g} \quad (11)$$

gebräuchlicher.

Für Gleichung (9) erhält man damit die praktische Zahlenwertgleichung

$$D / rad = 1,6 \cdot 10^{-5} \cdot LET / (MeV \cdot cm^2 \cdot mg^{-1}) \cdot F / cm^{-2}. \quad (12)$$

Die **Dosisrate** ist die zeitliche Änderung der Dosis

$$\frac{dD}{dt} = \frac{dF}{dt} \cdot LET = \Phi \cdot LET \quad (13)$$

als Produkt von Teilchenfluß  $\Phi$  und Massenbremsvermögen  $LET$ .

## 2.2 Partikelstrahlung außerhalb planetarer Magnetosphären

Der Weltraum wird von Flüssen energiereicher Elektronen und Ionen durchströmt. In unserem Sonnensystem unterscheiden wir drei Arten:

- (1) Galaktische kosmische Strahlung (*Galactic Cosmic Rays, GCR*),
- (2) Sonnenwind (*Solar Wind*) und
- (3) Solare kosmische Strahlung (*Solar Energetic Particles, SEP*).

(1) **Die galaktische kosmische Strahlung** ist ein unser Planetensystem omnidirektional und gleichmäßig durchströmender Fluß ( $\Phi \approx 4 \text{ cm}^{-2} \text{ s}^{-1}$ ) hochenergetischer Ionen und Elektronen mit Energien bis weit über den GeV-Bereich. Ursprung und Beschleunigungsmechanismus für diese GCR-Partikel sind noch spekulativ. Bild 11 zeigt das (auf Silizium normierte) relative Massenspektrum mit etwa 85 % Protonen, 14 % He und etwa 1 % schwereren Ionen. Bild 12 zeigt das differentielle Energiespektrum.

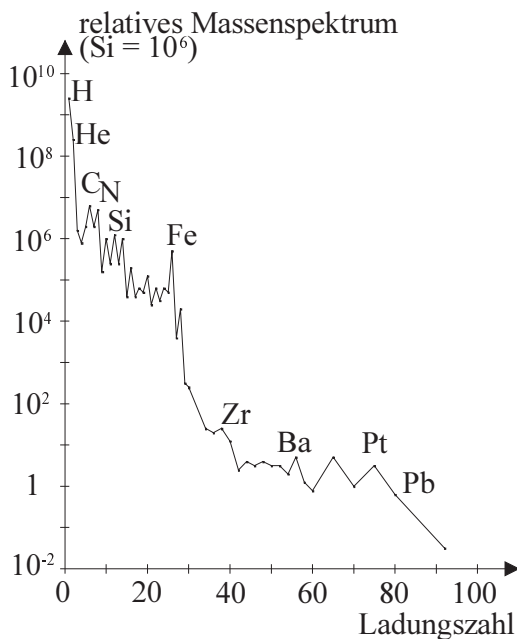


Bild 11: Relatives GCR-Massenspektrum, normiert auf Si / Fey93, Fig. 1/

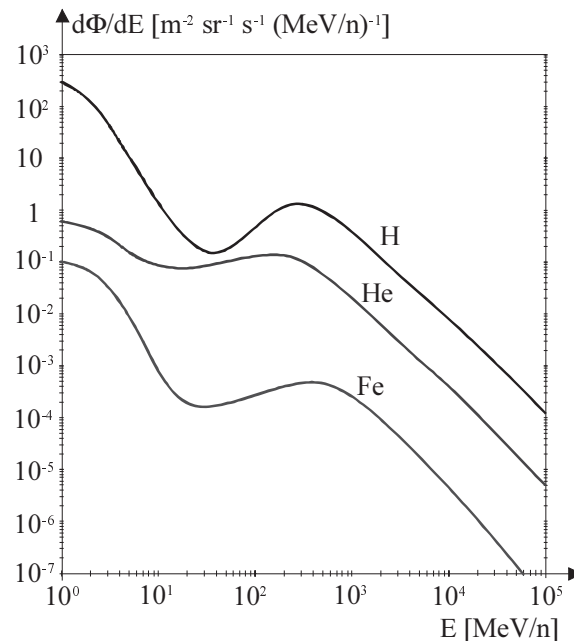


Bild 12: Differentielles GCR Energiespektrum / Tri95, Fig. 5.8/

(2) **Der Sonnenwind** ist ein gleichmäßig mit einer Geschwindigkeit von  $v = 400 \dots 800 \text{ km/s}$  von der Sonne abströmender Fluß von Elektronen und Ionen, hauptsächlich Protonen (96 %). Die Teilchenenergie liegt demnach bei

$$E/n = \frac{1}{2} m_p \cdot v^2 = \frac{1}{2} \cdot 1,67 \cdot 10^{-27} \text{ kg} \cdot (1,6 \dots 6,4) \cdot 10^{11} \text{ m}^2 \cdot \text{s}^{-2} = 1,3 \dots 5,2 \cdot 10^{-16} \text{ J} = 0,8 \dots 3,3 \text{ keV}$$

und die Teilchenreichweite nach Bild 9 bei  $\ll 1 \text{ mg/cm}^2$ . Vom Sonnenwind geht also keine Gefährdung der Elektronik aus.

**(3) Die solare kosmische Strahlung (Solar Energetic Particles, SEP)** tritt nur sporadisch, vielfach im Zusammenhang mit eruptiven Ausbrüche großer Massen solaren Plasmas (*Coronal Mass Ejection, CME*) auf. Der dann von der Sonne ausgehende Fluß hochenergetischer Ionen kann innerhalb weniger Stunden um bis zu 5 Zehnerpotenzen über den ständigen GCR - Fluß wachsen, bleibt dann typisch bis zu 1 Tag auf hohem Niveau und klingt innerhalb weniger Tage wieder vollständig ab. Es wird unterschieden zwischen impulsartiger SEPs und graduellen SEPs, deren in der Zeitskala unterschiedliche Beschleunigungsmechanismen noch nicht völlig aufgeklärt sind. Die impulsartigen SEPs sind wesentlich häufiger (ca. 1000 impulsartige SEPs gegenüber ca. 10 graduelle SEPs in einem Solar - Maximum - Jahr, liefern aber typisch wesentlich kleinere Fluß- und Fluenzwerte.

Die Skalierung des Flusses mit dem Abstand zur Sonne ( $R_s^{-2} \dots R_s^{-3}$ ) ist noch nicht völlig geklärt. Die Annahme eines stärker als mit  $R_s^{-2}$  skalierenden Teilchenflusses gründet sich auf ein mit  $R_s$  wachsendes Auseinanderlaufen des Flußpulses, wäre also für die impulsartigen kleineren SEPs zutreffend, aber nicht für die über einen Tag andauernden graduellen großen SEPs.

Die übliche pauschale SEP-Klassifikation unterscheidet nach der SEP-Fluenz drei Klassen: *ordinary*, *90 % worst case*, *99 % worst case* bzw. *anomalously large*. Das erste Modell beschreibt ein Ereignis mit durchschnittlicher Fluenz, das zweite und dritte Modell ein Ereignis mit derart großer Fluenz, daß im Mittel nur 10 % bzw. 1 % der Ereignisse eine größere Fluenz liefern. Bild 13 zeigt die Flußentwicklung zweier besonders starker Ereignisse, Bild 14 ein typisches differentielles Energiespektrum, das im Unterschied zum GCR-Spektrum bei 1 GeV steil abbricht.

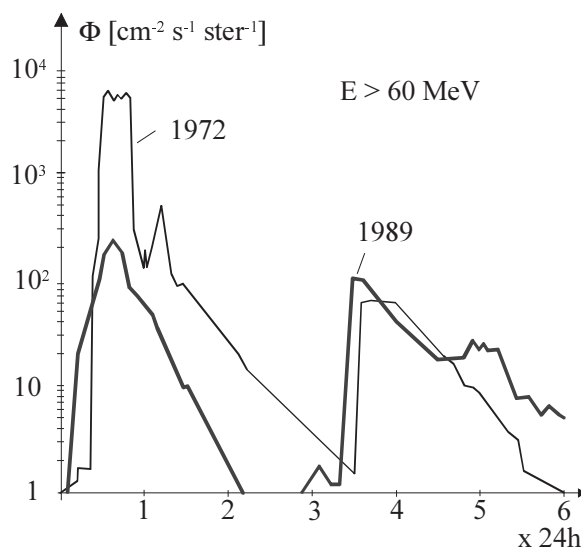


Bild 13: Protonenfluß zweier "anomalously large" SPEs bei 1 AU, /Fey93/

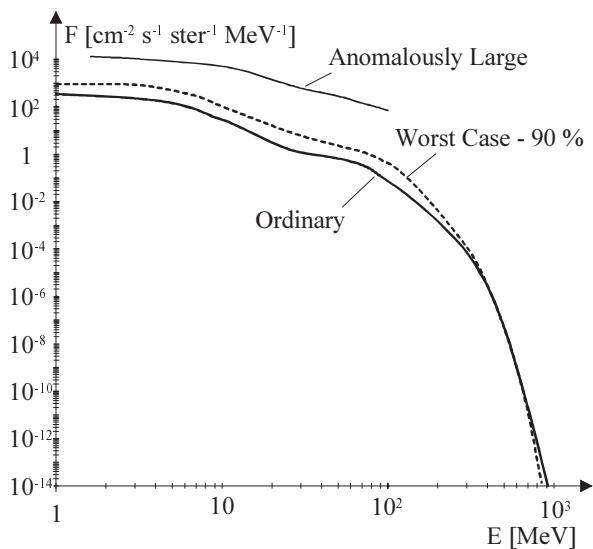


Bild 14: Differentielles Energiespektrum von Protonen bei Solar Flare /Tri95/

Bei interplanetaren Missionen liefern neben der Durchquerung planetarischer Strahlungsgürtel die sporadischen SPEs den größten Beitrag zu der in den Bauteilen deponierten Dosis. Der Beitrag der GCRs mit  $< 10 \text{ Rad/Jahr}$  ist dagegen vernachlässigbar. Entsprechend wichtig ist eine



auf die Statistik bisheriger Beobachtungen gegründete Vorhersage der in der Missionszeit zu erwartenden SPE-Belastung. Wie Bild 15 zeigt, erreicht die jährliche Fluenz gewöhnlich einige Jahre nach dem Sonnenfleckenmaximum ihren Spitzenwert, schwankt aber von Sonnenfleckenzyklus zu Sonnenfleckenzyklus erheblich /Fey93/. Der 11-jährige Zyklus der solaren Aktivität läßt sich in 7 Jahre hoher Aktivität und 4 Jahre geringer Aktivität unterteilen. Eine aus diesen Beobachtungen abgebildete Vorhersage der Wahrscheinlichkeit, mit der in dem 7-Jahresintervall eine bestimmte jährliche Fluenz nicht überschritten wird, ist in Bild 16 und Bild 17 wiedergegeben für Protonen > 10 MeV und 60 MeV aus dem in /Fey93/ angegebenen Diagrammsatz.

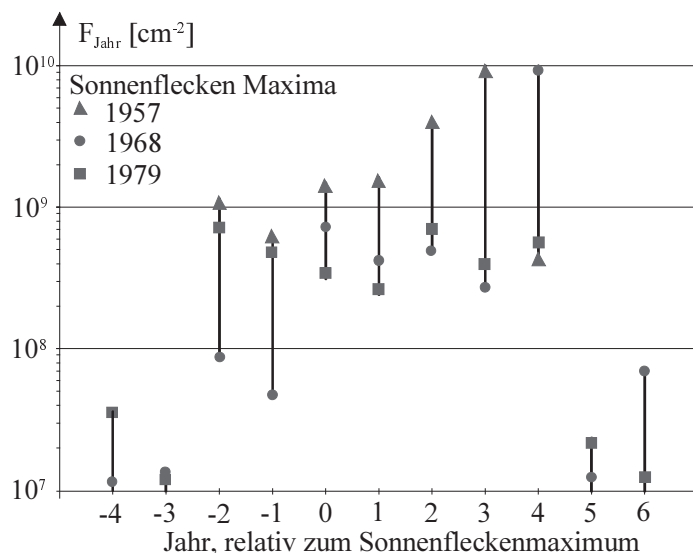


Bild 15: jährliche Fluenz für Teilchen > 30 MeV, relativ zum Sonnenfleckenmaximum /Fey93/

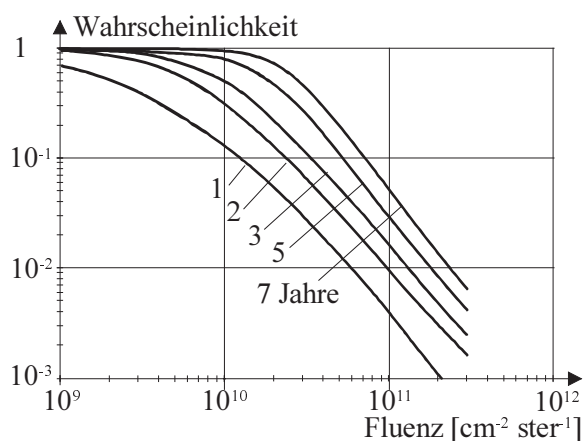


Bild 16: Vorhersage der Wahrscheinlichkeit mit der innerhalb eines Zeitintervalls eine jährliche "Protonen > 10 MeV Fluenz" nicht überschritten wird /Fey93/

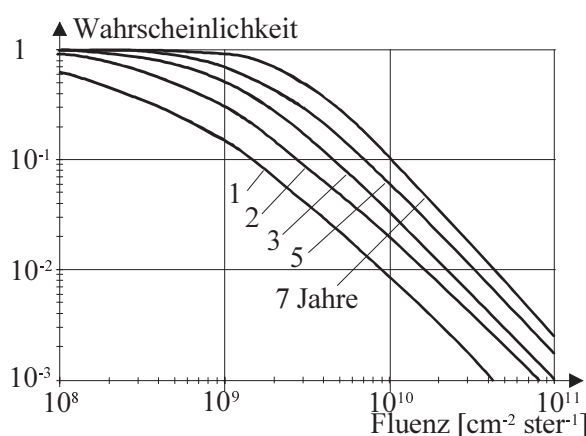


Bild 17: Vorhersage der Wahrscheinlichkeit mit der innerhalb eines Zeitintervalls eine jährliche "Protonen > 60 MeV Fluenz" nicht überschritten wird /Fey93/

Neben diesen für die Dosisvorhersage wichtigen Langzeitmittelwerten sind für die Vorhersage der *Single Event* Raten statistische Angaben über die Häufigkeit des Auftretens bestimmter *Flare*-Fluenzen von Interesse. Für die relative Häufigkeit signifikanter pulsartiger Einzel-*Flare*-Fluenzen sind in /Fey93/ ebenfalls Diagramme angegeben. Ein Beispiel hierfür ist Bild 18, das die Häufigkeit großer *Flare*-Fluenzen ( $F > 10^7 \text{ cm}^{-2}$  bei  $E > 10 \text{ MeV}$ ) darstellt. Im aktivsten Jahr 1989 sind es 50 *Flare*-Fluenzen dieser Größenklasse, im ruhigsten Jahr 1975 dagegen überhaupt keine. Bild 19 zeigt die zugehörige Intensitätsstatistik. Etwa 60 % der "signifikanten" *Flares* mit  $F > 10^7 \text{ cm}^{-2}$  bleiben unter  $10^8 \text{ cm}^{-2}$ . Bild 20 zeigt eine entsprechende Statistik der täglichen Fluenz-Werte  $F > 10^6 \text{ cm}^{-2} \text{ d}^{-1}$ . Viele *Flare*-Fluenzen verteilen sich über mehrere Tage, so daß sich gegenüber Bild 19 eine Verschiebung zu kleineren Ordinatenwerten und zu größeren Häufigkeiten ergibt. Tägliche Fluenzen von  $>10^9 \text{ cm}^{-2} \text{ d}^{-1}$  werden nur von 1 % der "signifikanten" *Flares* erreicht.

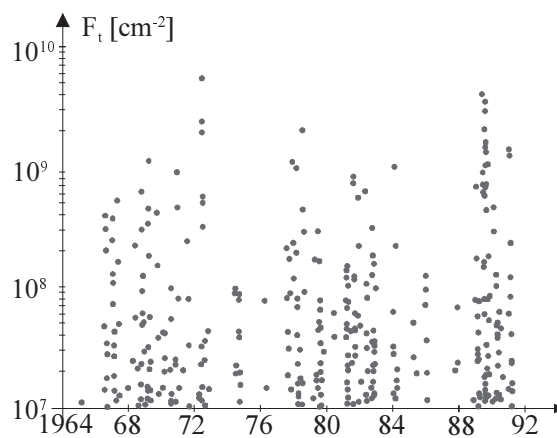


Bild 18: Häufigkeit großer *Solar Flare* Fluenzen ( $F > 10^7 \text{ cm}^{-2}$  bei  $E > 10 \text{ MeV}$ ) /Fey93/

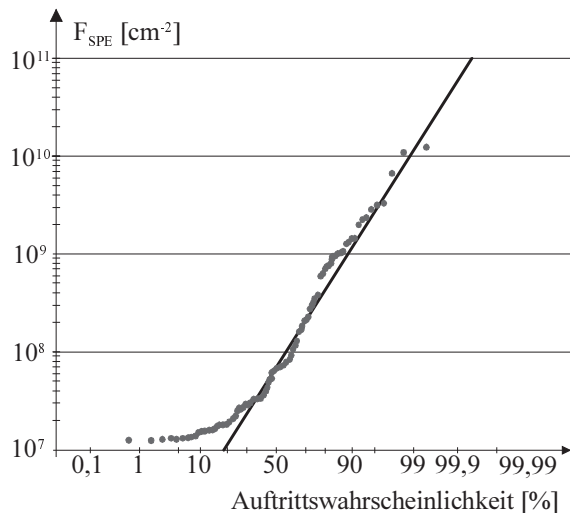


Bild 19: Intensitätsstatistik der Fluenz von *Solar Flares* mit  $E > 10 \text{ MeV}$  /Fey93/

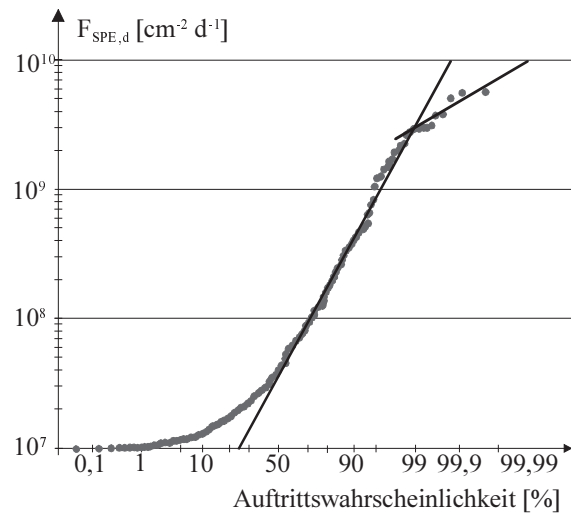


Bild 20: Intensitätsstatistik der täglichen Fluenz von *Solar Flares* mit  $E > 10 \text{ MeV}$  /Fey93/

Die Kenntnis der zu erwartenden täglichen Fluenzen, d.h. der über einen Tag gemittelte Fluß, ist für die Vorhersage der zu erwartenden *Single Event Effect* Fehlerraten wichtig. Hierzu tragen die Protonen indirekt bei, indem sie in seltenen Fällen Atomkerne des Halbleiter-Absorbers zertrümmern und dabei ihren Impuls auf Kernfragmente übertragen, die dann wie schwere Ionen mit hohem LET-Wert fehlererzeugend wirken. Der LET-Wert der Protonen reicht mit  $< 1 \text{ MeV cm}^2/\text{mg}$  dagegen nicht zur direkten Erzeugung fehlerauslösender Ionisationsladungen aus.

Bild 21 zeigt das integrale LET-Spektrum, und zwar gemittelt über (i) 100 % der Zeit, (ii) über 10 % der Zeit mit den größten Fluenzen (iii) 0,03 % der Zeit mit den größten Fluenzen, d.h. über die Zeiten extrem großer SPEs.

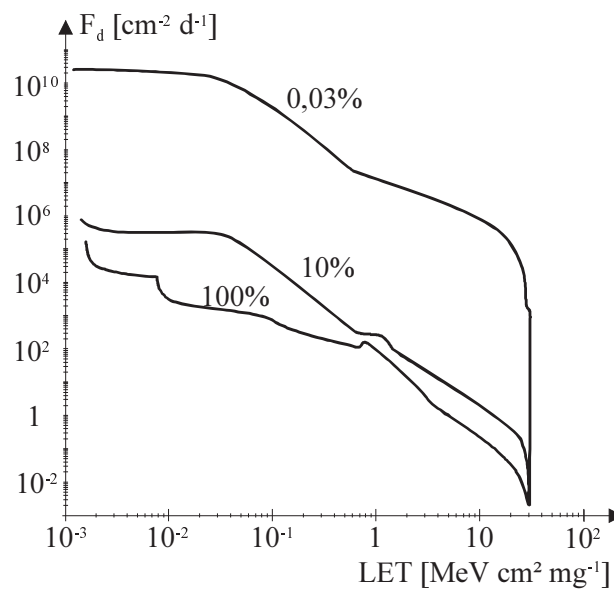


Bild 21: LET-Spektrum für drei verschiedene geosynchrone / 1 AU interplanetare Umgebungen /Brä89, Abb. 4.36/

Seltene, sehr große *Flares* liefern nach Bild 17 über  $10^{10} \text{ cm}^{-2} \text{d}^{-1}$  Protonen, die mit ihrem LET-Wert  $< 1 \text{ MeV cm}^2 \cdot \text{mg}^{-1}$  nicht direkt fehlererzeugend wirken. Die größeren, direkt fehlererzeugenden LET-Werte werden von den  $< \sim 1 \%$  Ionen schwerer als He geliefert mit der Konsequenz, daß das LET-Spektrum bei  $1 \text{ MeV cm}^2 \cdot \text{mg}^{-1}$  um mehr als den Faktor 100 auf etwa  $10^8 \text{ cm}^{-2} \cdot \text{d}^{-1}$  absackt. Bild 22 zeigt das für ingenieurmäßige Zwecke verwendete LET-Spektrum eines "99<sup>th</sup> percentile"-*Flare* bei 1 AU hinter verschiedene Al-Abschirmdicken, sowie den GCR Hintergrund.

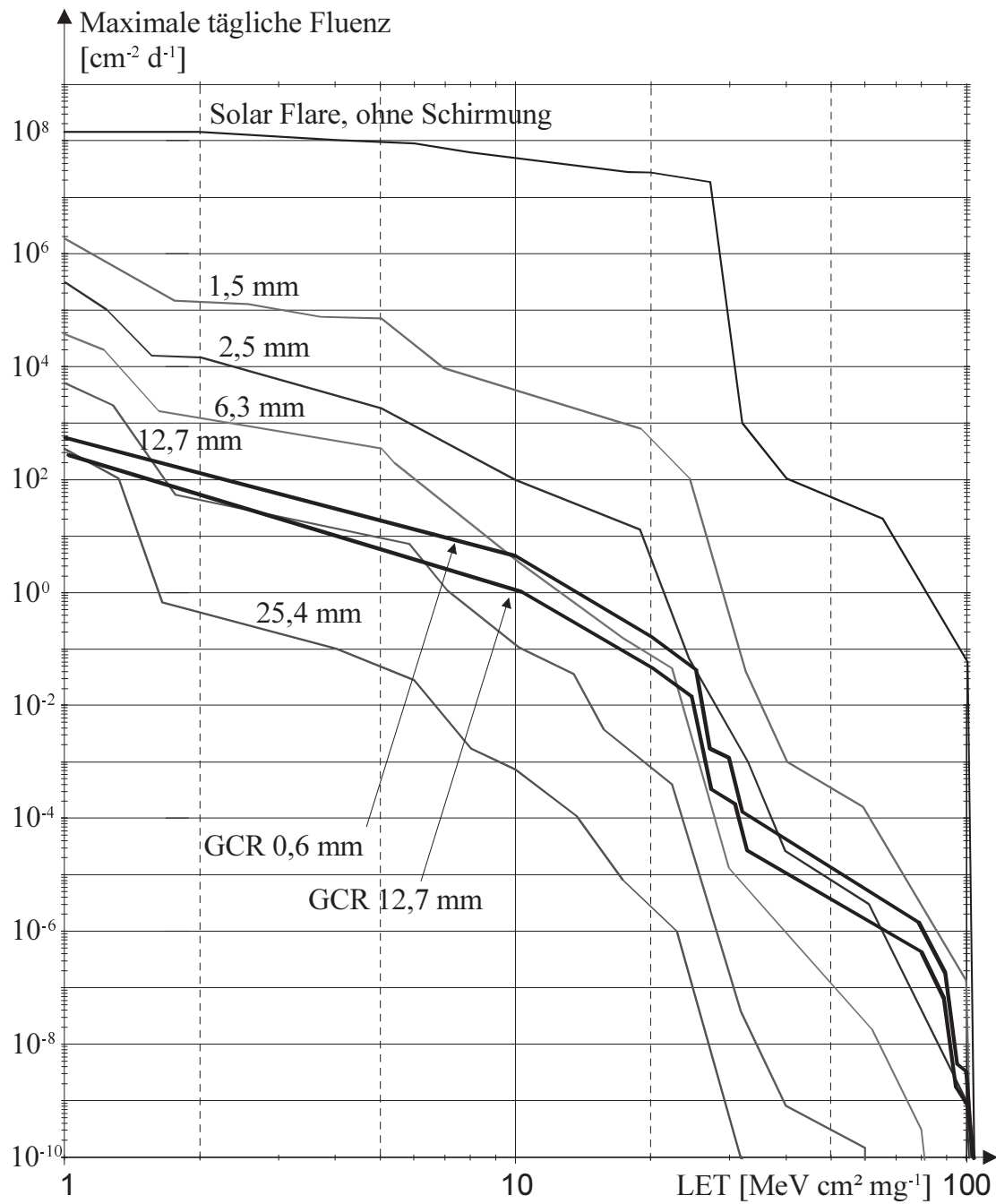


Bild 22: Integrales LET-Spektrum für einen 99 % *Solar Flare* im Abstand von 1 AU von der Sonne und für 90 % *Galactic Cosmic Ray Maximum* /NAS99, Fig. 21/

## 2.3 Strahlungsgürtel innerhalb der Erdmagnetosphäre

Das Magnetfeld der Erde wird durch die Wechselwirkung mit dem anströmenden Sonnenwind tropfenförmig verformt (Bild 23). Bei einem Abstand von etwa  $8 R_E$  (mittlerer Erdradius  $R_E = 6378 \text{ km}$ ) entspricht es näherungsweise noch einem Dipolfeld. In bestimmten Regionen dieses Dipolfeldes, den nach ihrem Entdecker benannten Van Allen-Gürteln, existieren große Elektronen- und Protonen-Flüsse.

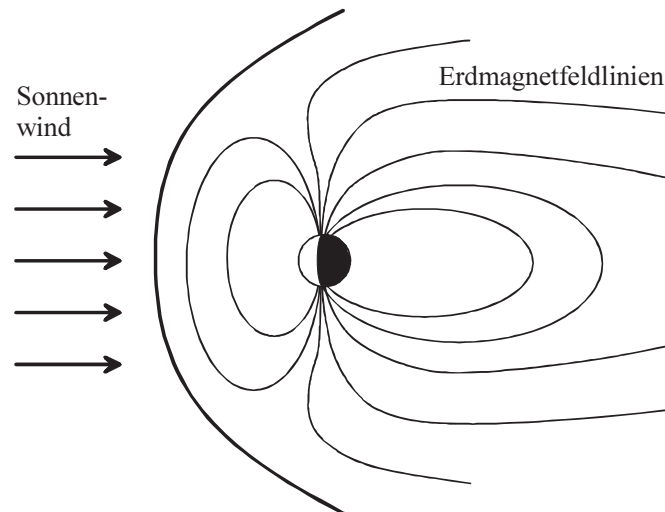


Bild 23: Einfluß des Sonnenwinds auf das Erdmagnetfeld /Tri95, Fig. 1.10/

Vom Prinzip her handelt es sich dabei um folgenden Mechanismus:

- (1) Tritt ein Teilchen mit der Masse  $m$ , der Ladung  $q$  und der Geschwindigkeit  $\vec{v}_\perp$  senkrecht zum Feldstärkevektor  $\vec{B}$  in ein homogenes Magnetfeld der Flußdichte  $B$  ein, so erfährt es dort eine senkrecht zu seinem Geschwindigkeitsvektor gerichtete Kraft  $\vec{F}_\perp$ :

$$\vec{F}_\perp = \vec{v}_\perp \times \vec{B}, \quad (14)$$

die es in eine Kreisbahn mit der Zyklotronfrequenz

$$\omega_c = \frac{q \cdot B}{m} \quad (15)$$

und dem Larmor - Radius

$$r_L = \frac{v_\perp}{\omega_c} \quad (16)$$

zwingt.

- (2) Ist das Magnetfeld, wie das Dipolfeld der Erde, nicht homogen, so kommen weitere Kraftwirkungen hinzu. Eine Veränderung der magnetischen Feldstärke  $dB/ds$  längs der Feldlinien führt zu einer feldlinienparallelen Kraft in Richtung abnehmender Feldstärke

$$F_{\parallel} = -\frac{1}{2} \mu_m \cdot \frac{dB}{ds} \quad (17)$$

mit dem magnetischen Moment

$$\mu_m = \frac{1}{2} \frac{m \cdot v_{\perp}}{B}. \quad (18)$$

- (3) Tritt ein geladenes Teilchen schräg, d.h. mit beiden Geschwindigkeitskomponenten  $v_{\perp} \neq 0$  und  $v_{\parallel} \neq 0$ , in das Erdmagnetfeld ein, so wird es infolge  $v_{\perp}$  in eine Kreisbahn und infolge  $v_{\parallel}$  in eine Translation längs der Feldlinie gezwungen. Das Teilchen bewegt sich dann auf einer Spiralbahn mit dem Steigungswinkel (*Pitch angle*)

$$\Theta = \sin^{-1} \frac{v_{\perp}}{v}; \quad v = \sqrt{v_{\perp}^2 + v_{\parallel}^2} \quad (19)$$

längs einer Feldlinie in Richtung  $v_{\parallel}$ , also z.B. auf der nördlichen Halbkugel polwärts.

Da die magn. Kraftwirkung immer senkrecht zum Geschwindigkeitsvektor gerichtet ist, verändert das Teilchen nur die Richtung des Geschwindigkeitsvektors, nicht aber dessen Betrag mit der Folge, daß seine kinetische Energie

$$E = \frac{1}{2} m \cdot v^2 \quad (20)$$

bei der Bewegung im magnetischen Feld unverändert erhalten bleibt. Ebenso bleibt im schwach veränderlichen Feld (für eine Spiralumdrehung  $dB/B \ll 1$ ) das magnetische Moment  $\mu_m$  des Teilchens erhalten /Gom98/.

Ein polwärts spirales Teilchen verringert wegen der abbremsenden Kraftwirkung  $F_{\parallel}$  ständig seine Geschwindigkeitskomponente  $v_{\parallel}$  zu Gunsten von  $v_{\perp}$ , um bei  $v_{\parallel} = 0$ ,  $\Theta = \pi/2$  die Translationsrichtung umzukehren und in südlicher Richtung zurück zu spiralen, dabei in der Äquatorialebene der Maximalwert von  $v_{\perp}$  zu erreichen und dann wieder am südlichen Umkehrpunkt die Translationsrichtung umzukehren. Im Ergebnis spiralt das Teilchen ständig zwischen einem nördlichen und südlichen Umkehrpunkt (*mirror point*) hin und her (Bild 24).

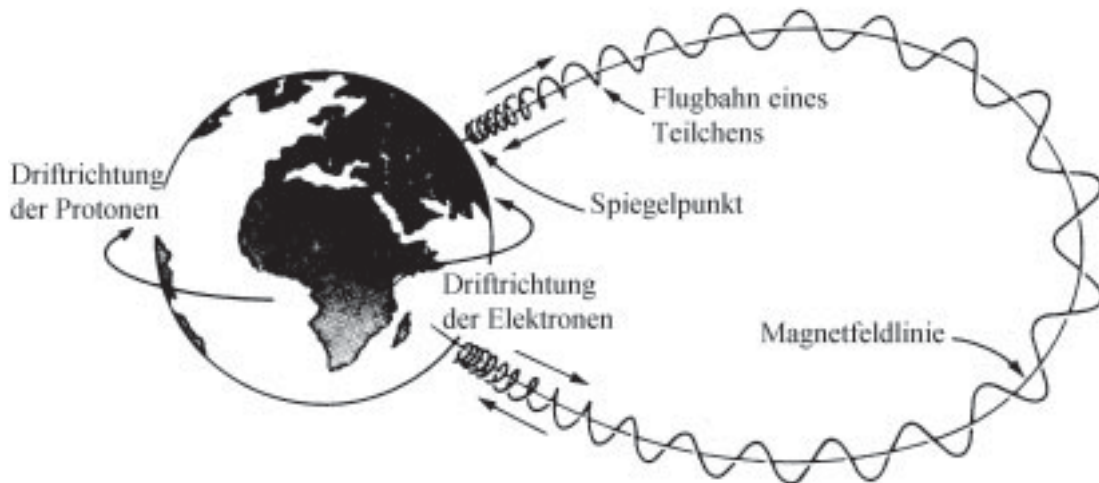


Bild 24: Teilchenbewegungen im Erdmagnetfeld /Gom98, Fig. 1.8/

Aus der Erhaltung des magnetischen Momentes  $\mu_m$  und der Energie  $E$

$$\mu_m = \frac{1}{2} \frac{m \cdot v_{\perp}^2}{B} = \frac{1}{2} m \cdot v^2 \cdot \frac{\sin^2 \Theta}{B} = const \quad (21)$$

folgt 
$$\frac{\sin^2 \Theta}{B} = const \quad (22)$$

Ein Teilchen, charakterisiert durch den Pitchwinkel  $\Theta_0$  bei der Feldstärke  $B_0$ , erreicht seinen Umkehrpunkt bei der Feldstärke

$$B_{mirror} = \frac{B_{mirror}}{\sin^2(\pi/2)} = \frac{B_0}{\sin^2 \Theta_0} \quad (23)$$

Liegt für ein durch  $\Theta_0$  und  $B_0$  charakterisiertes Teilchen die rechnerische Umkehrfeldstärke  $B_{mirror}$  über der maximalen Feldstärke  $B_{max}$  der "magnetischen Flasche", so bleibt das Teilchen nicht in dieser eingeschlossen. Umgekehrt wird ein Teilchen mit Pitchwinkel  $\Theta_0 = \pi/2$  in der Äquatorialebene diese Ebene nicht verlassen. In der Äquatorialebene wird also das Maximum der Teilchendichte erreicht und wegen  $v = const$  für jedes Einzelteilchen auch das Maximum der Teilchenflüsse.

- (4) Das gekrümmte Dipolfeld der Erde hat nicht nur einen Gradienten in Richtung der Feldlinien, sondern auch in dazu senkrechter Richtung. Hieraus resultiert eine weitere Kraftwirkung, die wie ein zum Magnetfeld senkrecht elektrisches Feld zu einer überlagerten Driftbewegung mit der "gradient-curvature" Driftgeschwindigkeit  $v_{GC}$  führt /Gom98/:

$$v_{GC} = \frac{m}{q} \cdot \frac{v_{\parallel}^2 + \frac{1}{2}v_{\perp}^2}{B} \cdot \frac{\vec{B} \cdot \text{grad}B}{B^2} \quad (24)$$

Aus dem Term  $q$  folgt, daß die Richtung der Teilchendrift von dem Vorzeichen der Teilchenladung abhängt, d.h. im Dipolfeld der Erde driften Elektronen von West nach Ost und Ionen von Ost nach West.

Bild 25 zeigt die integralen Elektronen- und Protonenflüsse in der magnetischen Äquatorebene in Abhängigkeit von der Flughöhe.

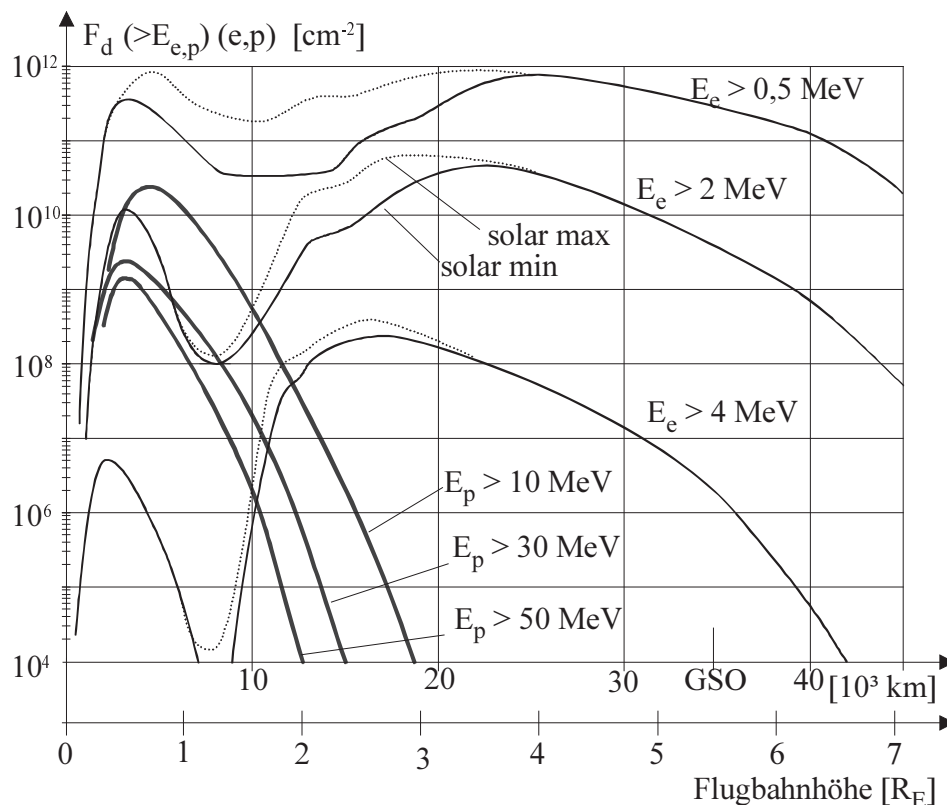


Bild 25: Schnitt durch den Strahlungsgürtel der Erde /Brä89, Abb1.3/

Die Elektronenflüsse werden durch die Sonnenaktivität beeinflusst. Entsprechend sind zwei Grenzkurven für "solar min." und "solar max." angegeben. Die Orts- und Zeitabhängigkeit der Elektronenflüsse ist modelliert in dem AE8 Min- bzw. AE8 Max - Standard Model des *National Science Data Center*, und entsprechend die Protonenflüsse in dem AP8 Min- bzw. AP8 Max Standard Model. Im "solar max." Intervall des 11-jährigen Sonnenzyklus wird die Frontseite der Magnetosphäre etwas zusammengedrückt mit der Folge, daß der innere Protonengürtel tiefer in die Ausläufer der Atmosphäre taucht und dabei durch häufige Kollisionen mit Luftmolekülen auch Protonen verliert. Das AP Min- Standard Model ist daher das "worst case" - Modell.



Nach den Bildern 8 und 9 hält eine Abschirmdicke von z.B.  $1 \text{ g/cm}^2$  Protonen mit  $E < 30 \text{ MeV}$  vollständig und Elektronen mit  $E < 1 \text{ MeV}$  (mittlere Reichweite von  $0,5 \text{ g/cm}^2$ ) fast vollständig zurück.

Für die Dosisvorhersage in Form einer "dose-depth" - Kurve muß für jedes Orbitintervall dessen Fluenzbeitrag und dann durch Summation über einen Orbit die Fluenz je Orbit, daraus nach Glg. (9) die Dosis je Orbit und daraus die Dosis bis zum Ende der Mission bestimmt werden. Bild 26 zeigt für äquatoriale Orbits verschiedener Höhe die jährliche Dosis hinter  $4 \text{ mm Al}$  ( $\approx 1 \text{ g/cm}^2$ ), und Bild 27 für polare Orbits. Unter  $1000 \text{ km}$  Höhe verringert sich die Dosis sehr steil, etwa mit der 5. Potenz der auf  $1000 \text{ km}$  bezogenen Höhe /Gor91/.

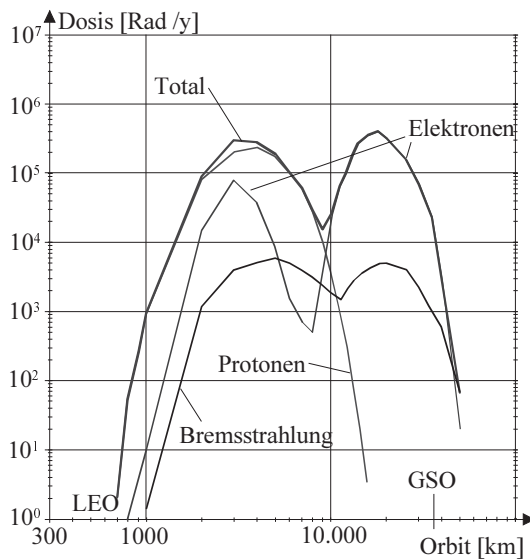


Bild 26: Jährliche Dosis hinter  $4 \text{ mm Al}$  in Abhängigkeit von der Flugbahn /For95, Fig. 2.17/

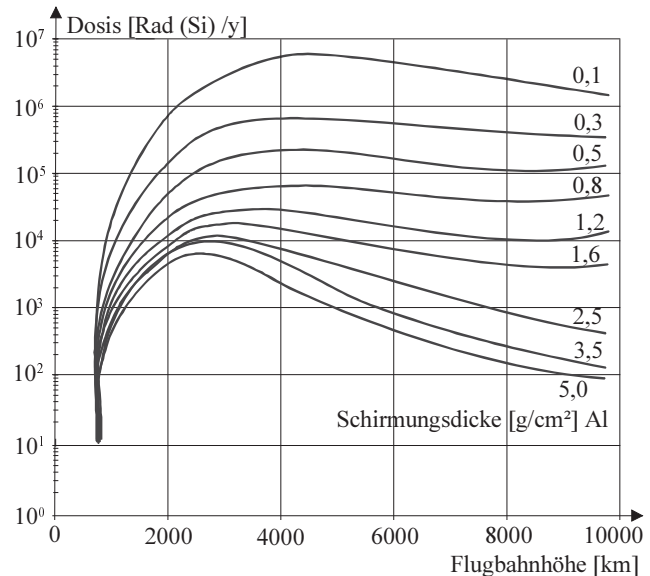


Bild 27: Jährliche Dosis bei polaren Orbits in Abhängigkeit von der Flughöhe für mehrere Schirmungsdicken /Wer96, Fig. 8,4/

## 2.4 Strahlung durch Zerfall radioaktiver Isotope

Außerhalb der Marsumlaufbahn kann der Energiebedarf einer Sonde nicht mehr durch Solarzellen gedeckt werden. Deshalb wird bei diesen Missionen der Zerfall radioaktiver Isotopen zur Energiegewinnung genutzt, wegen der langen Halbwertzeit Plutonium. Die beim Zerfall entstehende Wärme wird zur Spannungserzeugung (*Radioisotope Thermal Generator*, RTG) oder als "Heizung" (*Radioisotope Heater Unit*, RHU) verwendet. Bild 28 zeigt das Energiespektrum der aus der Abschirmung eines RTGs austretenden Neutronen und  $\gamma$ -Photonen, Bild 29 den Dosisbeitrag in Abhängigkeit von der Entfernung. Bei der CASSINI Sonde liefern die RTGs über einen Zeitraum von 11 Jahren eine elektrische Energie von  $60 \text{ MWh}$  und in  $1 \text{ m}$  Abstand noch eine Strahlungsdosis von knapp  $3 \text{ krad}$  /JPL96/.

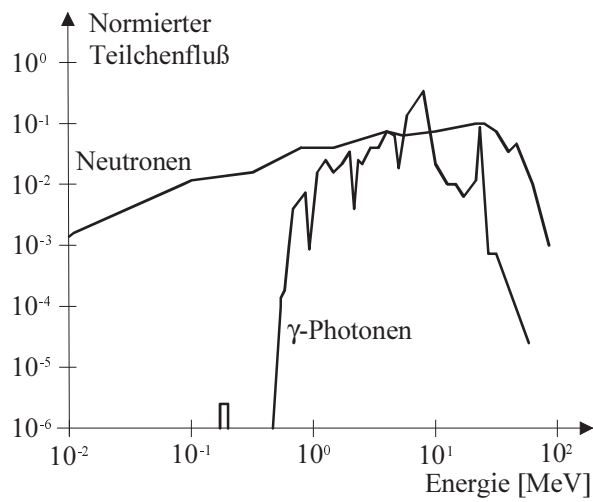


Bild 28: Energiespektrum eines RTGs  
/Tri95, Fig5.12/

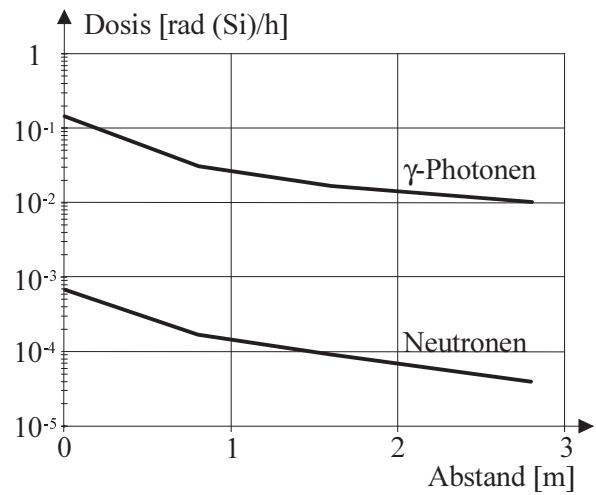


Bild 29: Gemeinsame Dosisrate der Gamma- und Neutronenstrahlung der 3 CASSINI-RTGs in Abhängigkeit vom Abstand /JPL96/

### 3 Schädigung Elektronischer Bauteile durch Weltraum-Strahlung

#### 3.1 Überblick

Im Weltraum sind die elektronischen Bauteile einer durchdringenden Partikelstrahlung ausgesetzt. Dies führt zu transienten Funktionsstörungen bis hin zu permanenten Funktionsausfällen. Die dominierenden Schädigungsmechanismen beruhen primär auf der Erzeugung von Elektron/Loch-Paaren längs der Teilchenspur und sekundär auf der Akkumulation und Speicherung dieser freien Ladungsträger in Haftstellen und Schaltungsknoten. Gitterverschiebungen und die damit einhergehende Veränderung der *bulk*-Material-Parameter (Diffusionslänge, Beweglichkeit) sind bei der heute dominierenden MOS-Technik nur von geringer Bedeutung. Die folgende Zusammenstellung orientiert sich an der ausführlichen Behandlung dieses Aspektes in /Ma89/.

#### 3.2 Total Dose Effekt

Die *Total Dose* Effekte beruhen auf die Erzeugung von Elektron/Loch-Paaren im Gateoxid ( $\text{SiO}_2$ ), und der dauerhaften Speicherung eines Teils dieser Löcher in Haftstellen (Bild 30). Die positive Haftstellenladung verbiegt wie eine entsprechende Veränderung der Gateladung das Ladungs- und Valenzbandniveau im angrenzenden Si-Substrat mit zum Substratinneren hin ansteigenden Gradienten (Bild 31) und verschiebt damit den Eintritt der Inversion, d.h. die Schwellenspannung in negativer Richtung.

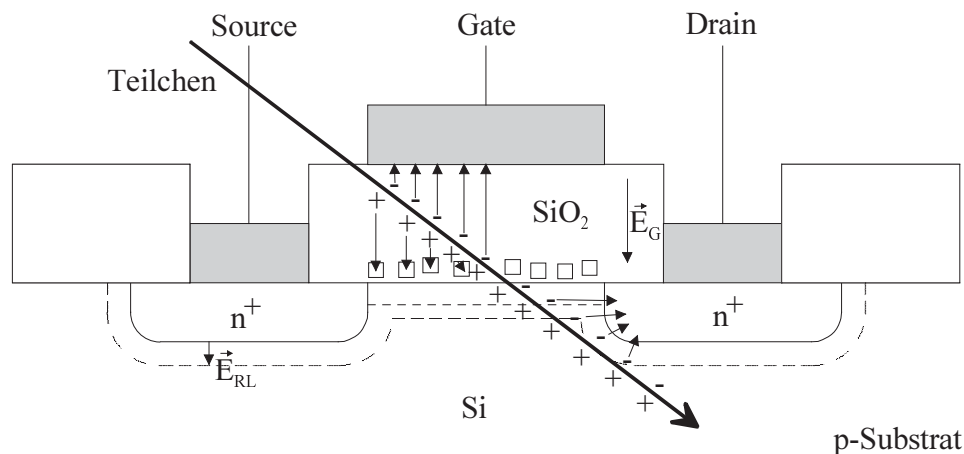


Bild 30: Ionisation im Gateoxid eines NMOS Transistors,

$\square$  : leere Haftstellen am  $\text{SiO}_2/\text{Si}$ -Interface

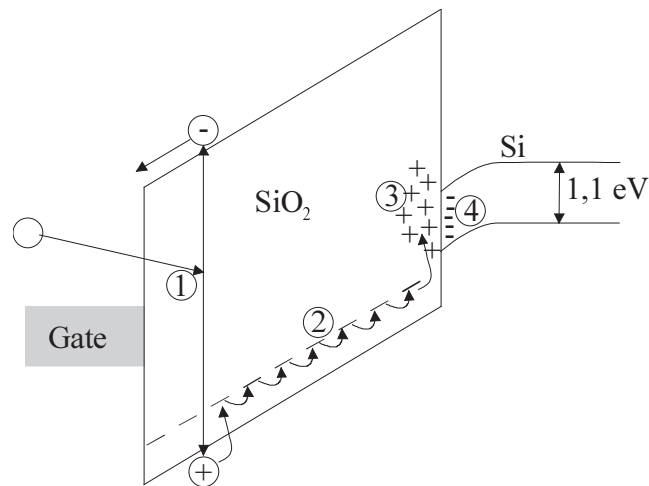


Bild 31: Schematische Darstellung der durch Ionisierung verursachten Strahlungseffekte in MOS-Strukturen. (1) Elektron/Loch-Paar-Erzeugung durch Strahlung, (2) Löcherwanderung durch das  $\text{SiO}_2$  über Gitterdefektstellen, (3) Anlagerung der Löcher in Haftstellen am  $\text{Si}/\text{SiO}_2$  Interface, (4) Durch Strahlung verursachte Haftstellen innerhalb der Si Bandlücke /Ma89 Fig. 3.1/

In  $\text{SiO}_2$  wird je 17 bis 18 eV Energieverlust ein Elektron / Lochpaar erzeugt /Kob68/, /Nor70/. Die daraus resultierende Elektron / Lochdichte längs der Teilchenspur ist in Bild 32 dargestellt. Durch das elektrische Feld (im Gateoxid  $\approx 1 \text{ MeV/cm}$ ) werden die Elektron / Lochpaare separiert. Die Elektronen werden bei dieser hohen Feldstärke mit ihrer Sättigungsdriftgeschwindigkeit von  $10^7 \text{ cm/s}$  innerhalb von etwa 1 ps aus der etwa 100 nm dicken Oxidschicht gegen die Feldstärkerichtung ausgeschwemmt, während die Löcher sehr viel langsamer in Richtung der Feldstärke von Gitterdefekt zu Gitterdefekt wandern und erst nach  $\mu\text{s}$  die Oxidgrenze erreichen. Ein Teil der Elektron / Lochpaare rekombiniert allerdings an Ort und Stelle. Der sich trennende Anteil wird durch den "*fractional yield*" charakterisiert, der tendenziell mit der Feldstärke wächst und mit der Paardichte längs der Spur sinkt. Während also Teilchen mit gleichem Massenbremsvermögen bei gleichem Dosisbetrag die gleiche Zahl von Ladungsträgerpaaren generieren, ist die ausgeschwemmte Zahl von Ladungsträgern über die Paardichte längs der Spur vom Massenbremsvermögen abhängig, und zwar derart, daß schwerere Teilchen einen geringeren "*fractional yield*" liefern. Das begründet für die übliche Charakterisierung der Toleranzdosis einen verborgenen Sicherheitsfaktor. Die Messung der Toleranzdosis erfolgt in der Regel mit einer Cobalt<sup>60</sup>-Quelle (primär  $\gamma$ -Photonen, Hauptwechselwirkung mit dem Material über Compton-Sekundärelektronen) und liefert einen hohen "*fractional yield*" von etwa 75%, während Protonen nur einen *fractional yield* von etwa 16 % haben /Ma89, s. 100/, und schwerere Ionen noch einen geringeren "*fractional yield*" liefern.

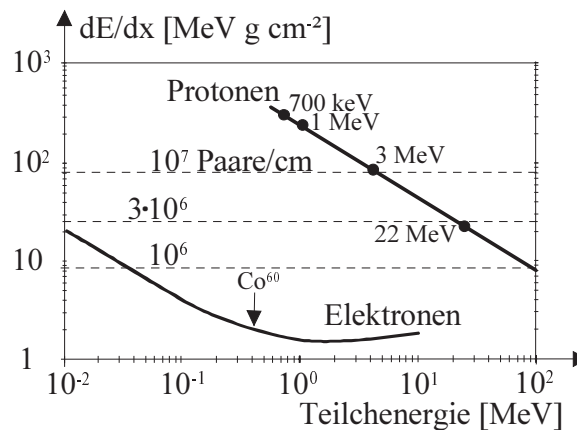


Bild 32: Energietransfer in  $\text{SiO}_2$  für Elektronen und Protonen in Abhängigkeit von der Teilchenenergie /Ma89 Fig. 3.2/

Die sich in Richtung  $\text{SiO}_2/\text{Si}$ -Interface bewegendenden Löcher werden teilweise, charakterisiert durch den "*trapping factor*" in zwei grenzflächennahen Haftstellenregionen gefangen. Die erste Haftstellenregion liefert eine herstellungsbedingte feste Haftstellendichte in der Randzone des Gateoxids. Ein "*Annealing*" der hier eingefangenen Löcherladung erfolgt mit großen Zeitkonstanten (Tagen, Jahren), z.B. durch Injektion von Kanalelektronen in die Randzone des Oxids. Üblich ist die "*worst case*"-Annahme, daß die eingefangenen Löcher dort für immer verbleiben und eine permanente, dosisproportionale Verschiebung der Schwellenspannung in negativer Richtung bewirken.

Die zweite Haftstellenregion ist auf der Grenzfläche des Si, energetisch innerhalb der Bandlücke, lokalisiert und zwar zusätzlich zu der vor der Bestrahlung schon vorhandenen Haftstellendichte von etwa  $10^{10} \text{ cm}^{-2}$  /Ma89, Section 4.7/. Die Erzeugung dieser zusätzlichen Haftstellen ist mit dem Transport von strahlungsgenerierten Ladungsträgern (Ionen) aus dem  $\text{SiO}_2$ -Gitter in das Si-Gitter verbunden, erfolgt also nicht durch direkte Strahlungseinwirkung am Ort der Haftstelle. Diese Haftstellenniveaus in der Bandlücke können Ladungen mit dem Leitungs- und Valenzband Ladungen austauschen, wobei ihre Besetzung - anders als bei den  $\text{SiO}_2$ -Haftstellen - sich mit ihrer relativen Lage zum Fermi-niveau ändert. Den Haftstellen oberhalb der Bandmitte wird Acceptor - Charakter zugeschrieben, den Haftstellen unterhalb der Bandmitte Donatorcharakter. Bei einem leitenden NMOS-Transistor liegt das Oberflächen-Fermi-niveau oberhalb der Bandmitte und die Acceptor-Haftstellen werden durch Elektronenübergang vom Leitungsband negativ geladen. Diese negative Flächenladung auf der Si-Oberfläche wirkt der positiven Raumladung in der grenzschichtnahen  $\text{SiO}_2$ -Zone entgegen und kompensiert sie teilweise bis hin zur Überkompensation, sodaß sich durch diesen "*Rebound*"-Effekt insbesondere bei hohen Dosen eine Verlagerung der Schwellenspannung über den Anfangswert hinaus in positiver Richtung einstellen kann (Bild 33). Bei PMOS-Transistoren erhält man entsprechend dem tieferliegenden Oberflächen-Fermi-niveau einen Übergang von Elektronen aus den Donator-Haftstellen in der unteren Hälfte der Bandlücke in das Valenzband und damit eine positive Flächenladung, die die Wirkung der positiven Raumladung in der gatenahen Randzone des  $\text{SiO}_2$  und damit die Verschiebung der Schwellenspannung in negativer Richtung verstärkt.

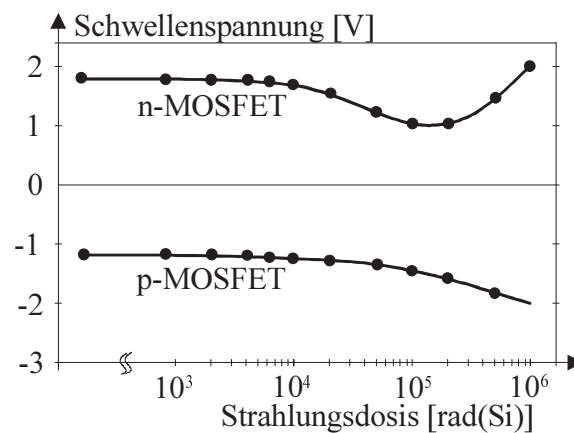


Bild 33: Schwellenspannung für n- und p-Kanal MOSFETs über die Strahlungsdosis bei Bestrahlung unter 5 V Versorgungsspannung durch eine  $\text{Co}^{60}$   $\gamma$ -Strahlung

Die Zeitkonstanten für die Umladung der Si-Haftstellen sind verhältnismäßig groß. Während die  $\text{SiO}_2$ -Haftstellen nach einem Strahlungspuls in  $\mu\text{s}$  besetzt werden, erfolgt dies bei den Oberflächen-Haftstellen erst nach ms.

Eine oft und divergierend beantwortete Frage ist, ob und inwieweit eine während der Strahlungseinwirkung abgeschaltete Versorgungsspannung die Toleranzdosis der Bauteile erhöht. Aus dem Umstand, daß der "fractional yield" sich mit der Feldstärke verringert, folgert man, daß bei gegebener Dosis ein deutlich kleinere positive Ladungsmenge zum Substrat hin wandert und sich dadurch eine kleinere Si-Oberflächenladung ergibt. Tatsächlich ergaben sich viel geringere Verbesserungen der Toleranzdosis als erwartet /Gli00/, /Ma89, section 4.4.4/. Alle derartigen Vorhersagen sind bei heutigen komplexen Bausteinen sehr gewagt. Das Zusammenwirken von mit verschiedenen Zeitkonstanten entgegen wirkenden Mechanismen macht eine kausale Analyse fast unmöglich. Die Praxis bleibt auf den Bestrahlungstest mit einer  $\text{Co}^{60}$ -Quelle mit einer Zeitskala von etwa einen Tag bis zum Auftreten signifikanter Funktionsänderungen angewiesen, wobei die Funktion sowohl ständig in-situ und außerdem wegen des eventuell verschlimmernden Zusammenwirken von *Annealing* und *Rebound* zusätzlich einige Tage nach dem Strahlungstest geprüft werden sollte. Wie schon erwähnt, liefert die mit der  $\text{Co}^{60}$ -Quelle bestimmte Toleranzdosis für Protonen und schwerere Ionen noch einen Sicherheitsfaktor von etwa fünf für fast alle Weltraummission mit Ausnahme solcher mit starken Elektronenflüssen am oberen Rand des Van Allen-Gürtels.

### 3.3 Maßnahmen zur Verbesserung der Toleranzdosis

Zur Verbesserung der Toleranzdosis können prozeßtechnische und schaltungstechnische Maßnahmen vorgenommen werden. Die beiden wichtigsten prozeßtechnischen Maßnahmen sind (a) möglichst dünnes Gateoxid und (b) die Vermeidung von Hochtemperatur - Prozeßschritten ( $> 800^\circ\text{C}$ ) und von Implantierungsschritten.

Im Idealfall verringert sich die Schwellenspannungsverschiebung mit dem Quadrat der Oxiddicke  $d$ . Dies ergibt sich daraus, daß (i) das Oxidvolumen und damit die im

Gateoxidvolumen generierte Löcherladung proportional zu  $d$  ist und (ii) die Gatekapazität  $C_G$  umgekehrt proportional zu  $d$  wächst. Damit führt eine Veränderung der Haftstellenladung  $\Delta Q$  infolge kleinerer Oxiddicke zu einer Veränderung der Schwellenspannung.

$$-\Delta U_{th} = \frac{\Delta Q}{C_G}, \propto d^2 \quad (25)$$

Einer beliebigen Verringerung der Oxiddicke steht die die Zuverlässigkeit mindernde Erhöhung der Feldstärke entgegen. Wird aus diesem Grund - wie bei modernen CMOS-Bausteinen - mit der Oxiddicke auch der Spannungshub  $\Delta U$  proportional verringert,

$$-\Delta U \propto d \Rightarrow \frac{-\Delta U_{th}}{\Delta U} \propto d \quad (26)$$

so bleibt doch die aus Volumenverringerng resultierende zu  $d$  proportionale Verbesserung der auf den Spannungshub bezogenen Schwellenspannungsverschiebung. Die ist der Grund dafür, daß sich die Toleranzdosis mit fortschreitender Strukturverkleinerung generell verbessert, z.B. bei im Standardprozeß gefertigten DRAMs von typisch 5 krad bei 1M - Typen auf typisch 15 krad bei 64M - Typen.

Hochtemperatur - Prozeßschritte führen ebenso wie Ionenimplantierung zu einer Erhöhung der Haftstellendichte. Durch geeignet Niedertemperatur-Prozeßführung erreicht man eine Verringerung des "*trapping factors*" von 30% auf unter 1%.

Während eine minimale Gateoxidicke wegen der damit verbundenen höheren Steilheit (Stromergiebigkeit) auch für Standardbausteine angestrebt wird, ist dies hinsichtlich der Vermeidung von Hochtemperatur-Prozeßschritten (z.B. Oxid-Tempem, Oberflächenverglasung vor Metallisierung) gerade nicht der Fall. Diese werden vielmehr zur Verbesserung der Ausbeute eingesetzt. Prozesse für "*radiation hardened*" Bausteine unterscheiden sich insbesondere durch die Vermeidung von Hochtemperatur-Prozeßschritten von den Standard-Prozessen. Eine eingehende Darstellung der Problematik findet sich in /Ma89, Section 6/

Die schaltungstechnischen Maßnahmen zielen auf größeren Spielraum für Schwellenspannungsverschiebungen und *Subthreshold*-Restströme. Hochohmige Knoten sind im Hinblick auf die Restströme zu vermeiden. Statt dessen ist eine in jedem Zustand wirksame aktive Verbindung der Schaltungsknoten mit einem niederohmigen Potential anzustreben, wie dies bei der CMOS-Technik der Fall ist. Einzelheiten und weitere Literaturverweise finden sich ebenfalls in /Ma89, Section 6/

Durch Kombination von prozeßtechnischen und schaltungstechnischen Maßnahmen erreicht man Toleranzdosen von über 1 Mrad, allerdings mit reduzierten Leistungsmerkmalen (geringere Funktionsdichte, kleinere Taktfrequenz) gegenüber vergleichbaren Standardbausteinen. Das Typenspektrum derartiger Spezialbausteine ist sehr begrenzt, und ihre Verfügbarkeit ist durch rigide Exportbestimmungen, lange Lieferzeiten und hohe Mindestabnahmemengen bei hohem Stückpreis stark eingeschränkt.

### 3.4 *Single Event* Effekte

Während die Total Dose Effekte auf der akkumulierten Wirkung vieler Teilchen beruhen, geht bei den *Single Event* Effekten (SEE) die Wirkung von nur einem einzelnen Teilchen aus. Nach dem Erscheinungsbild unterscheidet man *Single Event Upsets* (SEU), *Single Event Latchups* (SEL), *Single Event Gate Ruptures* (SEGR) und *Single Event Hard Errors* (SEHE).

#### 3.4.1 *Single Event Upset*

Durchquert ein Teilchen Halbleitermaterial, so erzeugt es dort ebenso wie im Gateoxid längs seiner Spur einen mit Elektron/Lochpaaren gefüllten Plasmazyylinder von etwa 1  $\mu\text{m}$  Durchmesser. Schneidet dieser Plasmazyylinder dabei einen zur Isolation eines Transistors in Sperrichtung vorgespannten pn-Übergang, so driften Elektronen und Löcher unter dem Einfluß der Feldstärke in entgegengesetzte Richtung. In dem in Bild 30 dargestellten Beispiel driften die Elektronen in die Draininsel des NMOS-Transistors. Handelt es sich dabei um den Drain-Kontakt einer ungeladenen DRAM-Zelle, so wird diese negativ aufgeladen. Bei Zufuhr einer über der kritische Ladung  $Q_c$  liegenden Elektronenladung wird ihr logischer Zustand durch einen "*Single Event Upset*" invertiert.

Ein "*worst case* Fe-Ion" mit  $E = 56 \text{ MeV} = 1 \text{ MeV/Nucleon}$  liefert nach Bild 5 in Si eine Linienladungsdichte  $dQ/dx$  von  $250 \text{ fCb}/\mu\text{m}$ . Eine 1 GBit DRAM Zelle hat eine Ladung von  $30 \text{ fF} \cdot 1.5\text{V} = 45 \text{ fCb}$  bei einer Zellgröße von  $0.42\text{-}0.84 \mu\text{m}^2$  /Lee97/. Ein "*worst case* Fe-Ion" erzeugt  $235 \text{ fCb}$  bei einer maximalen Weglänge von  $0.94 \mu\text{m}$  und übersteigt die Ladung der DRAM-Zelle. Aber ein einzelnes He-Ion kann in dieser Zelle keinen SEU auslösen.

Das Ladungseinzugsgebiet ist nicht auf die Breite der ungestörten Sperrschicht beschränkt. Vielmehr stülpen sich die die Raumladungszone begrenzenden Potentialflächen mit dem vordringendem Ionisationszylinder zunächst aus, um dann wieder in ihre ungestörte Position zurückzuzschnellen. Dabei werden alle in den "*funnel*" eingeschlossenen Elektronen schnell, d.h. in etwa 100 ps in das Draingebiet abgesaugt (Bild 34). Zu diesem schnellen Drift - Transport kommt noch ein räumlich weiter ausgreifender langsamer (ns - Skala) und daher bei kleiner Minoritätsträger - Lebensdauer durch Rekombination beeinträchtigter Diffusionstransport.

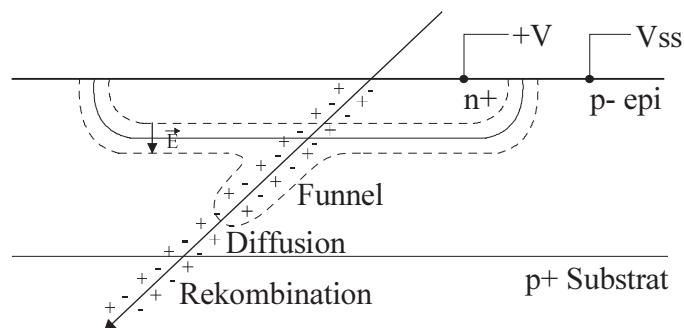


Bild 34: Partikeltreffer an PN-Übergang



Noch größere Ladungsmengen können schnell durch Drift, d.h. Feldwirkung transportiert werden, wenn der Ionisationszylinder zwei auf unterschiedlichem Potential liegende hochdotierte Strukturen verbindet.

Der DRAM-Kondensator als isolierter Knoten ist besonders empfindlich, weil es wegen der nahezu verlustfreien Ladungsspeicherung auf die Zeitskala des Ladungstransportes überhaupt nicht ankommt. Dies ist bei der SRAM-Zelle nicht der Fall. Ihr Zustand wird durch die in den beiden Kreuzkopplungspunkten gespeicherte Ladung bestimmt. Anders als bei dem isolierten DRAM-Kondensator wird hier durch die Rückkopplung der Ladungsveränderung entgegengewirkt, wobei die Rückstellwirkung durch die Stromergiebigkeit des Korrekturpfades begrenzt wird, d.h. bei 4-Transistor-Zellen durch die (hochohmigen) Lastwiderstände, bei 6-Transistor-Zellen durch die Stromergiebigkeit des Transistors im On-Zustand. Der Aufbau der durch Drift transportierten Störladung erfolgt allerdings so schnell (typisch in einigen 100 ps), daß während dieser Zeit davon nur ein geringer Teil wieder korrigierend abgeführt werden kann, sodaß die SEU-Empfindlichkeit von Standard-DRAMs und Standard-SRAMs etwa innerhalb derselben Schwankungsbreite liegt /Gli00/, d.h. der prinzipielle Vorteil der SRAM-Zelle kaum zum Tragen kommt.

In einem hochintegrierten Baustein sind eine große Zahl empfindlicher Knoten verschiedener Struktur und verschiedener Nachbarschaft enthalten. Eine kausale Vorhersage der SEU-Empfindlichkeit ist daher sehr aufwendig, fehlerträchtig und überhaupt nur von dem mit allen Details vertrauten Bauteilhersteller durchführbar. Der Anwender muß sich auf die Ergebnisse von Strahlungstests stützen. Dabei werden die zu testenden Bauteile dem von einem Beschleuniger gelieferten Strahl energetischer Ionen ausgesetzt, und der Wirkungsquerschnitt als Verhältnis von SEU-Fehlerrate zur Fluenz

$$\sigma_{SEU, HI}(LET) = \frac{N_{SEU}}{F_{HI}} \quad (27)$$

für eine Reihe von Ionenspezies mit verschiedenem LET-Wert und hinreichender Eindringtiefe bestimmt.

Bei der Bestrahlung mit MeV-Protonen treten auch SEUs auf, nicht aber bei schwereren Ionen mit gleichem (niedrigen) LET-Wert. Die Ursache hierfür ist, daß die leichten Protonen mit einer Wahrscheinlichkeit von etwa  $10^{-5}$  Atomkerne des Halbleitermaterials fragmentieren können und dabei ihren Impuls auf die Kernfragmente übertragen. Diese haben eine mehrfache Protonenmasse. Wegen ihres höheren LET-Wert können sie eine entsprechend höhere Ladungsträgerdichte längs einer Spur erzeugen. Die "Single Event"-Strahlungstest müssen daher auch eine Bestrahlung mit Protonen zur Bestimmung von

$$\sigma_{SEU, Pr}(E) = \frac{N_{SEU}}{F_{Pr}} \quad (28)$$

einschließen.

Der Teilchenfluß  $\Phi$  erzeugt dann die SEU-Raten

$$R_{SEU, HI} = \int \sigma_{SEU, HI}(LET) \cdot \frac{d\Phi}{d(LET)} \cdot d(LET) \tag{29}$$

$$R_{SEU, Pr} = \int \sigma_{SEU, P}(E) \cdot \frac{d\Phi}{dE} \cdot dE \tag{30}$$

$$R_{SEU} = R_{SEU, HI} + R_{SEU, Pr} \tag{31}$$

Zur Verringerung der SEU-Empfindlichkeit werden bei RH-Speicherbausteinen verschiedene Maßnahmen angewendet, wie (i) Vergrößerung der Knotenkapazität, (ii) bei SRAMs größere Verzögerung im Rückkopplungspfad, (iii) hoch - dotierte Zone unter der aktiven Zone (*Bulk-CMOS* mit *Epi-Layer*) oder (iv) isolierende Schicht dicht unter der aktiven Zone (SOI, SOS). Die Maßnahmen (i) und (ii) wirken geschwindigkeitsmindernd, die Maßnahmen (iv) bringt ein mögliches Zuverlässigkeitsrisiko durch Ladungsaufbau am Interface Halbleiter / Isolator mit sich. Die Maßnahme (iii) wird heute wegen anderer Vorteile (Verringerung der Überkopplungen zwischen benachbarten Strukturen sowie drastische Verringerung der Latchup-Gefahr durch dicht darunterliegende niederohmige "Platte") in großem Umfang allgemein angewendet.

### 3.4.2 Single Event Latchup

Durch die Wannendiffusion bei "*Bulk-CMOS*"-Technologie entstehen parasitäre 4-Schicht-Thyristorstrukturen (Bild 35). Diese haben auf die normale Funktion keinen Einfluß. Die von einem Teilchen generierte und in einem Knoten akkumulierte Ionisationsladung kann einen parasitären Thyristor zünden und so einen andauernden niederohmigen Pfad zwischen zwei Versorgungsspannungen schaffen mit der Folge einer thermischen Zerstörung des betroffenen Bausteins.

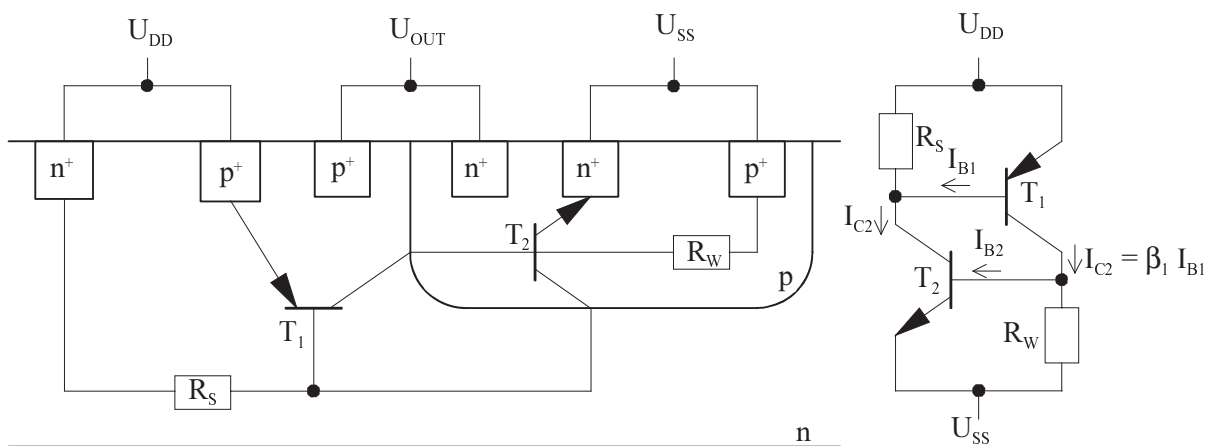


Bild 35: Parasitäre Thyristorstruktur im "*Bulk CMOS*" Inverter, sowie Ersatzschaltbild /Ma89/

Als Beispiel betrachten wir einen "Bulk CMOS" - Inverter (Bild 35). Die beiden parasitären Bipolar - Transistoren  $T_1$  und  $T_2$  mit je 2 gemeinsamen Zonen bilden einen Thyristor. Eine z.B. in den Knoten  $C_1 B_2 R_W$  eingespeiste positive Ladung erzeugt  $U_{BE2} > U_{BE2,ON}$  und der Transistor  $T_2$  wird leitend. Als Folge davon wird  $U_{EB1} = R_S \cdot (I_{C2} - I_{B1}) > U_{EB1,ON}$  und der Transistor  $T_1$  wird leitend. Der Kollektorstrom  $I_{C1}$  hält dann über  $U_{BE2} = R_W \cdot (I_{C1} - I_{B2}) > U_{BE2,ON}$  den Transistor  $T_2$  weiter leitend. Der Kollektorstrom  $I_{C2}$  hält seinerseits über  $U_{EB1} = R_S \cdot (I_{C2} - I_{B1}) > U_{EB1,ON}$  den Transistor  $T_1$  weiter leitend, wodurch ein selbthaltender Zustand erreicht wird. Durch gedachtes Auftrennen des Wirkungskreises erhält man die Haltebedingung

$$I_{B1} = \beta_2 I_{B2} - \frac{U_{EB1,ON}}{R_S} = \beta_2 \left( \beta_1 \cdot I_{B1} - \frac{U_{BE2,ON}}{R_W} \right) - \frac{U_{EB1,ON}}{R_S} \quad (32)$$

und mit  $U_{EB1,ON} = U_{BE2,ON} = U_{BE,ON}$

$$\beta_1 \cdot \beta_2 = 1 + \frac{U_{BE,ON}}{I_{B1}} \left( \frac{\beta_2}{R_W} + \frac{1}{R_S} \right) \quad (33)$$

Im Grenzfall  $R_W, R_S \rightarrow \infty$ , d.h. ohne Stromaufteilung an beiden Kollektor / Basis - Knoten erhält man die "worst case" Haltebedingung  $\beta_1 \cdot \beta_2 = 1$ .

Die Stromverstärkungen  $\beta_1$  und  $\beta_2$  sind verhältnismäßig klein, weil die Basisweiten der parasitären Transistoren groß sind und damit ein deutlicher Anteil der von den Emittern in die Basiszone injizierten Minoritätsträgern dort schon rekombiniert und die Kollektorsperrschicht nicht mehr erreicht. Gegenmaßnahmen können auf die weitere Verkleinerung der Stromverstärkungen, z.B. durch Golddotierung zielen oder wie heute weit verbreitet, auf einen niederohmigen Nebenschluß des Substrat-Bahnwiderstandes  $R_S$  durch Epitaxialtechnik mit hochdotiertem und damit niederohmigen Grundsubstrat.

Prinzipiell Latchup-immune Bauteile liefert die "Silicon on Insulator" Technologie wegen des Fehlens von 4-Schicht-Strukturen. Das verfügbare Bauteilspektrum ist aber stark eingeschränkt.

### 3.4.3 Weitere Effekte

Der *Single Event Gate Rupture* (SEGR) Effekt beschreibt den vom Ionisationskanal eines einzelnen hoch-LET-Teilchens ausgehende Durchbruch des Gate-Oxides eines einzelnen Transistors /JLRS95/.

Der *Single Event Hard Error* (SEHE) Effekt beruht auf den gleichen Mechanismus wie der *Total Dose* Effekt. Durch die Verringerung der Strukturbreiten ist die durch ein einzelnes hoch-LET-Teilchen deponierte Ladung im Gateoxid ausreichend, die Schwellspannung eines Transistors zu verschieben. Das führt zu einem erhöhten Leckstrom und im ungünstigen Fall auch zur permanenten Fehlfunktion. Dieser Effekt wurde erstmals bei 4 MBit DRAMs mit einer Strukturbreite von 0,6 bis 0,8  $\mu\text{m}$  nachgewiesen /Joh95/. Bild 36 zeigt die von Johnston erwartete

Auftrittswahrscheinlichkeit von *Single Event Hard Errors* in Abhängigkeit von der Strukturbreite im geostationären Orbit. Die Auftrittswahrscheinlichkeit eines SEHE ist für diese Bausteine noch sehr gering, da der Anteil der Partikel mit ausreichend hohen LET-Wert extrem gering ist. Mit zunehmender Skalierung sind geringere LET-Werte ausreichend und der dazugehörige größere Teilchenstrom führt zu einem starken Anstieg der Fehlerwahrscheinlichkeit.

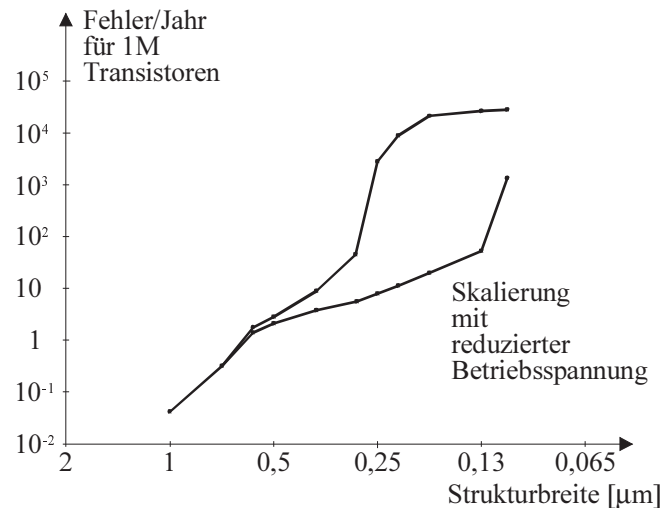


Bild 36: Durch Kosmische Strahlung verursachte "*Hard Errors*" in einem 1M Transistorfeld im geostationären Orbit /Joh95, Fig. 3/

Der SEGR- und der SEHE-Effekt führen zu permanenten Schäden. Sie verursachen eine strahlungsbedingte Verschlechterung der Überlebenswahrscheinlichkeit. Da nur individuelle Bausteine betroffen sind und nicht wie bei dem "*Total Dose Effekt*" alle gleichartigen Bausteine in etwa gleichem Umfang, wirken allerdings die klassischen strukturellen Maßnahmen zur Zuverlässigkeitsverbesserung wie fehlerkorrigierende Codes und Mehrfach-Redundanz.

Inwieweit diese beiden Effekte die Vorhersage in Bild 36 folgen und mit fortschreitender Skalierung an praktischer Relevanz gewinnen, ist noch offen. Bei der Interpretation der Vorhersage in Bild 36 ist jedenfalls zu beachten, daß wenn die Fehlerrate bei einer Halbierung der Strukturbreite um eine Dekade wächst, auch die Zahl der Bits pro Flächeneinheit um den Faktor 4 ansteigt und sich daher für die Fehlerzahl je Bit nur ein Anwachsen um den Faktor 2,5 ergibt.

## 4 Eignung der Kombination "COTS-Bausteine mit Schirmung"

### 4.1 Zielsetzung

Für die Verfolgung des Ziels, soweit als möglich COTS-Bausteine mit Schirmung einzusetzen, ist es zunächst notwendig, die erforderliche Schirmung zu quantifizieren.

Die Toleranzdosis heutiger digitaler COTS-CMOS-Bausteine liegt etwa im Bereich von 5...20 krad. Durch Preselektion funktionell vergleichbarer Bausteine verschiedener Hersteller bzw. verschiedener für denselben Hersteller arbeitenden "*Foundries*" gelingt es fast immer, einen geeigneten Baustein mit einer Toleranzdosis von  $\geq 10$  krad zu finden. Als Richtwert können wir daher annehmen, daß bei der jeweiligen Strahlungsumgebung der Baustein bis zum Missionsende eine Dosis von höchstens 5...10 krad aufnimmt.

Eine zweite Anforderung kommt von der SEU-Rate  $R_{SEU}$  bzw. der von ihr abgeleiteten Bitfehlerrate  $BER$ . Hier ist es schwieriger, ein einfaches, pauschales Kriterium aufzustellen. Eine für fast alle Anforderungen tolerierbare Bitfehlerrate ist  $BER < (1E-6 \dots 1E-8)$ , wobei es für Anwendungen im interplanetaren Raum, d.h. außerhalb der Magnetosphären für die Bemessung der Schirmung einen großen Unterschied macht, ob ein auch starkes, aber nur sporadisches Überschreiten der Richtgröße während der kurzen Zeit eines *Solar Flares* tolerierbar ist oder nicht. Im ersten Fall ist die GCR-SEU-induzierte Bitfehlerrate bestimmend, die - von sehr starker Schirmung ( $> 10$  mm Al) abgesehen - deutlich unter der "*Solar Flare*"-induzierten Bitfehlerrate liegt. (s. Bild 22). Bei "*Low Earth Orbit*" (LEO) Missionen am unteren Rand des Van Allen - Gürtels ist die Protonen-induzierte Bitfehlerrate bestimmend, die lokal, z.B. beim Durchgang durch die "Südatlantische Anomalie", stark ansteigen kann.

Ein weiterer wichtiger Punkt ist, ob Fehlerkorrekturmechanismen eingesetzt werden oder nicht. Die bei weitem größte Zahl von SEU-gefährdeten Zellen befinden sich im Speicherbereich einer DPU. Bei Speichern ohne Fehlerkorrektur ist die Bitfehlerrate beim Speicher-*Dump* das Produkt von SEU-Rate und Speicherzeit

$$BER = R_{SEU} \cdot T_{Stor} \quad (34)$$

Durch Fehlerkorrektur läßt sich die Bitfehlerrate erheblich absenken. Zur Veranschaulichung betrachten wir Speicherworte mit 16 vom Fehlermechanismus her unabhängiger Datenbits, die durch Hamming-Einfehlerkorrektur um 5 *Paritybits* ergänzt sind. Die Überlebenswahrscheinlichkeit eines bestimmten Bits über der "*Scrubbing*"-Periode  $T_{Scrub}$  ist

$$p_b = 1 - R_{SEU} \cdot T_{Scrub} \quad (35)$$

Die Überlebenswahrscheinlichkeit des Hamming-geschützten Wortes ist dann

$$p_w = p_b^{21} + 21 \cdot p_b^{20} (1 - p_b) \quad (36)$$

Mit der Wahrscheinlichkeit  $1-p_w$  wird die Korrekturfähigkeit überschritten und das Wort ist - von vernachlässigbaren Ausnahmen abgesehen - um 2 Bit verfälscht. Für  $R_{SEU} \cdot T_{Scrub} \ll 1$  und eine Speicherzeit  $T_{Stor}$  erhalten wir

$$\begin{aligned} p_w &\approx 1 - 21 \cdot R_{SEU} \cdot T_{Scrub} + 21 \cdot (1 - 20 \cdot R_{SEU} \cdot T_{Scrub}) \cdot R_{SEU} \cdot T_{Scrub} \\ &= 1 - 21 \cdot 20 \cdot (R_{SEU} \cdot T_{Scrub})^2 \end{aligned} \quad (37)$$

$$\begin{aligned} BER &= 2(1 - p_w) \cdot \frac{T_{Stor}}{T_{Scrub}} \\ BER &= 840 \cdot R_{SEU}^2 \cdot T_{Scrub} \cdot T_{Stor} \end{aligned} \quad (38)$$

Die Verbesserung kommt aus dem quadratischen Term  $R_{SEU}^2$ . Zur Veranschaulichung folgendes Zahlenbeispiel:

$$\begin{aligned} R_{SEU} &= 1E-4 \text{ bit}^{-1}d^{-1}; \quad T_{Scrub} = 1h; \quad T_{Stor} = 1d \\ BER &= 840 \cdot 1E-8 \cdot 1/24 \cdot 1 = 3.5E-7 \end{aligned} \quad (39)$$

Wie das Beispiel zeigt, können durch Fehlerkorrektur auch bei SEU-Raten  $\gg 1E-6 \text{ bit}^{-1} d^{-1}$  noch Bitfehlerraten  $< 1E-6$  erreicht werden.

Als groben, in jedem Anwendungsfall zu überprüfenden Richtwert für eine tolerierbare SEU-Rate können wir demzufolge

$$R_{SEU} < 1E-7 \text{ bit}^{-1}d^{-1} \quad (40)$$

$$\text{bzw.} \quad < 1E-5 \text{ bit}^{-1}d^{-1} \text{ bei Fehlerkorrektur} \quad (41)$$

ansehen.

Für eine realistische, d.h. nicht übertrieben großzügige Bemessung der Schirmung muß deren primitive Modellierung als leere Kugelschale bestimmter Dicke mit dem Bauteil im Zentrum verlassen werden. Die vorherrschende Boxform ist ein Quader, von der Effizienz der Schirmung her gesehen möglichst nahe einem Kubus. Der Innenraum ist nicht leer, sondern enthält einen Stapel von Elektronikplatinen mit gegenseitiger Schirmungswirkung. Die Modellierung des S/C-Beitrages zur Schirmung als Teil der Kugelschalendicke ist zu pauschal, insbesondere bei insgesamt dünner Schirmung und "weicher" Partikelstrahlung (*Flares* im Gegensatz zu GCR).

Ziel dieses Kapitels ist es, diejenigen Missionstypen herauszuarbeiten, bei denen COTS-Bausteine mit einer Schirmung von weniger als 10 mm Al einsetzbar sind, bzw. bei denen RH-Bausteine unvermeidbar sind.

Im folgenden Kapitel wird dann untersucht, unter welchen Bedingungen das Konzept "COTS + Schirmung" gegenüber "RH ohne Schirmung" eine vorteilhaftere Massenbilanz ermöglicht.

## 4.2 Abschirmwirkung

Das Teilchenspektrum hinter einer Abschirmung mit dem Massenbelag  $\rho \cdot x$  erhält man, indem man für jede Masse-Energie-Spezies die Restenergie beim Verlassen der Schirmung bestimmt:

$$(E/n)_{out} = (E/n)_in - \frac{1}{n} \int_{x=0}^d LET(E(x)/n) \rho dx \quad (42)$$

wobei das Integral wie bei Glg (5) durch numerische Rekursion zu bestimmen ist.

**Elektronen** verursachen wegen ihres kleinen LET-Wertes keine SEEs, so daß sie nur zur akkumulierten Dosis beitragen. In Bild 37 ist der Dosisbeitrag eines einzelnen Elektrons der Energie  $E$  hinter einer Aluminium-Abschirmung bestimmter Massendichte dargestellt. Die Multiplikation dieses Einzel-Dosisbeitrages in  $\text{rad}\cdot\text{cm}^2$  mit der differentiellen Elektronenfluenz  $dF/dE$  in  $\text{cm}^{-2}\text{MeV}^{-1}$  liefert die differentielle Dosis  $dD/dE$  in  $\text{rad MeV}^{-1}$ , und deren Integration über die Energie die Dosis  $D$  in rad.

Die obere flache Begrenzungskurve für  $0 \text{ g/cm}^2$  Abschirmung ergibt sich aus der oberen LET-Kurve in Bild 6. Für eine Elektronenenergie von z.B.  $\leq 0,1 \text{ MeV}$  liest man dort  $LET \geq 3 \text{ MeV cm}^2 \text{ g}^{-1}$  ab, d.h. für 1 Elektron je  $\text{cm}^2$  ergibt sich  $dE \geq 3 \text{ MeV g}^{-1} = 5 \cdot 10^{-8} \text{ rad}$ . Die steilen Kurvenäste entsprechen der mittleren Elektronenreichweite nach Bild 8, z.B.  $4 \cdot 10^{-1} \text{ g/cm}^2$  bei 1 MeV. Der diagonale untere Kurventeil repräsentiert den Dosisbeitrag der durchdringenden Bremsstrahlung (untere LET-Kurve in Bild 6). Der Übergang in den diagonalen Kurvenverlauf markiert die größte sinnvolle Abschirmdicke gegen Elektronen.

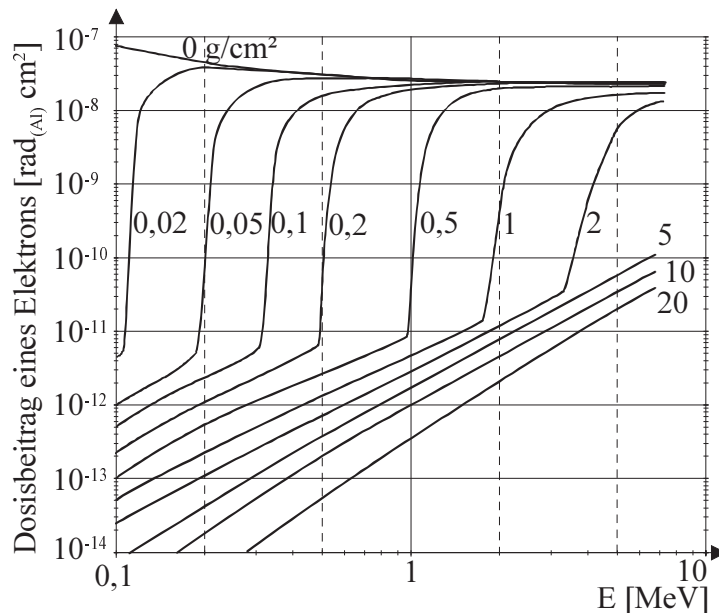


Bild 37: Abschirmwirkung von Aluminium unterschiedlicher Dicke für Elektronen unterschiedlicher Energie /Brä89, Abb5.7/

In Bild 38 ist der Dosisbeitrag eines einzelnen **Protons** der Energie  $E$  hinter einer Al-Abschirmung bestimmter Massendichte dargestellt. Die obere Begrenzungskurve für  $0 \text{ g/cm}^2$  ergibt sich aus der LET-Kurve in Bild 5, die steilen Kurvenäste aus der Reichweitenkurve in Bild 9. Über diese Kurven kann auch der die Abschirmung durchquerende Anteil des Protonenflusses ermittelt werden, und daraus der Beitrag der Protonen zur SEE-Rate, und entsprechend der Beitrag aller schwereren Ionenspezies zur Dosisbelastung und zur SEE-Rate.

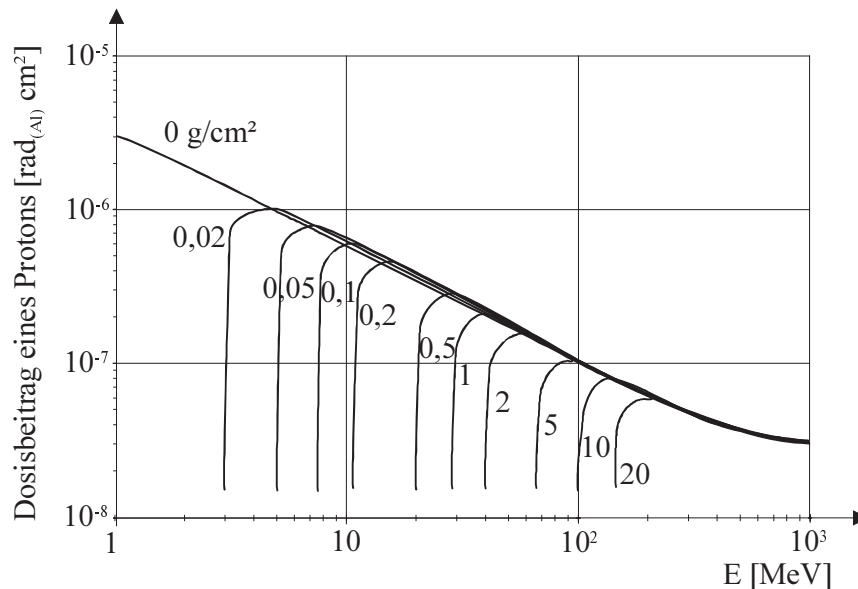


Bild 38: Abschirmungswirkung von Aluminium unterschiedlicher Dicke für Protonen unterschiedlicher Energie /Brä89, Abb5.8/

Für die einzelnen Missionen werden i.a. von Projektseite die Dosis und vielfach auch das LET-Spektrum hinter typischen Abschirmdicken ermittelt, in manchen Fällen auch die mit "ray tracing" durch die tatsächliche S/C-Struktur ermittelte Dosis am Ort der Elektronikeinheiten.

Die "Dose-Depth"- Kurve beschreibt die Dosis im Zentrum einer Hohlkugel mit variabler Wandstärke. Die Hohlkugel liefert für ein in ihrem Zentrum plaziertes Bauteil die mit der betreffenden Wandstärke erreichbare geringste Abschirmwirkung und eignet sich daher als Basis für eine einfache "worst case" Analyse. Tatsächlich sind die meisten Gehäuse quaderförmig, d.h. mit ebenen, zueinander senkrechten Wänden. Die meisten ein Bauteil im Zentrum treffenden Teilchen durchqueren die Wand schräg, d.h. auf einen längeren Weg als die Wandstärke. Neben dem Kugelmodell wird daher auch manchmal das einer unendlich ausgedehnten Platte verwendet, das für die gleiche Wandstärke eine kleinere Dosis liefert.

Auch die mit "ray tracing" durch die tatsächliche S/C-Struktur ermittelte Gesamtdosis am Ort der Elektronikeinheit erlaubt nur eine "worst case"-Bemessung der zusätzlich erforderlichen Schirmung. Bild 39 verdeutlicht dies an Hand der *Dose-Depth*-Kurve. Für den Ort der Elektronikeinheit liefert "ray tracing" durch die S/C-Hülle/Struktur eine Dosisreduktion um den Faktor 0,1. Diese kann verursacht sein (i) durch eine über alle Raumwinkel gleichmäßige Schirmungsdicke  $d_1$ , oder (ii) im anderen Extrem durch eine Schirmungsdicke  $d \rightarrow \infty$  über 90% des vollen Raumwinkels und Löcher über 10 % des vollen Raumwinkels. Um eine weitere



Dosisreduktion um nochmals den Faktor 0,1 zu erreichen, muß im ersten Fall die Schirmungsdicke um  $d_2 - d_1$  erhöht werden, im zweiten Fall aber deutlich weniger nur um  $d_1$ . Zusätzlich zu der ermittelten Dosis sollte daher auch die Verteilung der Schirmungsdicken angegeben werden.

Eine genauere, unnötige Schirmungsmasse verhindernde Dimensionierung erhält man mittels "ray tracing" durch die Box- und S/C-Struktur, wobei die den Hauptbeitrag liefernden Strukturen detaillierter, die den Nebenbeitrag liefernden Strukturen pauschaler zu modellieren sind. Die praktische Schwierigkeit liegt daran, daß die für die Elektronikboxen Verantwortlichen die S/C-Struktur nicht detailliert kennen und umgekehrt.

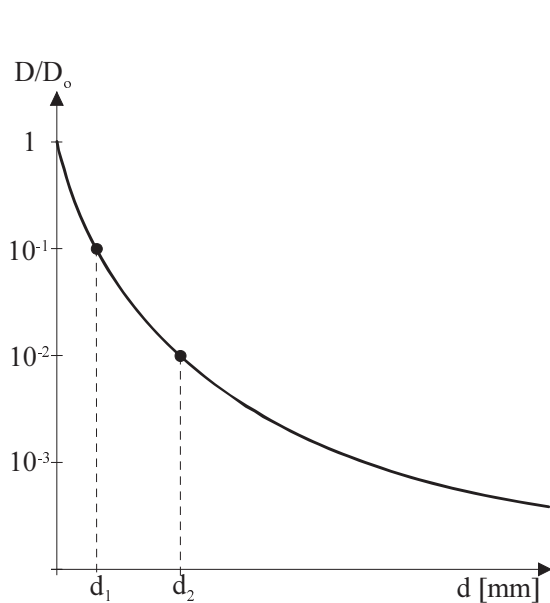


Bild 39: Als Beispiel angenommene *Dose-Depth*-Kurve

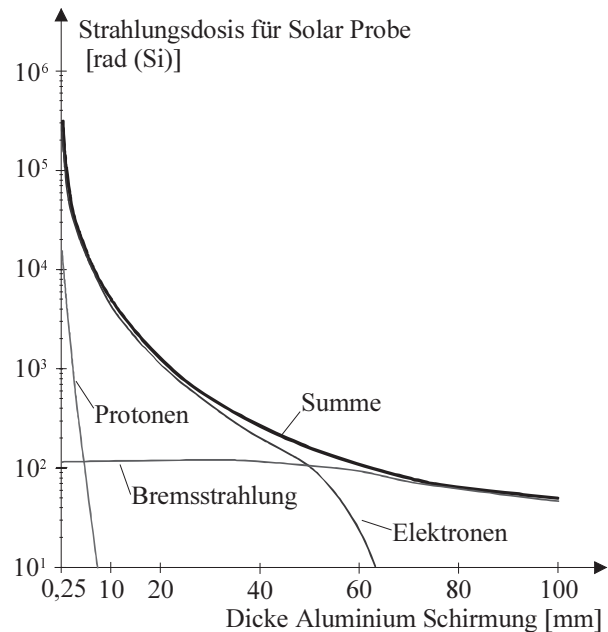


Bild 40: *Dose-Depth*-Kurve, der geplanten Solar Probe Mission

### 4.3 Dosis in einer Box mit großer Wandstärke

Die in Abschnitt 4.1 aufgeworfene Frage, auf welche Missionstypen das Konzept "COTS-Bausteine + Schirmung" anwendbar ist, soll hier am Beispiel der geplanten Solar Probe Mission, bei der der Jupiter-Strahlungsgürtel durchquert wird, untersucht werden und anschließend auch für einige andere Missionen mit schwächerer oder auch noch stärkerer Strahlungsbelastung. Bild 40 zeigt die *Dose-Depth*-Kurve für Solar Probe.

Wir betrachten eine kubische Box mit dem inneren Kantenmaß  $2a$  und mit 4 Elektronikplatinen der Massendichte  $1.5 \text{ g/cm}^2$  an den Positionen  $-0.6 \cdot a$ ,  $-0.2 \cdot a$ ,  $+0.2 \cdot a$  und  $+0.6 \cdot a$  (Bild 41).

Die von Hülle, Struktur und Untersystemen des S/C gelieferte Schirmungswirkung modellieren wir durch eine kugelförmige Hülle mit einer variablen, zwischen  $d_{S/C,\min}$  und  $2 \cdot d_{S/C,\text{av}} + d_{S/C,\min}$  gleichverteilten Hüllendicke, d.h. mit einer mittleren Dicke  $d_{S/C,\text{av}}$ .

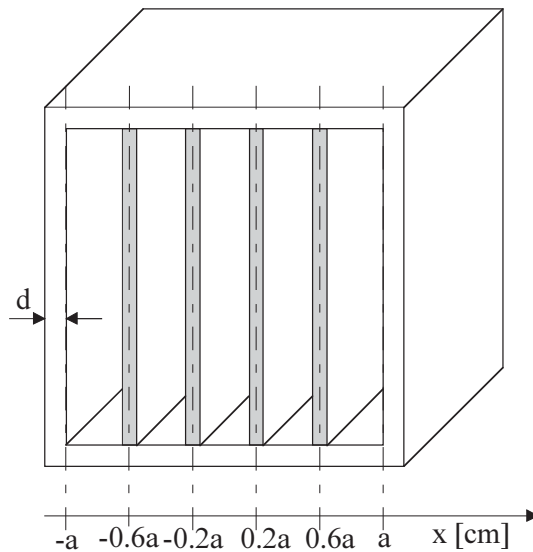


Bild 41: Angenommene Struktur einer kubischen Elektronikbox

Es ist

$$D = \oint \frac{D(\Omega)}{4\pi} d\Omega \quad (43)$$

wobei  $D(\Omega)$  die Dosis ist, die sich im Aufpunkt als Zentrum einer gedachten Kugel mit der Wandstärke ergibt, die gleich ist der Schirmungsdicke, die ein Strahl unter dem Raumwinkel  $\Omega$  tatsächlich durchdringt.

Die Tabelle 4 zeigt die für verschiedene Schirmungs-Konfigurationen durch *ray tracing* ermittelte Dosisbelastung:

- (1.1a) Eine kugelförmige S/C-Hülle einheitlicher Dicke von 2 mm Al liefert in ihrem Zentrum eine Dosis von 45 krad. An allen anderen Positionen innerhalb der Hohlkugel ist die Dosis niedriger wegen des Schrägdurchgangs durch die Kugelhülle.
- (1.1b) Ein Löcheranteil von 5 % der Hüllenfläche läßt die Dosis deutlich von 45 krad auf 93 krad ansteigen, entsprechend einer nicht löchrigen S/C-Hülle von 1.1 mm Al.
- (1.1c) Die im weiteren benutzte Modellierung einer S/C-Hülle mit Gleichverteilung der Hüllendicke zwischen 0 mm Al und 4 mm Al läßt die Dosis weiter auf 124 krad ansteigen, entsprechend einer nicht löchrigen Hüllendicke von 0.9 mm Al.
- (1.2a) Eine im Inneren zu dieser S/C-Hülle idealisierend angenommene kugelförmige leere Box mit der Wandstärke 2.2 mm liefert für alle drei Gestaltungen 1a - 1c der S/C-Hülle mit etwa 20 krad nahezu dieselbe Dosis im Zentrum der Box.
- (1.2b) Eine kubische leere Box liefert wegen des längeren Teilchenpfades bei schrägem Durchgang durch die Wand eine besseren Schirmwirkung, nämlich 20 krad bei von

2.2 mm auf 1.9 mm verminderter Wandstärke. Wie bei der Hohlkugel wird auch beim leeren Würfel die maximale Dosis im Zentrum erreicht.

(1.3a-c) 4 Platinen mit einem Flächengewicht von  $0.4 \text{ g/cm}^2$  entsprechend 1.5 mm Al verschieben die maximale Dosis in die Würfecken. Bei "Solar Probe" sind dies 20, 10 und 5 krad bei den Wandstärken 1.2 mm, 2.6 mm und 5 mm Al. Die minimale Dosis wird im Zentrum der Box mit 10.9, 6.8 und 3.9 krad erreicht.

Mit  $0.4 \text{ g/cm}^2$  wurde vorsichtig ein sehr niedriges Flächengewicht der bestückten Platinen angenommen. Unbestückte 1.2 mm-FR4-Platinen liefern schon  $0.22 \text{ g/cm}^2$ . Doppelseitig bestückte 1.6 mm-FR4-Platinen liefern etwa  $0.8 \text{ g/cm}^2$ , d.h. eine doppelt so starke Schirmung.

Für Missionen mit geringerer Strahlungsbelastung ergeben sich für die Maximaldosen  $D_{\max} = 20, 10$  und 5 krad entsprechend geringere Wandstärken:

(2.3a-c) Rosetta	$D_{\max} = 20, 10, 5 \text{ krad}$	bei $d = 0.3, 0.6, 1.3 \text{ mm}$
(3.3a-c) Geosynchroner Orbit, 5a	$D_{\max} = 20, 10, 5 \text{ krad}$	0.7, 1.0, 1.2 mm
(4.3a-c) Envisat	$D_{\max} = 20, 10, 5 \text{ krad}$	0.5, 1.2, 2.2 mm
(5.3a-c) Cluster	$D_{\max} = 20, 10, 5 \text{ krad}$	1.6, 2.4, 3.4 mm

Beispiele für Missionen mit großer Strahlungsbelastung sind

(6.3a-d) Sonnensynchroner Erdorbit (888 km, $99^\circ$ Inklination, 5a)	$D_{\max} = 20, 10, 5, 4.5 \text{ krad}$	bei $d = 1.0, 2.0, 5.0, 8.0 \text{ mm}$
(7.3a-c) Pluto-Kuiper-Express	$D_{\max} = 30, 24, 18 \text{ krad}$	2.0, 4.0, 8.0 mm
(8.3a-c) Europa Orbiter	$D_{\max} = 1800, 960, 470 \text{ krad}$	2.0, 4.0, 8.0 mm

Die *Dose-Depth*-Kurven dieser Missionen sind im Anhang A1 zusammengestellt.

Für die beiden letzten Missionen mit längerem Aufenthalt im intensiven Strahlungsgürtel des Planeten Jupiter sind Standardbausteine mit einer Toleranzdosis von typisch 10 ... 20 krad nicht geeignet. Die Pluto-Mission ist ohne RT-Bausteine der 50 ... 100 krad Klasse nicht ausführbar, die Europa Orbiter Mission benötigt RH-Bausteine der Mrad-Klasse.

Bei dem Sonnensynchronen Erdorbit verläuft die *Dose-Depth*-Kurve bei großen Absorberdicken sehr flach, so daß eine Vergrößerung der Wandstärke über 5 mm nur noch wenig Wirkung hat. Dies bedeutet andererseits, daß  $D_{\max} \leq 5 \text{ krad}$  für eine um 5 Jahren auf 10 Jahre verdoppelte Missionsdauer nicht erreichbar ist. Eine Realisierung mit Standardbausteinen der Toleranzdosis 10 krad und dem Sicherheitsfaktor 2 ist dann nicht mehr möglich, so daß dann auch RT-Bausteine eingesetzt werden müssen, bzw. das sehr enge Spektrum von Standardbausteinen mit  $D_{\text{tol}} \geq 20 \text{ krad}$ .

#	d [mm]	$d_{S/C,min}$ [mm]	$d_{S/C,av}$ [mm]	Löcheranteil d. S/C-Hülle [%]	Flächengew. d. 4 Platinen [mm Al]	$D_{max}$ [krad]	$D_{min}$ [krad]	Form der Box	Ort von $D_{max}$
<b>1. Solar Probe</b>									
1.1a	0	2	2	0	0	45			
1.1b	0	2	2	5	0	93			
1.1c	0	0	2	0	0	124			
1.2a	2.2	wie 1a) 1b) oder 1c)		0	0	20		Kugel	Zentrum
1.2b	1.9	wie 1a) 1b) oder 1c)		0	0	20		Kubus	Zentrum
1.3a	1.2	0	2	0	1.5	20	10.9	Kubus	Ecken
1.3b	2.6	0	2	0	1.5	10	6.8	Kubus	Ecken
1.3c	5.0	0	2	0	1.5	5	3.9	Kubus	Ecken
Missionen mit geringer Strahlungsbelastung									
<b>2. Rosetta</b>									
2.3a	0.3	0	2	0	1.5	20	6.2	Kubus	Ecken
2.3b	0.6	0	2	0	1.5	10	4.6	Kubus	Ecken
2.3c	1.3	0	2	0	1.5	5	3.1	Kubus	Ecken
<b>3. Geosynchr. Orbit</b>									
3.3a	0.7	0	2	0	1.5	20	7.9	Kubus	Ecken
3.3b	1.0					10	3.6	Kubus	Ecken
3.3c	1.2					5	2.1	Kubus	Ecken
<b>4. Envisat</b>									
4.3a	0.5	0	2	0	1.5	20	7.6	Kubus	Ecken
4.3b	1.2					10	4.9	Kubus	Ecken
4.3c	2.2					5	3.2	Kubus	Ecken

Tabelle 4 Dosisbelastung am Ort bzw. im Inneren einer Elektronik-Box in Abhängigkeit von der Schirmung

#	d [mm]	$d_{S/C,min}$ [mm]	$d_{S/C,av}$ [mm]	Löcheranteil d. S/C-Hülle d. 4 Platinen [%]	Flächengew. [mm Al]	$D_{max}$ [krad]	$D_{min}$ [krad]	Form der Box	Ort von $D_{max}$
<b>5. Cluster</b>									
5.3a	1.6	0	2	0	1.5	20	9.3	Kubus	Ecken
5.3b	2.4					10	5.4	Kubus	Ecken
5.3c	3.4					5	3.3	Kubus	Ecken
Mission mit starker Strahlungsbelastung									
<b>6. Sonnensynch. Orbit, 888 km, 99°</b>									
6.3a	1.0	0	2	0	1.5	20	10.5	Kubus	Ecken
6.3b	2.0					10	7.4	Kubus	Ecken
6.3c	5.0					5	4.7	Kubus	Ecken
6.3d	8.0					4.5	4.4	Kubus	Ecken
Missionen mit sehr starker Strahlungsbelastung									
<b>7. Pluto-Kuiper- Express</b>									
7.3a	2.0	0	2	0	1.5	30.4	25.7	Kubus	Ecken
7.3b	4.0					24.1	21.1	Kubus	Ecken
7.3c	8.0					18.0	17.6	Kubus	Ecken
<b>8. Europa Orbiter</b>									
8.3a	2.0	0	2	0	1.5	1800	1200	Kubus	Ecken
8.3b	4.0					960	700	Kubus	Ecken
8.3c	8.0					470	440	Kubus	Ecken

Tabelle 4: Dosisbelastung am Ort bzw. im Inneren einer Elektronik-Box in Abhängigkeit von der Schirmung

## 4.4 Dosis in der Box der IDA- $\mu$ DPU

Eine exemplarische Prototyp-Realisierung des Konzepts "COTS-Bausteine mit starker Schirmung" ist die "IDA- $\mu$ DPU", die in Rechenleistung und Redundanzstruktur den DPUs der ROSETTA-Instrumente ROSINA und OSIRIS vergleichbar bis überlegen ist. Durch die Verwendung kommerzieller SMD-Bausteine auf einer zu einem Stapel faltbaren Starrflex-Multilayer-Platine konnte der abzuschirmende Innenraum der Box auf 4.4 cm  $\cdot$  3.8 cm  $\cdot$  3.8 cm verkleinert werden. Die 5 Platinen in den Positionen  $x = \pm 1.8$  cm,  $\pm 0.9$  cm, 0 cm (Bild 42) haben ein mittleres Flächengewicht von 0.8 g/cm<sup>2</sup> entsprechend 3 mm Al. Für die Solar Probe Mission wurde die Dosis in den Schnittpunkten eines Koordinatengitters im Abstand von jeweils 1 mm zur Vorder- und Rückseite der beidseitig bestückten Platinen ermittelt.

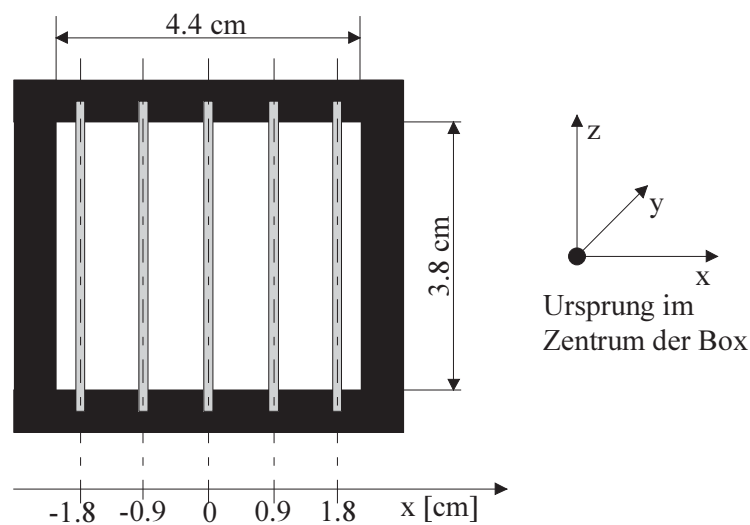


Bild 42: Schnittbild mit Platinenabständen der  $\mu$ DPU

Bei der Box-Wandstärke  $d = 4$  mm ergibt sich eine Maximaldosis  $D_{\max} = 5.73$  krad in der Nähe der Box Ecken (Bild 43) und eine Minimaldosis  $D_{\min} = 4.07$  krad im Box-Zentrum. Durch Verstärkung der Box-Ecken bei massenneutraler Schwächung der 4 Wände senkrecht zu den Platinenebenen kann man noch eine gleichmäßigere Dosisverteilung mit dem leicht vermindertem Maximalwert  $D_{\max} = 5.53$  krad erreichen. Mit einem flexiblen *ray tracing* Programm ist ein "*fine tuning*" der Dosisverteilung, z.B. im Hinblick auf die Position des empfindlichsten Bausteins, möglich. Dabei sollte man jedoch beachten, daß eine massenneutrale ungleichmäßige Verteilung der Schirmdicke die mittlere Dosis im Innenraum erhöht, wie sich dies am Extrembeispiel der löchrigen Kugelhülle besonders deutlich zeigt.

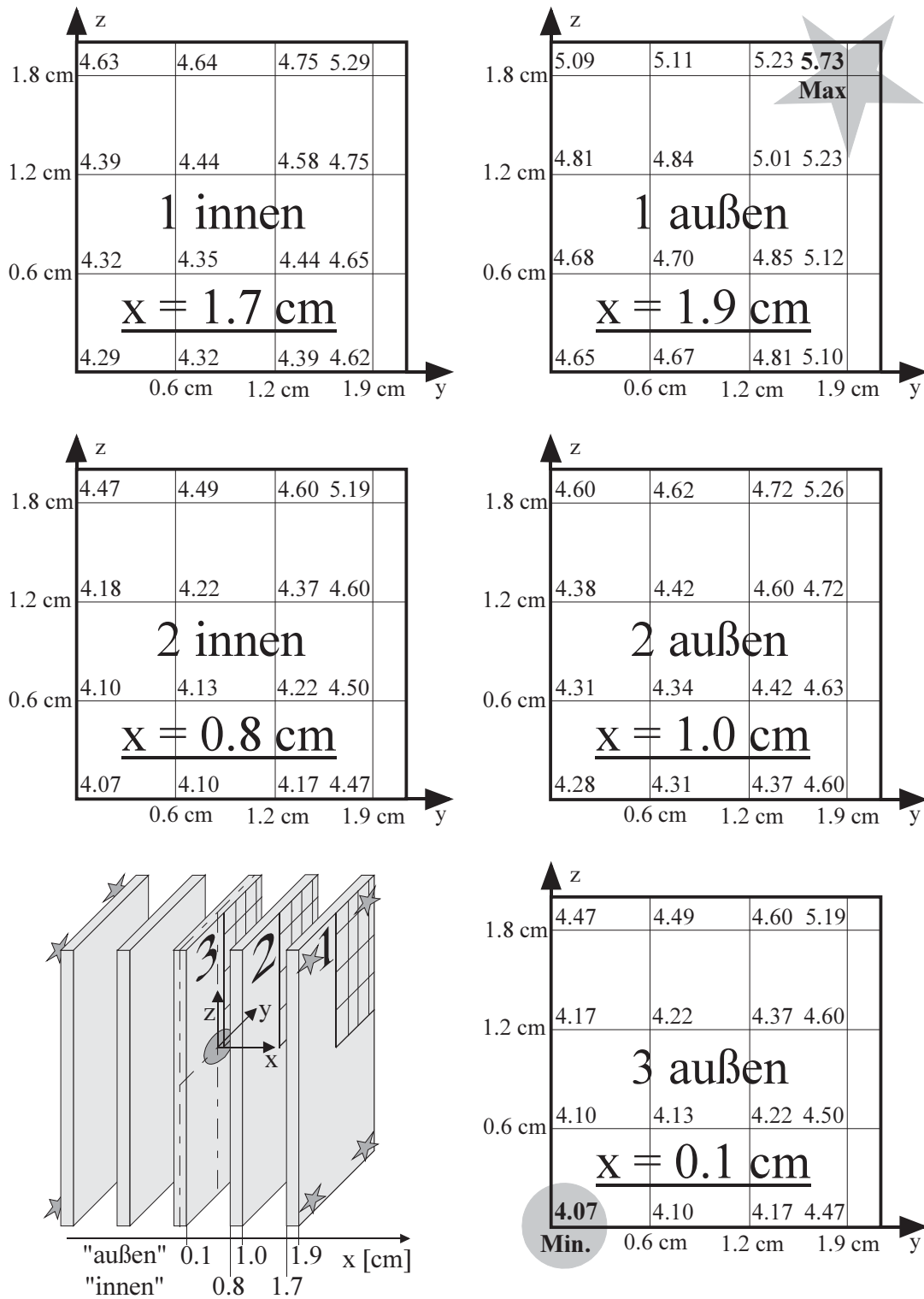


Bild 43: IDA- $\mu$ DPU, Dosis in krad auf der Innen- und Außenseite der Platinen. Wegen der Symmetrie ist nur für eine Hälfte des Platinenstapels ein Platinenquadrant dargestellt. Box-Wandstärke: 4 mm Al, S/C-Hülle: 0...4 mm Al, gleichmäßige Dickenverteilung, Solar Probe *Dose-Depth* Kurve

## 4.5 LET-Spektrum und SEU-Raten innerhalb einer Box mit großer Wandstärke

Ebenso wie die Dosis läßt sich auch das differentielle LET-Spektrum für einen Aufpunkt innerhalb der Box durch Integration der Beiträge aller Raumrichtungen gewinnen

$$\frac{d\Phi}{d(LET)} = \oint \int_{4\pi} \frac{d\Phi(\Omega)}{4\pi \cdot d(LET)} d\Omega \quad (44)$$

bzw. für Protonen

$$\frac{d\Phi_p}{dE} = \oint \int_{4\pi} \frac{d\Phi_p(\Omega)}{4\pi \cdot dE} d\Omega \quad (45)$$

und daraus wiederum nach Glg. (29) für eine bestimmte Wirkungsquerschnitt-Kurve  $\sigma(LET)$  die SEU-Fehlerrate  $R_{SEU}$ . Dabei sind zwei Anteile zu unterscheiden:

- (a) Der immer vorhandene GCR Teilchenfluß liefert ein zeitlich gleichmäßiges Hintergrund-Spektrum und entsprechend eine zeitliche gleichmäßige Hintergrund-Fehlerrate  $R_{SEU,GCR}$ .
- (b) Die sporadisch auftretende SPEs liefern kurzzeitig sehr viel höhere "Solar Flare"-Teilchenflüsse, deren Intensität mit  $R^{-2}$  bei einem Abstand  $R \geq 1$  AU zwischen S/C und Sonne skaliert, bei  $R < 1$  AU möglicherweise mit bis zu  $R^{-3}$  /For95/, /Fey93/.

Das GCR-LET-Spektrum ist wegen der hohen Teilchenenergie sehr viel weniger durch Schirmung beeinflusbar als das Flare-LET-Spektrum (Bild 22).

Für die "Solar Probe" Mission ist der Einsatz der IDA- $\mu$ DPU in Aussicht genommen, sodaß sich diese Mission als Beispiel anbietet. Die Anfangsphase dieser Mission in der Nähe der Erdbahn ( $R \approx 1$  AU) repräsentiert die Anfangsphase aller interplanetaren Missionen. Bei  $R > 1$  AU skaliert der Flare-Teilchenfluß und damit die Flare-bedingte SEU-Rate  $R_{SEU,Flare}$  mit  $R^{-2}$ , d.h. sie vermindert sich in Vergleich zur R-unabhängigen GCR-bedingten SEU-Rate  $R_{SEU,GCR}$ . Für alle "nach außen" gehenden Missionen ist die Anfangsphase bei  $R = 1$  AU der "worst case" Fall.

Wir schon erwähnt, ist die Skalierung des Flare-Teilchenflusses bei der Annäherung an die Sonne ( $R < 1$  AU) unsicher, nämlich günstigstenfalls mit  $R^{-2}$  und ungünstigstenfalls mit  $R^{-3}$ , sodaß diese beiden Grenzfälle betrachtet werden müssen. Für den mit  $R = 0.02$  AU sonnen-nächsten Ort der "Solar Probe" ergibt sich also ein sehr großer Skalierungsfaktor zwischen  $2,5 \cdot 10^3$  und  $1,25 \cdot 10^5$ . Andererseits ist es sehr wenig wahrscheinlich, daß gerade zum Zeitpunkt der dichtesten Annäherung ein sehr seltener großer *Solar Flare* auftritt. Die Fragestellung muß daher dahin gehen, mit welcher (kleinen) Wahrscheinlichkeit eine bestimmte SEU-Rate kurzfristig überschritten wird.



Abgesehen von der extremen "Solar Probe"-Situation ist diese Betrachtung aber auch für alle Missionen zu inneren Planeten, z.B. zum Merkur ( $R = 0.387$  AU) mit einem Skalierungsfaktor von nur 6.7 ... 17.3, von Interesse.

Für Schirmungsanteil des S/C, Box und Platinenstapel wurden dieselben Annahmen getroffen wie bei der vorhergehenden Dosisbetrachtung der kubischen Referenzbox mit 4 Platinen mit einem Flächengewicht equivalent 1.5 mm Al bzw. der IDA- $\mu$ DPU mit 5 Platinen equivalent 3.0 mm Al. Während die Dosis den über die gesamte Missionszeit integrierter Teilchenfluß wiederspiegelt, bildet die SEU-Rate den augenblicklichen, bisweilen weit über den Mittelwert herausschießenden Teilchenfluß ab.

Als Beispielbaustein wurde ein konfigurierbare Logik-Baustein gewählt, und zwar wegen seiner breiten Verwendung in der Weltraumelektronik der *Fusible Link* FPGA-Baustein ACTEL 14100A und in diesem die *Sequential Flipflop Cells*.

### $R \geq 1$ AU

Durch "ray tracing" wurden für verschiedene Wandstärken  $d$  das GCR LET-Spektrum und das Flare LET Spektrum bei 1 AU eines starken, d.h. "99 percentile" Flares ermittelt. Daraus wurden für den Beispielbaustein die in den Box-Ecken auftretenden Maximalwerte der GCR-bedingten SEU-Rate  $R_{SEU,GCR}$ , der Flare-Protonen-bedingten SEU-Rate  $R_{SEU,P}$  und der Flare-"Heavier Ions"-bedingten SEU-Rate  $R_{SEU,HI}$  ermittelt, jeweils in Abhängigkeit von der "mittleren" Wandstärke  $d + d_{S/C,av}$  mit  $d_{S/C}$  gleichverteilt zwischen 0 und 4 mm Al, d.h.  $d_{S/C,av} = 2$  mm Al (Bild 44c, Bild 45c). Ergänzend wurden die SEU-Raten auch für eine kugelförmige Hülle mit der Wandstärke  $d_{S/C}$  (Bild 44a, Bild 45a) und für die bei der Dosisbetrachtung angenommene kubische Referenzbox mit 4 Platinen ermittelt (Bild 44b, Bild 45b).

Wie der Vergleich der Bilder 44c und 45c zeigt, reagiert die Protonen-induzierte Flare-SEU-Rate wesentlich schwächer auf eine Verstärkung der Abschirmung als "Heavier Ions"-induzierte Flare-SEU-Rate. Bei  $d + d_{S/C,av} < 7$  mm Al, d.h. Boxwandstärken  $d < 5$  mm Al ist der "Heavier Ions"-Anteil dominierend über den protonenbedingten Anteil von etwas  $10^{-6}$  bit $^{-1}$  d $^{-1}$ . Größere Boxwandstärken nützen nur noch wenig wegen des dominierenden, nur schwach zurückgehenden protonenbedingten Anteils, und der bei  $R = 1$  AU ab etwa  $d = 6$  mm Al dominierenden, ebenfalls nur sehr schwach durch Schirmung beeinflussbaren GCR-SEU-Rate von  $(2...1) \cdot 10^{-6}$  bit $^{-1}$  d $^{-1}$ . Entsprechend fokussieren wir die weitere Betrachtung auf eine IDA- $\mu$ DPU mit einer Wandstärke von  $d = 6$  mm Al, d.h.  $d + d_{S/C,av} = 8$  mm Al. Für die SEU-Rate ergeben sich folgende Anteile:

Stetiger Hintergrund	$R_{SEU,GCR}$ :	1.2 E-6 bit $^{-1}$ d $^{-1}$
99 percentile Solar Flare, Häufigkeit 0.25%	$R_{SEU,Flare,HI}$ :	5.0 E-7 bit $^{-1}$ d $^{-1}$
im Jahr maximaler Sonnenaktivität	$R_{SEU,Flare,P}$ :	9.0 E-7 bit $^{-1}$ d $^{-1}$
Zwischensumme:	$R_{SEU,Flare}$ :	1.4 E-6 bit $^{-1}$ d $^{-1}$
Summe:	$R_{SEU}$ :	2.6 E-6 bit $^{-1}$ d $^{-1}$

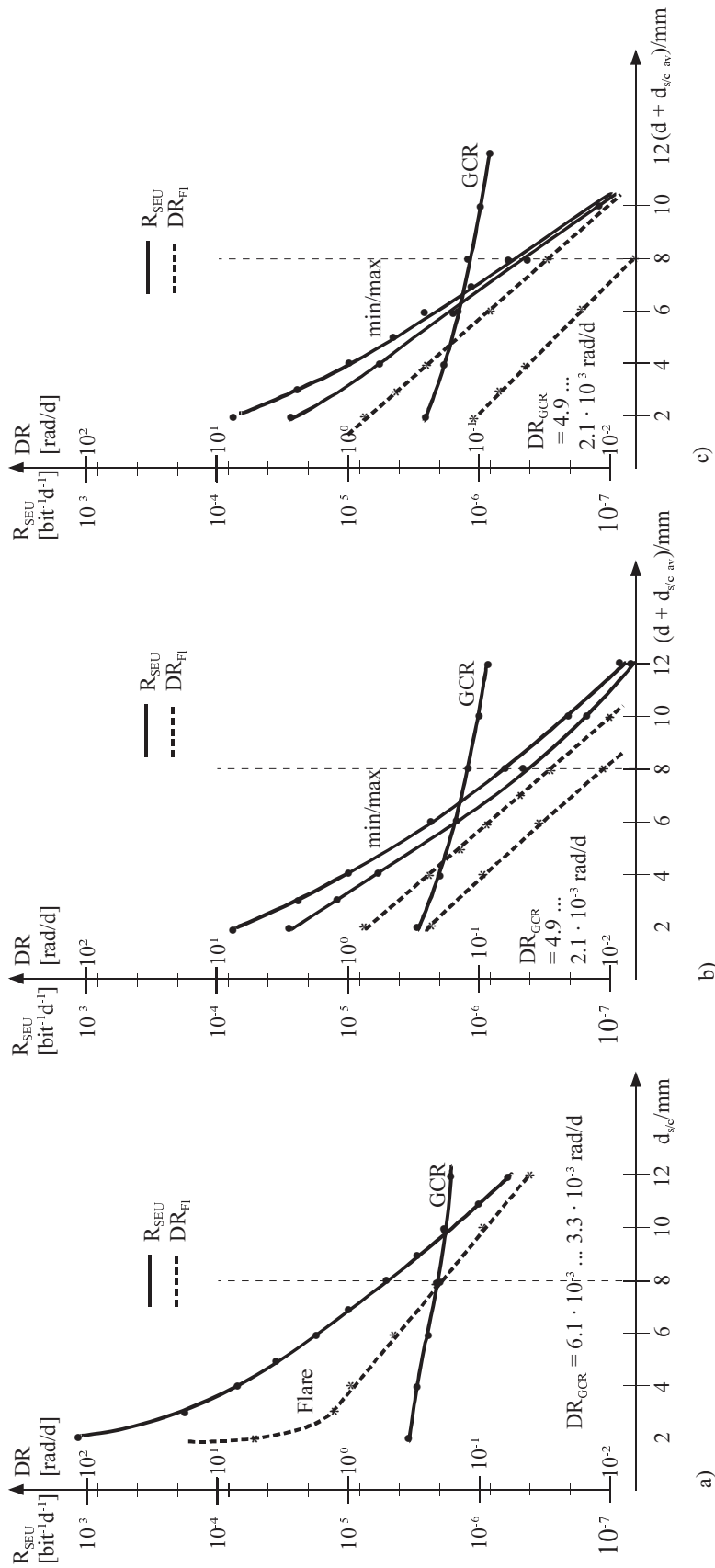


Bild 44: Von schweren Ionen induzierte SEU-Fehlerrate und Dosisrate pro Tag für 99 % Flare und 90 % Worst Case GCR Fluß bei 1 AU im FPGA-Baustein 14100 A

a: Kugelförmige Hülle der Dicke  $d_{s/c}$ ;

b: Referenz-Box mit 4 Platinen, jede equivalent 1.5 mm Al;

c:  $\mu$ DPU mit 5 Platinen, jede equivalent 3.0 mm Al

b und c: Dicke der S/C-Hülle gleichverteilt zwischen 0 ... 4 mm Al,  $d_{s/c,av} = 2 \text{ mm Al}$ .

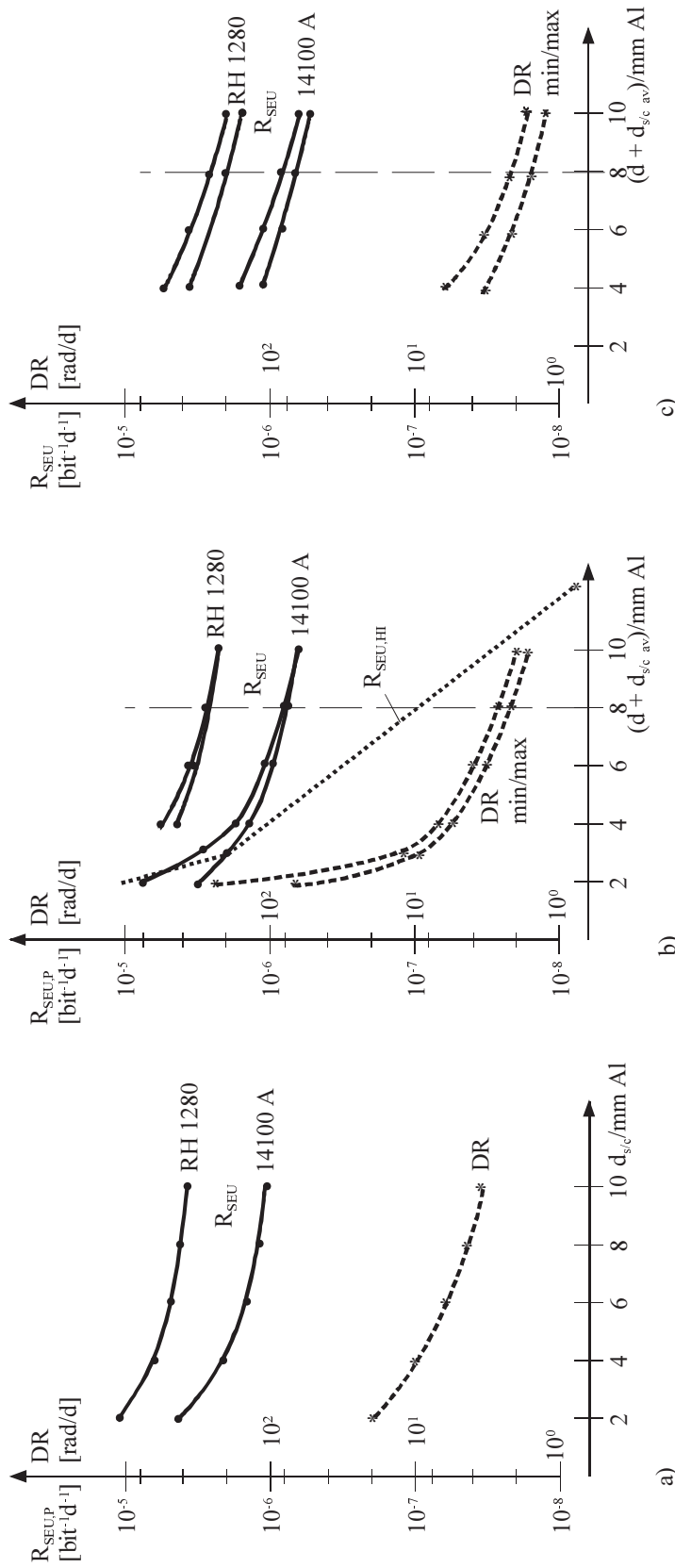


Bild 45: Protonen-induzierte SEU-Fehlerrate und Dosisrate für 99 % Flare bei 1 AU in den FPGA-Bausteinen 14100A und RH1280

a: Kugelförmige Hülle der Dicke  $d_{s/c}$

b: Referenz-Box mit 4 Platinen, jede equivalent 1.5 mm Al;

c:  $\mu$ DPU mit 5 Platinen, jede equivalent 3.0 mm Al

b und c: Dicke der S/C-Hülle gleichverteilt zwischen 0 ... 4 mm Al,  $d_{s/c,av} = 2$  mm Al.

Während des "99 percentile Solar Flare" steigt bei 1 AU die Dosisrate hinter der starken Abschirmung von  $d + d_{S/C,av} = 8$  mm Al kurzzeitig für ein bis zwei Tage auf

Summe:	$DR_{SEU,Flare,HI} :$	$3.0$	$E-2$	$rad$	$d^{-1}$
	$DR_{SEU,Flare,P} :$	$2.0$		$rad$	$d^{-1}$
	$DR_{SEU,Flare} :$	$2.0$		$rad$	$d^{-1}$

d.h. auf einen bei 1 AU bedeutungslosen Wert.

Die Flare-Werte treten nur mit einer Häufigkeit von etwa 0.25% entsprechend 1 Tag im Jahr maximaler Sonnenaktivität auf. Mit einer Häufigkeit von 2.5% entsprechend 10 von 360 Tagen sind um den Faktor 20 kleinere Werte zu erwarten, und mit einer Häufigkeit von 7.5%, entsprechend etwa 30 von 360 Tagen im den Faktor 200 kleinere Werte (Tabelle 5 und Tabelle 6,  $R = 1$  AU)

### R < 1 AU

Die Werte für  $R = 1$  AU sind in Tabelle 5 und Tabelle 6 mit  $R^{-2}$  bzw.  $R^{-3}$  auf den Merkurorbit ( $R = 0.387$  AU) bzw. die größte Annäherung der Solar Probe an die Sonne ( $R = 0.02$  AU) skaliert. Die dramatischsten Werte ergeben sich für  $R^{-3}$ -Skalierung und einer Eintrittswahrscheinlichkeit von 0.25%. Trotz der starken Schirmung wird im ungünstigsten Fall kurzzeitig eine Dosis von etwa 250 krad akkumuliert. Nur mit RH-Bausteinen der Mrad-Klasse ist dann ein permanenter Funktionsausfall zu vermeiden. Die dem "Announcement of Opportunity" der Solar Probe Mission beigegebene *Dose-Depth*-Kurve (Bild 40) enthält keinen "Flare-Protonen-Anteil", d.h. sieht die pessimistische Kombination von  $R^{-3}$ -Skalierung und Auftreten eines großen *Flares* während der Sonnennähe nicht als Entwurfskriterium an, d.h. toleriert ein geringes Risiko.

Wird kein entsprechendes Risiko toleriert, scheidet von der maximal zu erwartenden Dosisbelastung her die Kombination "COTS Bausteine + starke Schirmung" aus. Nur die Kombination "Mrad RH Bausteine + starke Schirmung" vermeidet jedes Flare-Risiko.

Die SEU-Problematik wäre dagegen von der Kombination "COTS-Bausteine+starke Schirmung" noch beherrschbar, weil hier durch strukturelle Maßnahmen große Verbesserungen erzielt werden können. Für alle FPGA-Speicherstellen kann "2 aus 3"-Mehrheitsentscheid (engl. *Majority Voting*) eingeführt werden. Weiter kann über einen *Timer* die DPU in regelmäßigen Abständen (z.B.  $T = 5$  min) aus einem ROM neu initialisiert werden. Dabei werden auch alle den Funktionsablauf steuernden FPGA-Speicherstellen neu initialisiert. Der Meßablauf wird also im Abstand  $T = 5$  min für ein Initialisierungsintervall von z.B. 30 s unterbrochen. Nehmen wir an, daß z.B. 1000 (2 aus 3)-Speicherstellen im weitesten Sinne in der Ablaufsteuerung eingebunden sind. Im ungünstigsten Fall müssen wir dann mit 0.18 SEUs für jeder der 3-1000 beteiligten Einzelspeicherstellen rechnen. Die Ausfallwahrscheinlichkeit einer Einzelspeicherstelle während  $T = 5$  min ist

Häufigkeit im Jahr maximaler Sonnenaktivität	Erdorbit R = 1AU	Merkurorbit R = 0.387 AU Fluß - Skalierung	Solar Probe R = 0.02 AU Fluß - Skalierung
	R <sup>2</sup>	R <sup>3</sup>	R <sup>2</sup>
0.25 %	1.4 E-6	9.9 E-6	3.5 E-3
2.5 %	7.0 E-8	4.7 E-7	1.8 E-4
7.5 %	7.0 E-9	4.7 E-8	1.8 E-5

Tabelle 5  $Flare\text{-}SEU\text{-}Rate\ R_{SEU,Flare} = R_{SEU,Fl,HI} + R_{SEU,Flare,P}$  [bit<sup>-1</sup>·d<sup>-1</sup>] des Bausteins ACTEL 14100A in Abhängigkeit von der Eintrittswahrscheinlichkeit im Jahr der größten Sonnenaktivität, IDA- $\mu$ DPU, d = 6 mm Al,  $d_{S,C,av} = 2$  mm Al

Häufigkeit im Jahr maximaler Sonnenaktivität	Erdorbit R = 1AU	Merkurorbit R = 0.387 AU Fluß - Skalierung	Solar Probe R = 0.02 AU Fluß - Skalierung
	R <sup>2</sup>	R <sup>3</sup>	R <sup>2</sup>
0.25 %	4.0	1.3 E1	5.0 E3
2.5 %	1.0 E-1	6.7 E-1	2.5 E2
7.5 %	1.0 E-2	6.7. E-2	2.5 E1

Tabelle 6  $Flare$  Dosisbeitrag [rad/d] in Abhängigkeit von der Eintrittswahrscheinlichkeit im Jahr der größten Sonnenaktivität, IDA- $\mu$ DPU, d = 6 mm Al,  $d_{S,C,av} = 2$  mm Al

$$q_1 = 0.18 \cdot \frac{5 \text{ min}}{1 d} \approx 6.3 E-4 \quad (46)$$

und damit die Überlebenswahrscheinlichkeit während  $T = 5 \text{ min}$

$$p_1 = 1 - q_1 = 0.99937. \quad (47)$$

Daraus ergibt sich für die (2 aus 3)-Speicherstelle

$$p_3 = p_1^3 + 3 \cdot p_1^2 \cdot (1 - p_1) = 0.9999988 \quad (48)$$

und für das Kollektiv aus 1000 (2 aus 3)-Speicherstellen

$$p_{3,1000} = p_3^{1000} = 0.9988. \quad (49)$$

Wir können also erwarten, daß mit einer Eintrittswahrscheinlichkeit von 0.25% die Meßdaten von höchstens einem von 288 Fünf-Minutenintervallen eines Tages korrumpiert sein werden. Die gespeicherten Daten können durch die Kombination von "Fehlerkorrigierenden Code + *Scrubbing*" hinreichend gesichert werden.

Nehmen wir dagegen  $R^{-3}$ -Skalierung mit 5% Eintrittswahrscheinlichkeit bzw.  $R^{-2}$ -Skalierung mit 0.25% Eintrittswahrscheinlichkeit als zu beherrschender Grenzfall an, so folgt aus

$$\begin{aligned} q_1 &< 9.0 E-3 \cdot \frac{5 \text{ min}}{1 d} \approx 3.1 E-5 \\ p_{3,1000} &> 0.9999 \end{aligned} \quad (50)$$

Während das SEU-Problem bei diesen etwas abgemilderten Grenzfall durch strukturelle Redundanz gut zu beherrschen ist, ist die zusätzliche Flare-Dosisbelastung von etwa 5 krad für COTS-Bausteine an der Belastungsgrenze.

Ein mit COTS-Bausteinen jedenfalls erreichbares Entwurfskriterium ist  $R^{-3}$ -Skalierung mit 7.5% Eintrittswahrscheinlichkeit bzw.  $R^{-2}$ -Skalierung mit etwa 1% Eintrittswahrscheinlichkeit. Die zusätzliche Flare-Dosisbelastung liegt dann bei etwa 1 krad.

Es ergibt sich das folgende Bild:

- (1) Die Kombination "COTS-Bausteine + starke Schirmung" ist bei der Solar Probe Mission unter Inkaufnahme eines gewissen Ausfallrisikos noch einsetzbar.
- (2) Das Ausfallrisiko wird bestimmt durch die zusätzliche Dosisbelastung bei einem großen *Flare*.
- (3) Bei der Merkurmission ist die Kombination "COTS-Bausteine + starke Schirmung" risikolos einsetzbar.

## 4.6 Anwendbarkeit bei verschiedenen Missionstypen

Zusammenfassend ergibt sich folgendes Bild:

Die Anwendbarkeit der Kombination "COTS-Bausteine + Schirmung" wird limitiert durch die Dosisbelastung, weil sich hier - anders als bei der SEU-Belastung - keine strukturellen Gegenmaßnahmen anwenden lassen. Uneingeschränkt anwendbar ist die Alternative "COTS-Standardbausteine + Schirmung" für alle Missionen, die nicht mit einem langen Aufenthalt in einem planetaren Strahlungsgürtel verbunden sind, und die sich nicht dichter als die Merkurbahn der Sonne nähern.

Unter Risiko-Nutzen-Abwägung ist diese Alternative auch anwendbar für Missionen innerhalb des Merkur-Orbits, wie z.B. Solar Probe.

Nicht geeignet ist diese Alternative bei Missionen mit längerem Aufenthalt im Strahlungsgürtel des Jupiters, wie Europa Orbiter und Pluto-Kuiper-Express.

## 5 Massenvergleich

Wie im vorherigen Kapitel gezeigt, liefert die Kombination "COTS-Bausteine + Schirmung" für die meisten Missionen eine ausreichende Unempfindlichkeit der Elektronik gegen Strahlungseinwirkung. Soweit dies *Total Dose* Toleranz angeht, beruht die Unempfindlichkeit allein auf Abschirmung. Gegen *Single Event* Effekte kann die Toleranz zusätzlich durch Schaltungsmaßnahmen (Fehlertoleranz, Überstromabschaltung, etc.) um Größenordnungen verbessert werden. Damit stellt sich die Frage, in welchen Anwendungsfällen der Ansatz "COTS-Bausteine + Schirmung" bei gleichem Funktionsumfang vorteilhafter ist als der Ansatz "RH-Bausteine". Hinsichtlich Kosten und Energieaufnahme ist der COTS-Ansatz immer günstiger. Das entscheidende Kriterium ist die Masse. Orientierungswerte liefert das folgende, stark vereinfachte Modell.

### 5.1 Massenvergleich bei Schirmung mit Aluminium

Die DPU-Masse  $m$  ist gegeben durch das Volumen der Elektronik  $V_E$  mit der mittleren Dichte  $\rho_E$  plus dem Volumen der würfelförmig angenommenen Box  $V_B$  mit Dichte  $\rho_B$ :

$$m = V_E \cdot \rho_E + V_B \cdot \rho_B \quad (51)$$

$$V_E = a_E^3 \quad (52)$$

RH-Bausteine verbrauchen ein größeres Volumen als COTS-Standardbausteine. Die geringere Integrationsdichte ergibt eine größere Bauteilanzahl, z.B. den Faktor 4...16 bei Speicherbausteinen. Außerdem benötigen hermetisch geschlossene, keramische Gehäuse, wie im Kap. 6.1 näher aufgeführt, deutlich mehr Leiterplattenfläche und einen größeren Leiterplattenabstand als oberflächenmontierbare "*Plastic Encapsulated Microcircuits*" (PEM).

Das Volumenverhältnis von Elektronikimplementierungen mit Rad. Hard- (RH) bzw. COTS-Standardbausteinen (S)

$$C_v = \frac{V_{E,RH}}{V_{E,S}} \quad (53)$$

liegt im Bereich  $C_v = 10 \dots 200$ . Die Massendichte des Leiterplattenstapels liegt bei herkömmlicher Packungstechnik mit RH- oder COTS-Bausteinen etwa bei  $\rho = 0.7 \text{ g/cm}^3$ , für RH-Bestückung tendenziell etwas höher als für S-Bestückung. Beispiele sind (i) ROSETTA-ROSINA-DPU,  $\rho_{E,S} = 0.68 \text{ g/cm}^3$ , reine S-Bestückung, (ii) ROSETTA-OSIRIS-DPU,  $\rho_{E,RH} = 0.71 \text{ g/cm}^3$ , größtenteils RH-Bestückung. Mit "*Surface Mounted* (SM)-COTS-Bausteinen, sehr dichter Bestückung und einer gefalteten Starrflex-Platine wird bei der IDA- $\mu$ DPU  $\rho_{E,S} = 1.06 \text{ g/cm}^3$  erreicht. Für den folgenden Vergleich gehen wir von  $\rho_{E,S} = \rho_{E,RH} = \rho_E = 0.7 \text{ g/cm}^3$  aus. Bei  $\rho_{E,S} > \rho_{E,RH}$  wird der folgende Massenvergleich zwar etwas günstiger für die RH-Version, bei  $V_{E,S} \ll V_{E,RH}$  ist die Abweichung aber vernachlässigbar.



Das Masseverhältnis ist:

$$C_m = \frac{m_{RH}}{m_S} = \frac{V_{E,RH} \cdot \rho_E + V_{B,RH} \cdot \rho_B}{V_{E,S} \cdot \rho_E + V_{B,S} \cdot \rho_B}. \quad (54)$$

Mit dem Volumen der Boxwände

$$V_B = (a_E + 2d)^3 - a_E^3 = \left(\sqrt[3]{V_E} + 2d\right)^3 - V_E \quad (55)$$

erhält man den Ausdruck

$$C_m = \frac{m_{RH}}{m_S} = \frac{V_{E,RH} \cdot (\rho_E - \rho_B) + \rho_B \cdot \left(\sqrt[3]{V_{E,RH}} + 2d_{RH}\right)^3}{\frac{V_{E,RH}}{C_V} \cdot (\rho_E - \rho_B) + \rho_B \cdot \left(\sqrt[3]{\frac{V_{E,RH}}{C_V}} + 2d_S\right)^3}. \quad (56)$$

Bild 46 zeigt die numerische Auswirkung für das Beispiel  $d_{B,S} = 2.0$  mm Al @ 5 krad (z.B. ROSETTA Mission oder 5 Jahre Geosynchroner Orbit). Das Volumenverhältnis  $C_V = V_{E,RH}/V_{E,S}$  ist jeweils Parameter. Schon bei einem Volumenverhältnis von nur  $C_V = 2$  ist die S-Implementierung ab  $V_{E,RH} = 10$  cm<sup>3</sup> günstiger, bei  $C_V \geq 5$  praktisch immer.

Im Anhang A2 sind ab Bild 131 die entsprechenden Kurvenscharen für  $d_{B,S} = 3$  mm Al (z.B. Envisat), 4 mm Al (z.B. Cluster), 5 mm Al (z.B. Solar Probe oder 5 Jahre Sonnensynchroner Orbit, 888km, 99°) dargestellt. Die Tabelle 7 zeigt das jeweilige *Break Even* RH-Elektronik-Volumen für Volumenverhältnisse  $C_V = 2 \dots 100$ .

Selbst bei massiver Schirmung mit  $d_{B,S} = 8$  mm Al ist es nach Bild 47 z.B. massenmäßig günstiger, eine RH-Elektronik mit einem Volumen von 1000 cm<sup>3</sup> durch eine S-Elektronik mit einem Volumen von 200 cm<sup>3</sup> zu ersetzen.

Wie man aus der numerischen Auswertung erkennt, ist die Kombination "COTS + Schirmung" bei allen dafür in Frage kommenden Missionen bei einem mit modernen COTS-Bausteinen leicht erreichbaren Volumenverhältnis  $C_V > 5$  schon bei RH-Elektronik-Volumina von  $< 100$  cm<sup>3</sup> massenmäßig im Vorteil. Bei der der ROSETTA-OSIRIS-DPU funktionsmäßig überlegenen IDA- $\mu$ DPU wurde eine Volumenverhältnis  $C_V = 50$  erreicht. Wenn bei der IDA- $\mu$ DPU vielleicht auch die Grenze der Praktikabilität erreicht wurde, so zeigt das Beispiel doch, daß mit modernen COTS-Bausteinen große  $C_V$ -Verhältnisse realisierbar sind und die Kombination "COTS + Schirmung" anstatt RH für die meisten Missionen nicht nur von der Energie- und Kostenbilanz sondern auch von der Massenbilanz her vorteilhaft ist.

Als Schirmungsmaterial haben wir bisher nur Aluminium in Betracht gezogen. Es bleibt daher die Frage, ob andere Materialien günstiger sind.

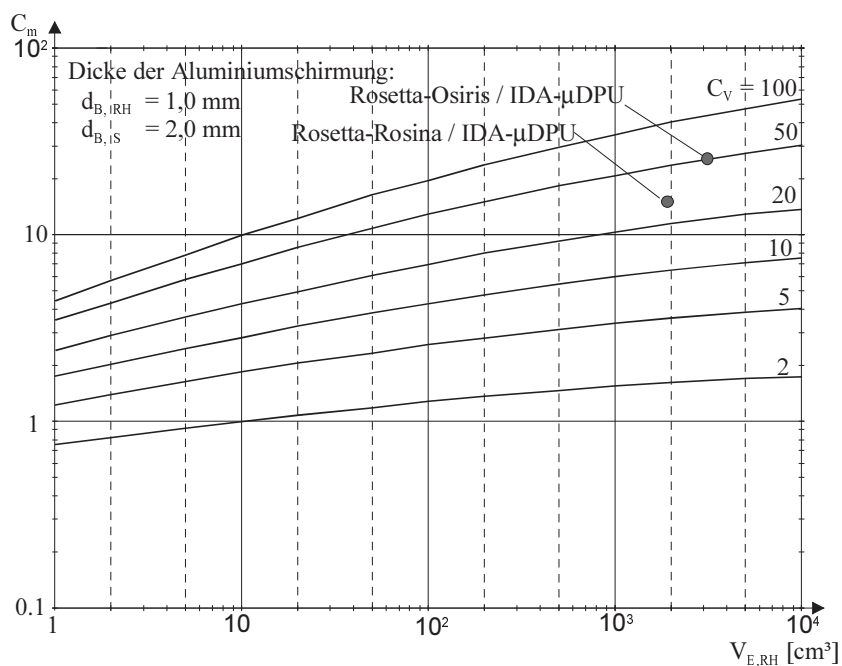


Bild 46: Massenverhältnis  $C_m = m_{RH} / m_S$  über dem Volumen der RH-Elektronik  $V_{E,RH}$  für verschiedene Volumenverhältnisse  $C_V = V_{RH} / V_S$ . Boxdicke  $d_{B,RH} = 1 \text{ mm Al}$ ,  $d_{B,S} = 2 \text{ mm Al}$ . Beispielmissionen: Rosetta, bzw. 5 Jahre Geosynchroner Orbit.

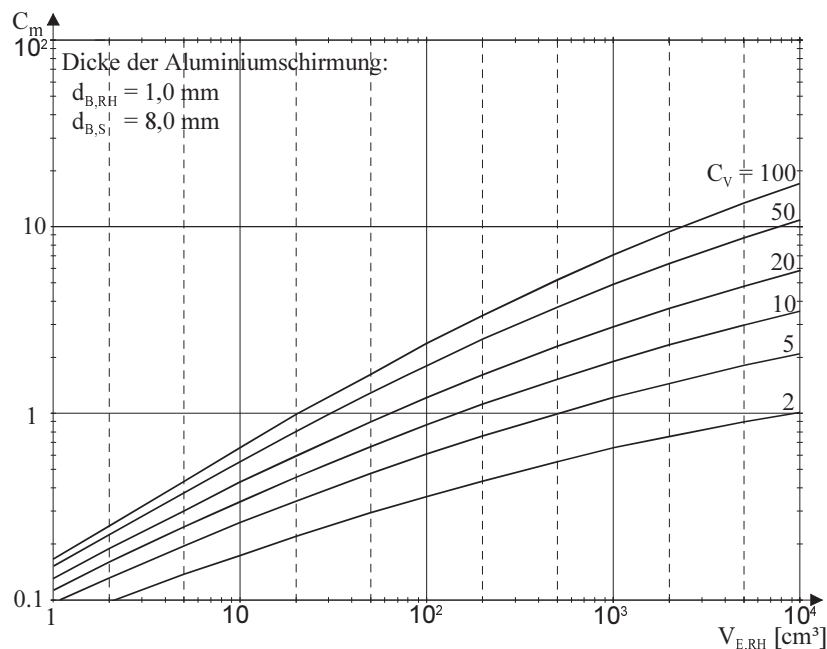


Bild 47: Massenverhältnis  $C_m = m_{RH} / m_S$  über dem Volumen der RH-Elektronik  $V_{E,RH}$  für verschiedene Volumenverhältnisse  $C_V = V_{RH} / V_S$ , Boxdicke  $d_{B,RH} = 1 \text{ mm Al}$ ,  $d_{B,S} = 8 \text{ mm Al}$ .

Mission	$d_{B,S}$ [mm] @5 krad	$V_{E,RH}$ [cm <sup>3</sup> ] @ $C_V =$					
		2	5	10	20	50	100
Rosetta, Geosynchr. Orbit (5 a)	2	10	< 1	< 1	< 1	< 1	< 1
Envisat	3	150	5	3	< 1	< 1	< 1
Cluster	4	500	20	7	3	1,5	1
Solar Probe, Sonnensynchr. Orbit ( 888 km, 99°, 5 a)	5	1300	70	20	10	5	3

Tabelle 7: "Break Even" RH-Elektronik-Volumen für einige Missionen

## 5.2 Schirmung mit anderen Materialien

Als Schirmungsmaterial wurde bisher nur Aluminium in Betracht gezogen. Dies hat zunächst seinen Grund darin, daß Aluminium wegen seines günstigen Festigkeits-/Massenverhältnis und seiner leichten Bearbeitbarkeit das für Boxen übliche Material ist und es daher nahe liegt, die Al-Boxwände über die von der Festigkeit her notwendige Dicke bis auf die für die Schirmung erforderliche Dicke zu verstärken. Nachteilig ist, daß bei einem leichten Material wie Al das auf die Boxwände entfallende Volumen  $V_B$  und damit die Masse  $m_B$  stärker als die Wandstärke  $d$  wachsen. Im einfachen Modell einer würfelförmigen Box mit der Innenraum-Kantenlänge  $a$  ist

$$\begin{aligned}
 V_B &= (a + 2d)^3 - a^3 = a^3 \left[ \left( 1 + \frac{2d}{a} \right)^3 - 1 \right] \\
 &= a^3 \left[ 3 \frac{2d}{a} + 3 \left( \frac{2d}{a} \right)^2 + \left( \frac{2d}{a} \right)^3 \right]
 \end{aligned} \tag{57}$$

Für kleine Wandstärken  $d/a \ll 1$  können das quadratische und kubische Glied vernachlässigt werden,

$$V_B \approx 3a^2 \cdot 2d \quad @ \quad \frac{d}{a} \ll 1 \tag{58}$$

$$m_B \approx \rho_{SH} \cdot 3a^2 \cdot 2d \tag{59}$$

und die Masse der Box wächst fast noch proportional zur Wandstärke. Dies legt den Gedanken nahe, bei stärkerer Schirmung das  $d/a$ -Verhältnis dadurch klein zu halten, daß man anstelle von Aluminium ein Material mit höherer Massendichte verwendet, z.B. Wolfram oder Tantal mit Massendichten  $\rho = 19.3 \text{ g/cm}^3$  bzw.  $16.6 \text{ g/cm}^3$  gegenüber Aluminium mit  $\rho = 2.7 \text{ g/cm}^3$ . Das  $d/a$ -Verhältnis sollte sich hierdurch bei unverändertem Massenbelag  $\rho \cdot d$  um den Faktor  $\rho_{Al} / \rho_W = 2.7 / 19.3 = 0.14$  verringern, und es sollte sich insbesondere bei starker Schirmung eine kleinere Boxmasse ergeben.

$$\begin{aligned}
\frac{m_{B,W}}{m_{B,Al}} &= \frac{\rho_W}{\rho_{Al}} \cdot \frac{3 \cdot \frac{2d_{Al}}{a} \cdot \frac{\rho_{Al}}{\rho_W} + 3 \cdot \left( \frac{2d_{Al}}{a} \cdot \frac{\rho_{Al}}{\rho_W} \right)^2 + \left( \frac{2d_{Al}}{a} \cdot \frac{\rho_{Al}}{\rho_W} \right)^3}{3 \cdot \frac{2d_{Al}}{a} + 3 \cdot \left( \frac{2d_{Al}}{a} \right)^2 + \left( \frac{2d_{Al}}{a} \right)^3} \\
&= \frac{3 \cdot \frac{2d_{Al}}{a} + 3 \frac{\rho_{Al}}{\rho_W} \cdot \left( \frac{2d_{Al}}{a} \right)^2 + \left( \frac{\rho_{Al}}{\rho_W} \right)^2 \left( \frac{2d_{Al}}{a} \right)^3}{3 \cdot \frac{2d_{Al}}{a} + 3 \cdot \left( \frac{2d_{Al}}{a} \right)^2 + \left( \frac{2d_{Al}}{a} \right)^3} = 1 - \varepsilon
\end{aligned} \tag{60}$$

Während die linearen Glieder in Zähler und Nenner gleich sind, sind die quadratischen und kubischen Glieder im Zähler um  $\rho_{Al}/\rho_W$  bzw.  $(\rho_{Al}/\rho_W)^2$  kleiner als im Nenner, sodaß das Verhältnis immer kleiner 1 ist, für kleine  $d_{Al}/a$  aber nahezu 1.

Dieses immer für schwere Schirmungsmaterialien sprechende Ergebnis berücksichtigt aber nicht, daß das Massenbremsvermögen, wenn auch nur schwach, vom Absorbermaterial abhängig ist, und zwar derart, daß schwerere Materialien ein geringeres Massenbremsvermögen haben. Nach /Brä89/ gilt für das Verhältnis der Massenbremsvermögen zweier Materialien p und n bei nichtrelativistischen Teilchen

$$\frac{(LET)_p}{(LET)_n} = \frac{\left( \frac{dE}{\rho \cdot dx} \right)_p}{\left( \frac{dE}{\rho \cdot dx} \right)_n} = \frac{\left( \frac{Z}{A} \cdot B \right)_p}{\left( \frac{Z}{A} \cdot B \right)_n} \tag{61}$$

$$\frac{(\rho \cdot dx)_n}{(\rho \cdot dx)_p} = \frac{\left( \frac{Z}{A} \right)_p}{\left( \frac{Z}{A} \right)_n} \cdot \frac{B_p}{B_n} \tag{62}$$

$$\frac{dx_n}{dx_p} = \frac{\rho_p}{\rho_n} \cdot \frac{(\rho \cdot dx)_n}{(\rho \cdot dx)_p} \tag{63}$$

mit dem Korrekturfaktor

$$B = \ln \left( \frac{2m_0 \cdot v_1^2}{I} \right) \tag{64}$$

$$I = 9.1 \cdot Z \left( 1 + 1.9 \cdot Z^{-2/3} \right) \text{ eV} \tag{65}$$

$$m_0 \cdot c^2 = 0.511 \text{ MeV}; \quad m_p \cdot c^2 = 938 \text{ MeV} \quad (66a,b)$$

Dabei ist  $m_0$  die Elektronen-Ruhemasse und  $v_1 \ll c$  die Geschwindigkeit von Teilchen der Energie  $\frac{1}{2} \cdot m \cdot v_1^2$ , speziell von Protonen der Energie  $\frac{1}{2} \cdot m_p \cdot v_1^2$ .

Bild 48 und Bild 49 zeigen das Ergebnis der numerische Auswertung (Tabelle 8) der Gleichungen (62) und (63) für Al ( $Z=13$ ,  $A=27$ ,  $\rho=2.7 \text{ g/cm}^3$ ), Fe ( $Z=26$ ,  $A=56$ ,  $\rho=7.8 \text{ g/cm}^3$ ), W ( $Z=74$ ,  $A=184$ ,  $\rho=19.3 \text{ g/cm}^3$ ) und Polyethylen ( $-\text{CH}_2-\text{CH}_2-$ ,  $\rho=0.98 \text{ g/cm}^3$ , C:  $Z=6$ ,  $A=12$ ,  $\rho=2.7 \text{ g/cm}^3$ ).

Für das auch häufig benutzte Schwermetall Tantal ( $Z=73$ ,  $A=180$ ,  $\rho=16.6 \text{ g/cm}^3$ ) liegt das Massenbelagsverhältnis nur ganz geringfügig über dem von Wolfram. Das Wanddickenverhältnis ist gegenüber Wolfram um das Verhältnis der Massendichten  $\rho_{\text{Ta}}/\rho_{\text{W}}$  niedriger. Ebenfalls dargestellt ist das in /Kat96/ mitgeteilte Wanddickenverhältnis der gut bearbeitbaren Wolfram-Kupfer-Legierung 90% W, 10% Cu.

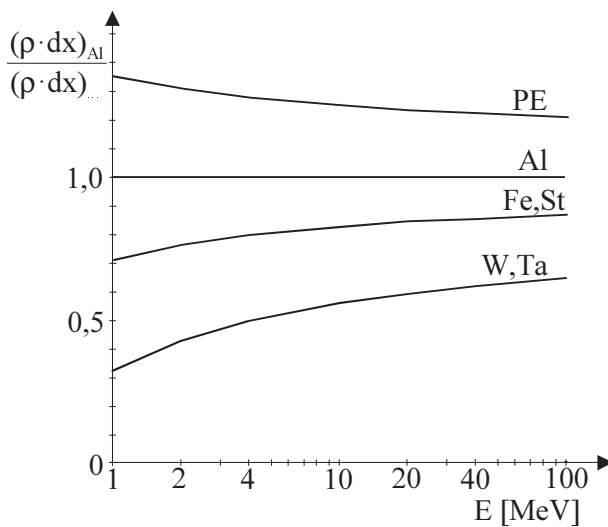


Bild 48: Massenbelagsverhältnis verschiedener Schirmungsmaterialien im Vergleich zu Al

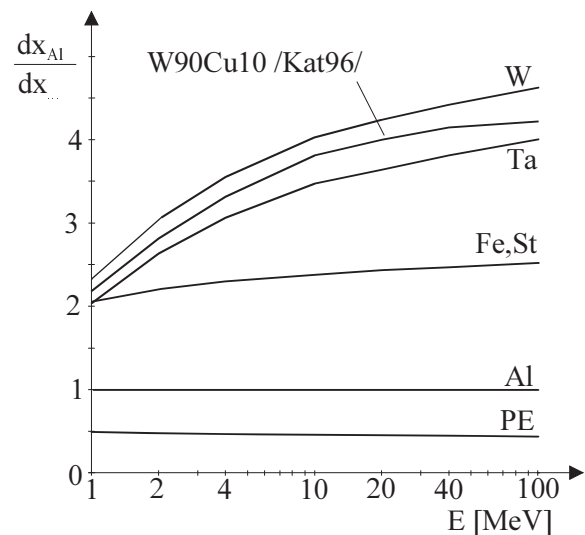


Bild 49: Wanddickenverhältnis verschiedener Schirmungsmaterialien im Vergleich zu Al

Schirmungsmaterial	E [MeV]	$(v_1/c)^2$	$2m_0v_1^2$ $=2m_0c^2(v_1/c)^2$ [keV]	I [keV]	B = $\ln(2m_0v_1^2/I)$	$B_{Al}/B_{...}$	$(\rho \cdot dx)_{Al}/$ $(\rho \cdot dx)_{...}$	$dx_{Al}/dx_{...}$	
$\begin{array}{c} \text{H} \quad \text{H} \\   \quad   \\ \text{---C---} \\   \quad   \\ \text{H} \quad \text{H} \end{array}$ PE $\rho = 0.98 \text{ g/cm}^3$ C: Z = 6 A = 12	1	2.13 E-3	2.18 E0	1.50/8.6 E-2	4.97 / 3.23	0.553 / 0.851	1.351	0.490	
	2	4.26 E-3	4.37 E0		5.67 / 3.93	0.607 / 0.875	1.310	0.475	
	4	8.53 E-3	8.72 E0		6.37 / 4.62	0.648 / 0.894	1.279	0.464	
	10	2.13 E-2	2.18 E1		7.28 / 5.54	0.694 / 0.912	1.250	0.454	
	20	4.26 E-2	4.37 E1		7.98 / 6.23	0.719 / 0.921	1.236	0.449	
	40	8.53 E-2	8.72 E1		8.67 / 6.92	0.742 / 0.929	1.224	0.444	
	100	2.13 E-1	2.18 E2		9.58 / 7.84	0.767 / 0.938	1.211	0.440	
	1	2.13 E-3	2.18 E0	1.40 E-1	2.75				
	2	4.26 E-3	4.37 E0		3.44				
	4	8.53 E-3	8.72 E0		4.13				
20	2.13 E-2	2.18 E1		5.05					
20	4.26 E-2	4.37 E1		5.74					
40	8.53 E-2	8.72 E1		6.43					
100	2.13 E-1	2.18 E2		7.35					
Fe, (St) Z = 26 A = 56 $\rho = 7.8 \text{ g/cm}^3$	1	2.13 E-3	2.18 E0	2.88 E-1	2.02	1.36	0.709	2.05	
	2	4.26 E-3	4.37 E0		2.72	1.26	0.765	2.21	
	4	8.53 E-3	8.72 E0		3.41	1.21	0.797	2.30	
	10	2.13 E-2	2.18 E1		4.33	1.17	0.824	2.38	
	20	4.26 E-2	4.37 E1		5.02	1.14	0.846	2.44	
	40	8.53 E-2	8.72 E1		5.71	1.13	0.853	2.46	
	100	2.13 E-1	2.18 E2		6.63	1.11	0.869	2.51	
	1	2.13 E-3	2.18 E0	7.46 E-1	1.07 (1.08)	2.57 (2.55)	0.325 (0.330)	2.32 (2.03)	
	2	4.26 E-3	4.37 E0	(7.37 E-1)	1.76	1.95	0.428	3.06 (2.63)	
	4	8.53 E-3	8.72 E0		2.46	1.68	0.497	3.55 (3.06)	
10	2.13 E-2	2.18 E1		3.38 (3.39)	1.49 (1.49)	0.560 (0.565)	4.04 (3.47)		
20	4.26 E-2	4.37 E1		4.07	1.41	0.592	4.23 (3.64)		
40	8.53 E-2	8.72 E1		4.76	1.35	0.619	4.42 (3.81)		
100	2.13 E-1	2.18 E2		5.08 (5.09)	1.29 (1.29)	0.648 (0.653)	4.63 (4.01)		

Tabelle 8: Schirmungseffizienz von Wolfram, Tantal, Eisen (Stahl) und Polyethylen im Vergleich zu Aluminium

Wolfram ermöglicht zwar eine um den Faktor  $1/2.32 \dots 1/4.63$  kleinere Wandstärke, dies aber bei einer um den Faktor  $1/0.325 \dots 1/0.648$  größeren Massenbelegung. Umgekehrt liefert ein leichteres Material wie Polyethylen (PE) gegenüber Al eine um etwa den Faktor 2 größere Wandstärke bei einer etwa um den Faktor 0.8 kleineren Massebelegung.

Damit gilt nicht mehr, daß  $W$  immer eine kleinere, bei sehr dünnen Wänden ( $d/a \ll 1$ ) allerdings nahezu gleiche Schirmungsmasse liefert als Al. Vielmehr ist bei kleineren Wanddicken der überproportionale Volumenanteil noch unbedeutend, und die bei  $W$  erforderliche größere Massenbelegung entscheidet zugunsten von Al und liefert bei sehr kleiner Wandstärke eine um den Faktor  $(\rho \cdot dx)_{Al}/(\rho \cdot dx)_W < 0.65$  kleinere Schirmungsmasse. Bei großen Wandstärken entscheidet dagegen schließlich der überproportional mit der Wandstärke wachsende Volumenanteil zugunsten von  $W$ .

Damit stellt sich die Frage, bis zu welcher Wandstärke  $d$  Al günstiger ist als  $W$ . Von praktischen Interesse sind nur Wandstärken  $d_{Al} > 1$  mm, die nur von Protonen mit  $E > 20$  MeV durchquert werden können. Damit können wir in guter Näherung für  $(\rho \cdot dx)_{Al}/(\rho \cdot dx)_W$  den von der Teilchenenergie  $E$  unabhängigen Wert 0.59 annehmen und entsprechend für  $(dx)_{Al}/(dx)_W$  den Wert 4.23.

Entsprechend wird für genügend kleine Wandstärken ein Material geringer Massendicke, z.B. Polyethylen (PE), eine gegenüber Al massenmäßig günstigere Schirmung liefern. Auch hier stellt sich die Frage, bis zu welcher Wanddicke  $d$  dies der Fall ist, wobei wir wiederum für  $(\rho \cdot dx)_{Al}/(\rho \cdot dx)_{PE}$  und  $(dx)_{Al}/(dx)_{PE}$  die von der Teilchenenergie unabhängigen Werte 1.24 und 0.45 annehmen können.

Zunächst die Gegenüberstellung von  $W$  und Al. Das Massenverhältnis von Al- und  $W$ -Schirmung ist nach Glg (58)

$$\frac{m_{B,Al}}{m_{B,W}} = \frac{\rho_{Al}}{\rho_W} \cdot \frac{V_{B,Al}}{V_{B,W}} = \frac{\rho_{Al}}{\rho_W} \cdot \frac{\left(1 + \frac{2d_{Al}}{a}\right)^3 - 1}{\left(1 + \frac{2d_W}{a}\right)^3 - 1}$$

und mit  $\frac{d_{Al}}{d_W} \approx \frac{(dx)_{Al}}{(dx)_W} = 4.23$  (67)

$$\frac{m_{B,Al}}{m_{B,W}} = \frac{2.7}{19.3} \cdot \frac{\left(1 + \frac{2d_{Al}}{a}\right)^3 - 1}{\left(1 + \frac{1}{4.23} \cdot \frac{2d_{Al}}{a}\right)^3 - 1}$$

Entsprechend ist

$$\frac{m_{B,Al}}{m_{B,PE}} = \frac{2.7}{0.98} \cdot \frac{\left(1 + \frac{2d_{Al}}{a}\right)^3 - 1}{\left(1 + \frac{1}{0.449} \cdot \frac{2d_{Al}}{a}\right)^3 - 1}. \quad (68)$$

Bild 50 zeigt das Ergebnis der numerischen Auswertung.

Für  $d_{Al}/a \leq 0.1$  ist PE massenmäßig günstiger als Al, und für  $d_{Al}/a \leq 0.15$  Al massenmäßig günstiger als Fe bzw. Stahl. Wolfram, Wolframlegierungen und Ta sind erst ab  $d_{Al}/a \approx 0.4$  günstiger als Al und ab  $d_{Al}/a = 1.2$  günstiger als Fe, St.

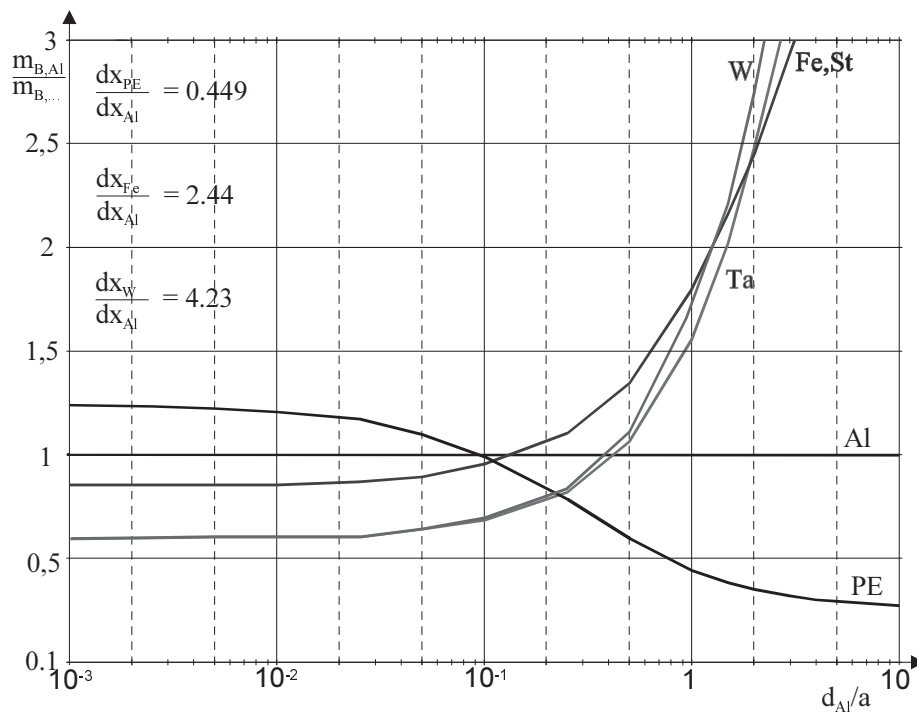


Bild 50: Vergleich der Schirmungsmasse verschiedener Schirmungsmaterialien im Vergleich zu Al. Kubischer Innenraum der Kantenlänge  $a$ , Wanddicke  $d$

Nicht einbezogen in die bisherigen Überlegungen ist die bei der Abbremsung von Elektronen in schwerem Absorbermaterial entstehende durchdringende Bremsstrahlung (s. Bild 6). Für Teilchenflüsse mit hohem Elektronenanteil, z.B. im oberen Van-Allen-Gürtel verschiebt sich dadurch der Vergleich der Schirmungsmaterialien zu Gunsten der leichteren Materialien. Dies ist auch das Anwendungsgebiet von *Composite*-Schirmungen bei denen eine äußere Schale leichten Materials die Elektronen ohne nennenswerte Bremsstrahlungserzeugung stoppt und eine innere Schale schweren Materials Protonen und schwerere Ionen absorbiert, ohne daß die Schirmung zu voluminös wird.



Schwere Materialien sind nur günstig, wenn sehr kleine Volumina, z.B. ein einzelner Chip mit einer zu seinen Abmaßen dicken Abschirmung geschützt werden muß. Das Hauptanwendungsgebiet der schwereren Materialien ist das "*spot shielding*" empfindlicher Bauteile im Inneren der Box. Hier sind dünne Schirmungen vorteilhaft, damit das Platinenraster und damit das Boxvolumen nicht vergrößert werden müssen. Darüber hinaus liefern die Boxwände ein äußeres Schild leichten Materials, wie bei *Composite*-Schirmungen.

Für nicht sehr kleine Elektronikboxen ist  $d/a < 0,1$ , sodaß massenmäßig Polyethylen bis zu etwa 23% günstiger ist als Aluminium. Zwecks elektromagnetischer Abschirmung ist allerdings eine dichte, elektrisch gut leitende Hülle erforderlich, z.B. 1,5 mm Al für eine Dämpfung um 60 db bei  $f = 100$  MHz. Anstelle von dickeren Aluminiumwänden können aber dünne Al-Wände mit einer äußeren PE-Bepankung ein Masseneinsparung von 10 ... 20 % liefern.

Bei der IDA- $\mu$ DPU beträgt das Kantenmaß des Innenraumes etwa  $a = 4$  cm. Wie im vorherigen Kapitel gezeigt, bringen Schirmungsdicken  $d_{Al} > 6$  mm entsprechend  $d_{Al}/a > 0,15$  nur noch wenig Gewinn, sodaß nach Bild 50 Al das günstigste Schirmungsmaterial ist.

Bei Applikationen mit schwächerer Strahlungsbelastung ist an mit PE beplankte Al-Wände zu denken.

## 6 Implementierungskomponenten

In der kommerziellen Technik stützt sich die Miniaturisierung auf (i) die Integration auch sehr komplexer Strukturen in einem Chip, sodaß viele Anwendungen durch einen einzelnen oder sehr wenige Spezialchips reduziert werden können, (ii) die Verpackung der Chips in Plastikgehäusen von fast nur Chipgröße und (iii) eine dichte Packung dieser Gehäuse auf Multilayerboards in Feinleitertechnik.

Während die Ansätze (ii) und (iii) direkt in die Weltraumtechnik übernommen werden können, ist dies bei (i) wegen der nur kleinen Stückzahlen aus Kostengründen nicht gegeben. Spezialbausteine sind wirtschaftlich nur gerechtfertigt, wenn es keine andere Möglichkeit gibt. Das sind RH-Bausteine für Missionen mit extrem hoher Dosis, z.B. Missionen mit langen Aufenthalt in planetaren Strahlungsgürteln. Wegen der hohen Entwicklungskosten und der langen Entwicklungszeit wird so weit wie möglich auf RH-Bausteine aus früheren Entwicklungen zurückgegriffen, sodaß das Spektrum der verfügbaren RH-Bausteine im Integrationsgrad und auch bei anderen technischen Parametern weit hinter dem allgemeinen Stand zurückliegt. Dazu kommt, daß RH-Chips vorrangig für militärische Anwendungen entwickelt und eingesetzt werden, und sie wegen militärisch begründeter (oder auch nicht begründeter) Spezifikationen nur in großen und schweren hermetischen Gehäusen verfügbar sind.

Die Alternative zur Verwendung hermetisch verpackter RH-Bausteine sind dem Stand der Technik entsprechende plastikumhüllte COTS-Standardbausteine in Kombination mit Schirmung. Die bisherigen Betrachtungen haben gezeigt, daß diese Kombination von der Strahlungsbelastung her bei den meisten Missionen anwendbar ist, daß schon bei moderaten Verkleinerungsfaktoren  $1/C_m$  des Elektronikvolumens sich gegenüber einer RH-Implementierung eine günstigere Gesamtmasse ergibt, und daß als Schirmungsmaterial Al, bzw. bei geringerer Strahlungsbelastung auch PE + Al günstig ist. Mit COTS-Standardbausteinen kann ein System in kurzer Zeit unter Verwendung modernster Bausteine auf der missionsspezifische Aufgabe maßgeschneidert werden.

Nach dieser für die Kombination "COTS-Bausteine + Schirmung" günstigen Einschätzung sollen nun die beiden wichtigsten Implementierungskomponenten (1) Integrierte Schaltkreise (ICs) und (2) Leiterplatten vorgestellt werden, und daran anschließend die IDA- $\mu$ DPU als ein reales Implementierungsbeispiel.

Nicht betrachtet werden die Miniaturisierungsmöglichkeiten bei passiven Bauteilen (Widerstände, Kondensatoren) und bei aktiven, diskreten Bauteilen (Transistoren, Dioden). Diese Bauteile bilden zwar in der Quantität den größten Beitrag, sind aber von Volumen und Masse her eher unbedeutend, sofern die jeweils kleinste Bauform eingesetzt wird.

## 6.1 Verpackung der ICs

Die beiden einander entgegenwirkenden Hauptforderungen an die Chip-Verpackung sind:

- (1) Schutz des Chips gegen mechanische Beschädigung und andere Umwelteinflüsse, besonders Feuchtigkeit

sowie

- (2) Niedriges Gewicht und kleiner Flächenbedarf

Für ICs mit hoher Verlustleistung kommt noch die Forderung nach guter Wärmeableitung hinzu.

Die klassische Chipverpackung für Militär- und Weltraum-Applikationen ist das hermetisch dichte Keramikgehäuse mit aufgelötetem Metalldeckel, das die Forderung (1) ideal erfüllt. Die Temperatúrausdehnungskoeffizienten von Chip (2,5-3 ppm/°C) und Keramik (5-7 ppm/°C) sind gut angepaßt. Keramikträger erzeugen über einen großen Temperaturbereich im Chip geringere mechanische Spannungen, als glasfaserverstärkte Kunststoffträger (16-20 ppm/°C). Weitere Vorteile dieser Anwendungsklasse sind, daß im Fabrikationsprozeß der Verpackungsschritt keine aufwendigen Maschinen erfordert, visuelle Inspektionen möglich sind, die Dichtheit der Gehäuse durch Lagerung in unter Druck stehendem Helium und anschließendem "Schnüffeln" einfach überprüft werden kann, und sich dies Gehäuse daher für kleinere Fertigungslose mit vielen zwischengeschalteten Inspektionen gut eignet. Ein weiterer Vorteil ist, daß die Chipoberfläche völlig frei liegt und es daher zu keinen Schädigungen durch direkten Kontakt mit dem Hüllmaterial kommen kann. Der Gehäusedeckel kann ohne die Gefahr von Chipbeschädigungen leicht wieder geöffnet werden, was zur Untersuchung von defekten ICs oder auch für Strahlungstests mit schwereren Ionen von Vorteil ist. Jedenfalls nachteilig ist die große Masse der keramischen Gehäuse.

Bei großen keramischen Gehäusen mit starren Kontakten können durch unterschiedliche Ausdehnungskoeffizienten von Platinenmaterial und Keramik erhebliche mechanische Spannungen aufgebaut werden mit der Folge, daß insbesondere nach einer größeren Zahl von Temperaturzyklen Lötverbindungen aufreißen oder Leiterbahn pads abreißen (s. Kap. 6.2)

Die benötigte Bestückungsfläche ist größer als bei SMD-Plastikverpackungen, insbesondere dann, wenn bei größeren Grundflächen wegen des zu beherrschenden großen Temperaturbereichs die Unterschiede in der linearen Ausdehnung von Keramik (5-7 ppm/°C) und Glasfaser-Kunststoff-Platinenmaterial (16-20 ppm/°C) durch bewegliche Anschlußfahnen ausgeglichen werden müssen.

Kunststoff-Umpressungen des kontaktierten Chips eignen sich dagegen gut für automatisierte Volumenproduktion, liefern leichte Gehäuse mit kleineren Grundflächen und ermöglichen wegen der besser angepaßten Ausdehnungskoeffizienten und der kleineren Abmessungen starre Bausteinkontakte und damit eine dichtere Bestückung von Glasfaser-Kunststoff-Platinen. Ein für militärische Anwendungen wichtiger Nachteil war lange die Wasserdampf-Durchlässigkeit der Plastik-Umhüllung, die dadurch mögliche Korrosion der Metallisierung und der bei Fehlstellen in der Passivierung mögliche Ionentransport in oberflächennahe Zonen des Chips. Diese

Probleme können jedoch inzwischen, abgesehen vom Dauereinsatz in feuchter Umgebung, als beherrscht angesehen werden /Tam95/, /Joh96/.

Bei *Consumer*- und professioneller Elektronik geht der Trend daher eindeutig zu Plastik-Gehäusen mit weitgehend starren Kontakten. Bild 51 verdeutlicht den erreichbaren Gewinn in der Bestückungsfläche beim Übergang von der Durchsteckmontage mit flexiblen IC-Kontakten zur Oberflächenmontage mit starren IC-Kontakten. Der Marktanteil keramisch verpackter ICs nimmt daher ständig ab (1985: noch 7,4%, 1995: nur noch 1,5% /Tam95/, inzwischen noch weiter zurückgegangen).

Bei RH-Bausteinen und auch bei nach MIL-Spezifikationen gefertigten Non-RH-Bausteinen überwiegen noch hermetische Keramikgehäuse. Dies ergibt sich vielfach schon aus den kleinen Fertigungslosen (z.B. bei dem FPGA ACTEL 1280 RH 100 Stück pro Monat /Wal97/), und der dadurch bedingten mehr "labormäßigen" Fertigung mit vielen manuellen Fertigungsschritten und visuellen Kontrollen im Gegensatz zu einer weitgehend automatisierten Volumenproduktion. Ob eine derartige "kontrollierte" Produktion kleiner Fertigungslose wirklich im Schnitt eine höhere Bausteinzuverlässigkeit liefert, als eine "stabil eingefahrene" Volumenproduktion, kann allerdings angezweifelt werden. Den Hauptgrund für das Festhalten an der keramischen Verpackung ist wohl eher ihre bessere Eignung für Kleinserienfertigung und die Abneigung, sich von in der Vergangenheit bewährten, aber vielleicht nicht mehr dem aktuellen Technologiestand angepaßten Qualifikationsprozeduren zu verabschieden.

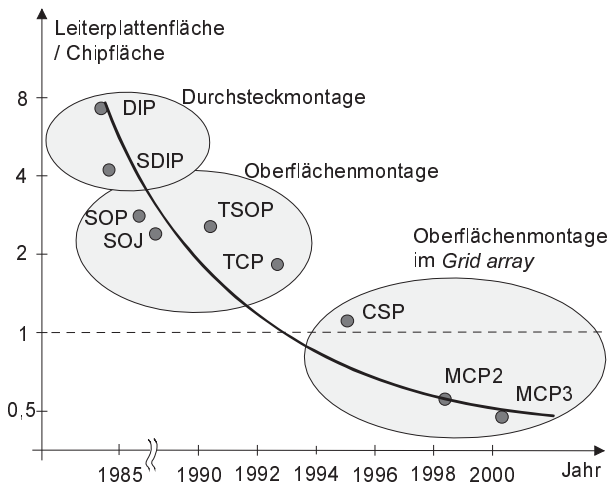


Bild 51: Trend in der Ausnutzung der Leiterplattenfläche /Bac98/

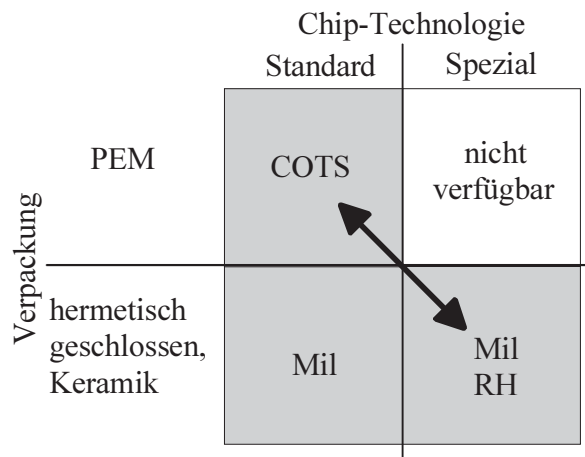


Bild 52: Einteilung von Bauteil- und Gehäusetypen

Für den Entwurfingenieur ergibt sich damit folgende Situation (Bild 52): Entscheidet er sich für in kleinen Losen fabrizierte RH-Spezial-ICs, so muß er die großen und schweren hermetischen Gehäuse in Kauf nehmen; entscheidet er sich dagegen für Standard-ICs, so kann er kleine und leichte Plastikgehäuse (PEMs) verwenden und die eingesparte Masse teilweise oder ganz für redundante Strukturen und Schirmung der Standard-ICs verwenden.

Die Balance zwischen diesen beiden Alternativen wird noch durch einen weiteren, nicht mit der Gehäusefrage verbundenen Umstand beeinflusst. Die "Performance" von RH-Spezialbausteinen

liegt wegen der wirtschaftlich ungünstigen Kombination von hohem zusätzlichem Entwicklungsaufwand und kleinem Produktionsvolumen typisch um mehrere Generationen hinter der von Standardbausteinen zurück. Bei Speicherbausteinen beträgt der Rückstand in der Integrationsdichte etwa 2 Generationen, d.h. den Faktor 4...16 in der Bauteilkapazität mit eher wachsender Tendenz. Der in /PJA88/ vorgenommene Vergleich der Strukturbreiten kommerzieller und RH - Bausteine (Bild 53) spiegelt das technisch mögliche wieder, nicht aber einen Schnitt durch das auf diesem Spezialmarkt verfügbare Bausteinspektrum. Der Rückstand in der Integrationsdichte führt zu höheren Bausteinzahlen, bei RAMs typisch eine Vergrößerung um den Faktor 4...16, wodurch sich der Massenvergleich zwischen Ausführungen in COTS- und RH-Bausteinen drastisch weiter zu Lasten letzterer verschiebt (Massenverhältnis  $C_m = 10...200$ ), und damit die Alternative "COTS-Bausteine + Schirmung + Redundanz" immer attraktiver wird.

Eine Maßnahme, Volumenbedarf und Gewicht zu verringern, besteht darin, mehrere Chips übereinander zu stapeln, und zwar entweder so, daß ein oder mehrere Stapel nackter Chips von einem hermetischen Keramik-Metall-Gehäuse umschlossen werden, oder gewichtssparend derart, daß einzelne plastikumhüllte Chips ohne gemeinsames Gehäuse gestapelt werden. Im ersten Fall ist die Reduzierung der Chipdicke der Schlüssel für Gehäuse mit niedriger Bauhöhe. Ein Silizium-Wafer hat eine Dicke von ca. 500  $\mu\text{m}$ . Die aktive Schicht ist 5  $\mu\text{m}$  dick. Die für die Funktion nicht notwendige Chipdicke kann durch mechanische und chemische Verfahren reduziert werden. Die Plasma-Ätztechnik ermöglichen eine Reduktion auf ca. 50  $\mu\text{m}$ . Als Nebeneffekt sind dünnere Chips flexibler und damit robuster gegen mechanische Einflüsse. Die Entwicklung und die prognostizierte weitere Reduktion der Chipdicke zeigt Bild 54. /Sav98/.

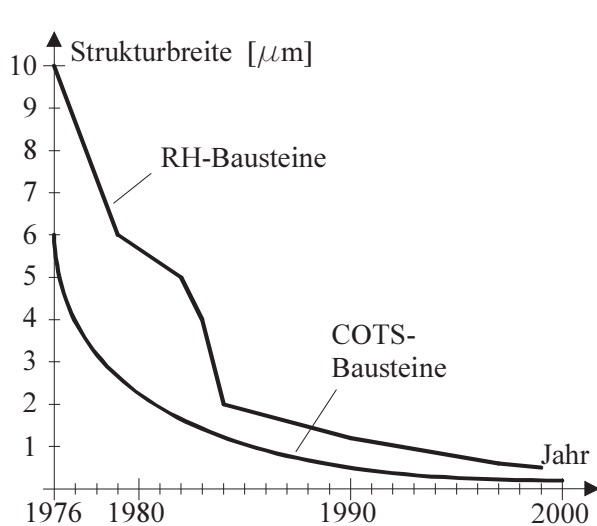


Bild 53: Strukturbreiten von COTS- und RH-Bausteinen /PJA88/

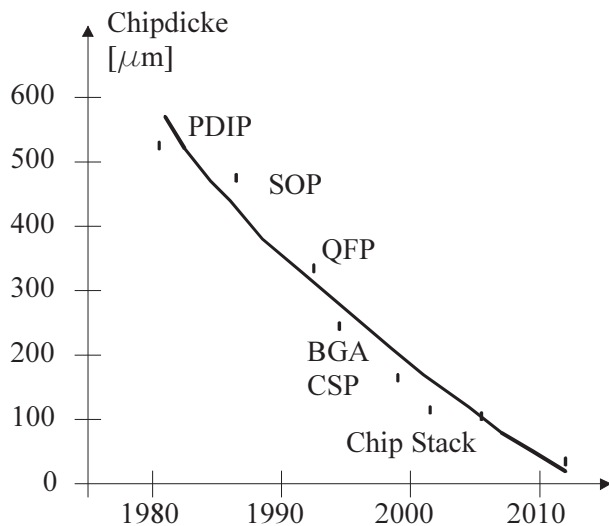


Bild 54: Entwicklung der Chipdicke /Sav98/

Im Folgenden werden einige Gehäuseformen detaillierter dargestellt und am Beispiel "RAM-Verpackung" gegenübergestellt.

### 6.1.1 Hermetisch geschlossene, keramische Gehäuse

RH-Bausteine sind nur in keramischen Gehäusen lieferbar. Der Chip ist einem keramischen Träger aufgeklebt und mit Gold-Bonddrähten angeschlossen. Das typische Trägermaterial ist  $\text{Al}_2\text{O}_3$ . Bei Bauteilen mit hoher Leistungsaufnahme (z.B. Prozessoren) werden auch Keramiken mit höherer Wärmeleitfähigkeit (z.B.  $\text{AlN}$ ,  $\text{BeO}$ ) verwendet. Der Träger enthält mehrere leitende Lagen zur Verbindung des Chips mit den Anschlüssen sowie zur Verteilung von Versorgungsspannung und Massepotential. Bei einigen Bauteilen befinden sich an der Unterseite Lötflächen für Stützkondensatoren. Der Chip wird mit einer metallischen Abdeckung hermetisch verschlossen.

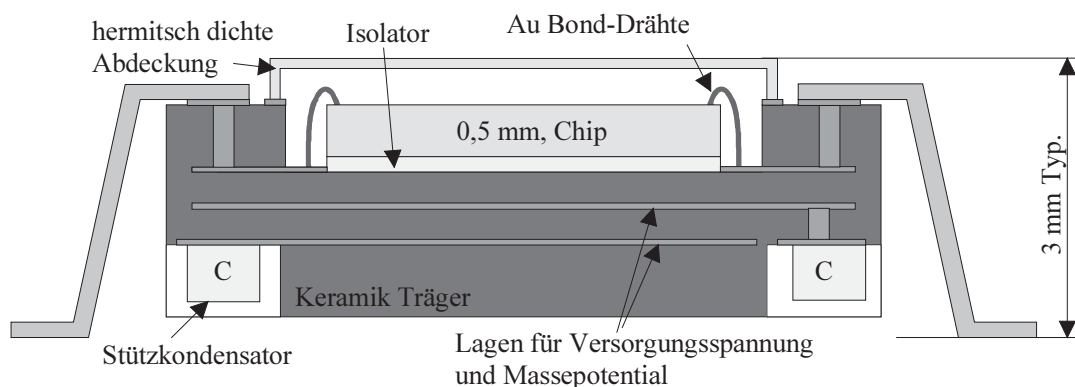


Bild 55: Schnitt durch ein IC im keramischen Gehäuse

Das Bauteilspektrum keramisch verpackter Bauteile ist deutlich eingeschränkt. Einzelne Bauteiltypen (z.B. DRAMs) sind nicht mehr in dieser Verpackung erhältlich, können aber speziell verpackt werden. Das hat aber folgende Nachteile:

1. Es ist für eine kleine Stückzahl ein spezieller Verpackungsprozeß notwendig. Die Zuverlässigkeit wird reduziert und die Kosten steigen erheblich.
2. Einige Hersteller liefern getestete, unverpackte IC's (engl. *Known Good Die*, KGD) nur an autorisierte Verpackungsfirmen. Damit wird der Markt weiter eingeschränkt. Bauteile, die beim Strahlungstest besonders gut abgeschnitten haben, sind dann für die keramische Verpackung nicht verfügbar, und es muß auf Bauteile mit schlechteren Strahlungsdaten ausgewichen werden.
3. Die für Strahlungstests verwendeten Bauteile können aus einer anderen Serie oder Prozeßlinie stammen, als die speziell verpackten Bauteile, so daß die Strahlungstests wiederholt werden müssen. Im schlimmsten Fall kann die aus Zeitplanungsgründen vorweg speziell verpackte Serie nicht eingesetzt werden.

## 6.1.2 Keramikgehäuse mit Schirmung

Kommerzielle Chips können auch auf Bausteinebene durch massive Gehäuse geschirmt werden. Ein Beispiel ist die RAD\_PAK Technologie der Firma Space Electronics Inc. /Act98/, die speziell für Raumfahrtanwendungen entwickelt wurde. Bild 56 zeigt das Prinzip. Zwecks niedriger Bauhöhe besteht die Schirmung aus einem etwa 1 mm starken Blech hoher Dichte (Wolfram - Kupfer Legierung), das in der Schirmwirkung für Missionen mit geringer Elektronen-Exposition etwa 6 mm Al vergleichbar ist. Bei starkem Elektronenanteil ist der Umrechnungsfaktor ungünstiger wegen der bei Abbremsung von Elektronen in schwerem Material nicht zu vernachlässigenden sekundären Bremsstrahlung (s. Kap. 5.2).

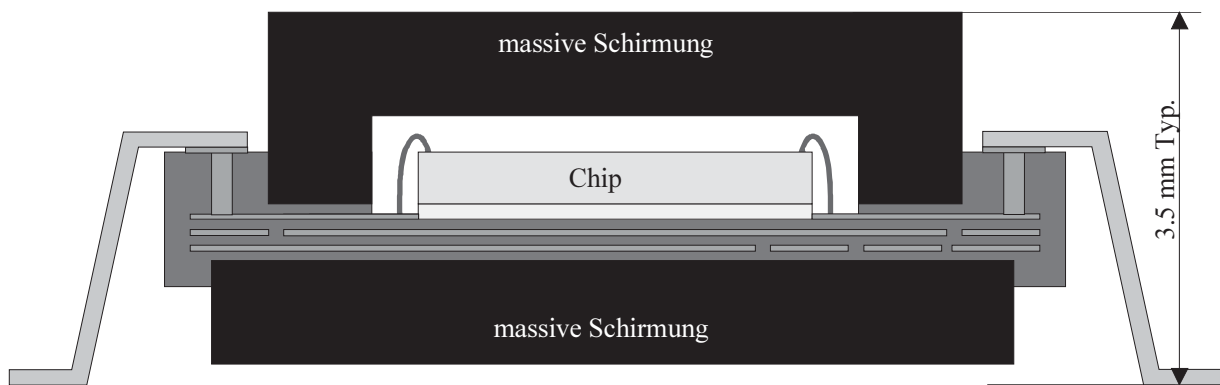


Bild 56: Schnitt durch ein massiv geschirmtes Keramikgehäuse

Offensichtlich ist diese oder eine ähnliche Art von *Spot-Shielding* (z.B. durch Aufkleben von Ta-Blech auf die Gehäuse) dann vom Massebudget her wesentlich günstiger als eine Schirmung des gesamten Box-Innenraums, wenn nur ein geringer Bruchteil der Bauteile eine massive Schirmung benötigt. Benötigen dagegen viele Bauteile eine Schirmung, so hängt es von der Packungsdichte ab, ob "*spot shielding*" oder "*box shielding*" günstiger ist. Dies wird durch das idealisierte Beispiel in Bild 57 verdeutlicht. Angenommen ist ein Box-Innenraum von  $8 \cdot 8 \cdot 8 \text{ cm}^3$ . Auf einer Platinenfläche von  $8 \cdot 8 \text{ cm}^2$  seien 4·4 bzw. 5·5 Bausteine mit einer zu schirmenden Fläche von je  $1 \text{ cm}^2$  untergebracht. Der Platinenstapel besteht aus 8 einseitig, bzw. 5 doppelseitig bestückten Platinen.

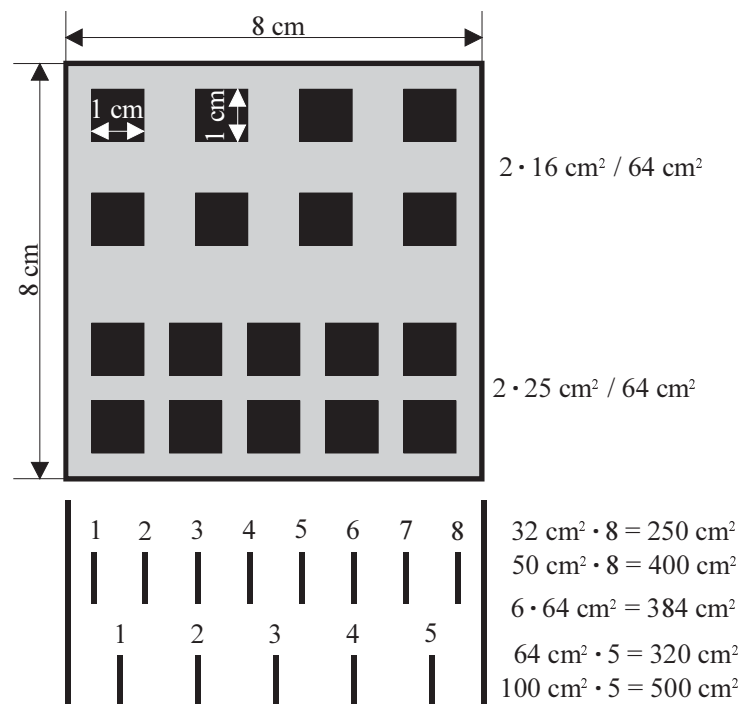


Bild 57: Vergleich zwischen "spot-shielding" und "box-shielding" anhand eines Beispiels

Einer Boxinnenfläche von  $6 \cdot 8 \cdot 8 \text{ cm}^2 = 384 \text{ cm}^2$  stehen dann folgende Einzel-Schirmungsflächen gegenüber:

(a) Bestückungsdichte	4 · 4 ICs	$2 \cdot 16 \text{ cm}^2 \cdot 8 = 256 \text{ cm}^2$
(b)	5 · 5 ICs	$2 \cdot 25 \text{ cm}^2 \cdot 8 = 400 \text{ cm}^2$
(c)	2 · 4 · 4 ICs	$4 \cdot 16 \text{ cm}^2 \cdot 5 = 320 \text{ cm}^2$
(d)	2 · 5 · 5 ICs	$4 \cdot 25 \text{ cm}^2 \cdot 5 = 500 \text{ cm}^2$

Bei niedriger Packungsdichte (a, c) liefert "spot shielding" den geringeren Massebeitrag, bei höherer Packungsdichte (b, d) dagegen "box shielding".

Dabei ist zu Ungunsten von "box shielding" die ohnehin notwendige minimale Box-Wandstärke nicht berücksichtigt. Weiter ist zu bedenken, daß "spot shielding" den Massenbelag der Platinen deutlich erhöht und dadurch die kritische Resonanzfrequenz der Platinen erniedrigt, sodaß eine zusätzliche Versteifung der Platinen notwendig werden kann, weil es sonst zu mechanischer Überlastung der Lötstellen kommen kann. Flächenmäßig große keramische Gehäuse mit starren Anschlüssen sind eine häufige Ausfallursache bei Vibrationstest. Bei der ROSETTA-OSIRIS-DPU mußten die Platinen nachträglich mit aufgeklebten "Honeycomb"-Gittern versteift werden, wodurch sich die Masse der DPU um weitere 500 bis 700g erhöhte /Gli00/.

### 6.1.3 Kunststoffgehäuse

Mit Kunststoff vergossene Bausteine (*Plastic Encapsulated Microcircuits*, PEM) haben den größten Marktanteil und werden in Massenproduktion hergestellt. Die Bauteile werden in einer



breiten Produktpalette eingesetzt und müssen Umwelteinflüssen (z.B. im Auto hohe Einsatztemperatur, Temperaturzyklen, Vibrationen und korrosive Umgebungen) widerstehen, die abgesehen von Strahlungseinwirkung den Umweltbedingungen im Weltraum mindestens vergleichbar sind /Rei98/.

Typische Gehäusebauformen sind *Small Outline Package* (SOP), *Thin Small Outline Package* (TSOP), *Thin Shrink Small Outline Package* (TSSOP) und *Thin Quad Flatpack* (TQFP). Abmessungen, Abstand und Anordnung der Anschlüsse dieser Gehäusebauformen sind genormt. Die Verpackungstechnologie ist ähnlich. Der Chip wird an einen Lötrahmen geklebt und mit diesem durch Bonddrähte kontaktiert. Die Struktur wird mit Kunststoffmaterial vergossen (Bild 58).

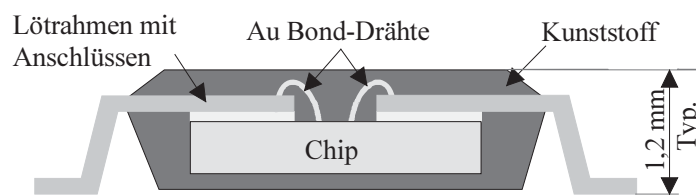


Bild 58: Schnitt durch ein PEM

Die häufigsten Fehlerursachen von PEMs sind:

1. Abriß der Bonddrähte durch unterschiedliche Ausdehnung von Gehäuse, Drähten und Chip. Die Anpassung der Temperaturkoeffizienten hat die Ausfallrate drastisch verringert.
2. Aufnahme von Feuchtigkeit. Eindringene Feuchtigkeit verdampft beim Lötvorgang. Das Gehäuse kann sich vom Chip lösen und aufbrechen. Dieser Vorgang wird im Englischen als *popcorning* bezeichnet. Durch verbesserte Kunststoffe mit höherer Klebkraft wurde dieses Problem herstellermäßig reduziert. Lange Lagerung bei hoher Luftfeuchtigkeit muß vermieden werden. Ausheizen vor der Bestückung ist bewährte Praxis.
3. Korrosion. Feuchtigkeit kann durch den Kunststoff und entlang der Anschlüsse und Bonddrähte zum Chip vordringen. In Verbindung mit durch den Herstellungsprozeß vorhandenen Ionen ( $\text{Cl}^-$ ,  $\text{Br}^-$ ,  $\text{Na}^+$ ,  $\text{K}^+$ ) korrodieren die Anschlußstellen der Bonddrähte auf dem Chip.

Feuchtigkeitseinflüssen sind die Bausteine nur in der Erdatmosphäre ausgesetzt, im wesentlichen vor ihrem Einbau. Die bestückten Platinen werden mit einem Kunststoffüberzug (engl. *Conformal Coating*) versehen, der gegen das Eindringen von Feuchtigkeit schützt /Gar95/.

Tests, u.a. mit 1000 h Lagerung bei 125 °C, 1000 Temperaturzyklen von -65 °C bis 150 °C und 1000 Stunden Lagerung bei 85 °C und 85 % relative Luftfeuchtigkeit /Gar95/ haben gezeigt, daß die Zuverlässigkeit von PEMs in Lauf der Zeit kontinuierlich verbessert wurde (Bild 59). Seit Mitte der 80er Jahre sind PEMs keramisch verpackten Bauteilen von der Ausfallrate her ebenbürtig. Dieses wurde in Feldversuchen bestätigt /Nin99/, /Joh99/.

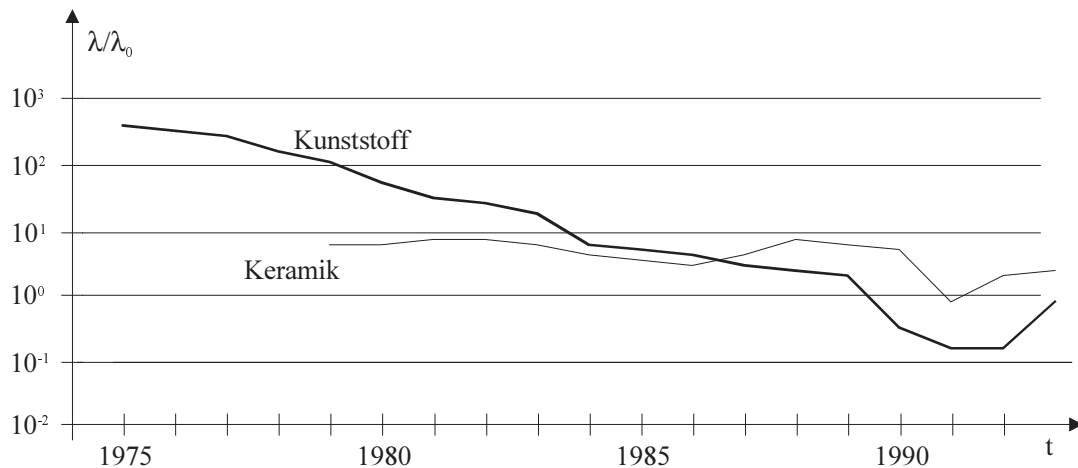


Bild 59: Ausfallrate von Kunststoff und keramisch verpackten Bauteilen /Gar96/

### 6.1.4 *Ball Grid Array (BGA)*

Der Trend zu die Chipabmessungen nur wenig überschreitenden, dicht aneinanderreihbaren Gehäusen mit großer Anschlußzahl hat zur Entwicklung *der Ball Grid Arrays (BGA)* geführt. Anstatt durch flexible Lötanschlüsse am Rand des Bausteins werden die Verbindungen starr durch Lötzinnkugeln unterhalb des Bausteins hergestellt (Bild 60). Das Rastermaß beträgt typischerweise zwischen 0,8 und 1,27 mm. Bausteine mit einen Rastermaß von 0,5 mm sind in der Entwicklung /Mos98/.

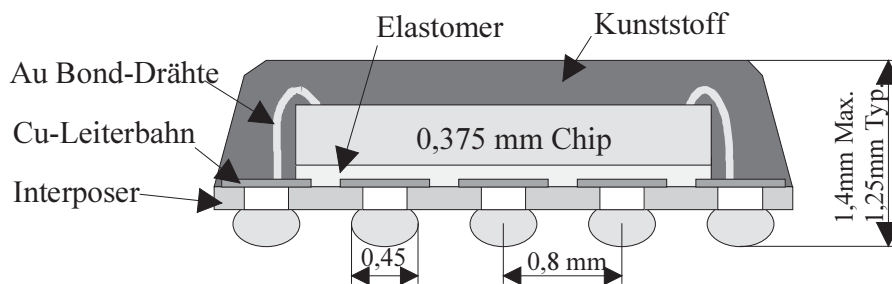


Bild 60: Schnitt durch ein BGA im Kunststoffgehäuse /Mos98/

Der Chip wird auf eine Leiterplatte, Interposer genannt, geklebt. Der elastische Klebstoff (z.B. Epoxy-Silber) gleicht mechanische Spannungen zwischen Chip und Interposer aus. Typische Interposermaterialien sind Keramik, FR4 Glasfaser-Epoxy oder flexibler Polyimidfilm. Der Interposer kann mehrere elektrische Lagen enthalten. Er verbindet die Anschlußflächen der Bonddrähte mit den Lötzinnkugeln auf der Unterseite. Keramische BGA's werden mit einem Metalldeckel abgedeckt, andere mit Kunststoff vergossen. Wenn die Grundfläche des Bausteins nur maximal das 1,2-fache der Chipfläche beträgt, spricht man von *Chip Scale Packages (CSP)*. Das Gehäuse kann durch die *Flip-Chip*-Technologie weiter reduziert werden. Der Chip wird mit

der aktiven Fläche nach unten montiert und mit Lötzinnkugeln (Bild 61) oder einem vergoldeten Film (Bild 62) mit dem Interposer kontaktiert /Che99/.

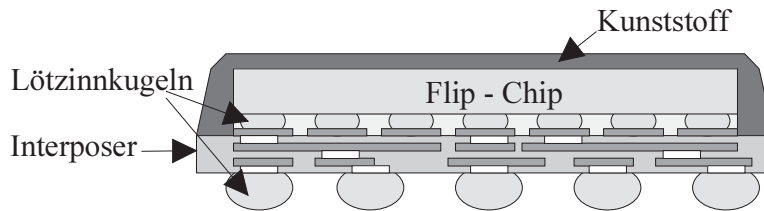


Bild 61: Schnitt durch ein mit Lötzinnkugeln gebondeten Flip-Chip CSP /Tho97/

Nach dem Auflöten auf den Interposer werden die Zwischenräume mit elastischem Kunststoffmaterial (engl. *underfill*) ausgefüllt und dann der Chip mit formstabilen Kunststoff vergossen. Vorteil dieser Technologie ist die bessere Wärmeableitung vom Chip und die kürzere Signalfadlänge. Nachteilig ist der Aufbau mechanischer Spannungen durch unterschiedliche Ausdehnungskoeffizienten von Chip und Interposer bzw. Interposer und Platinenmaterial, sodaß diese Technologie bei Weltraumanwendungen auf kleine Chips beschränkt ist.

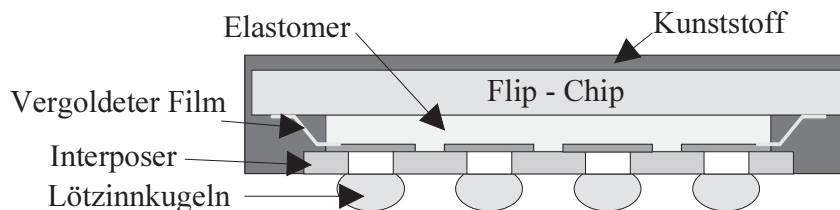


Bild 62: Schnitt durch ein mit einem Film gebondeten Flip-Chip CSP /Sam97/

Bei dem alternativen Verfahren nach Bild 62 wird der Chip über einen vergoldeten, flexiblen Film mit dem Interposer kontaktiert und mit einem elastischen Klebstoff auf dem Interposer fixiert. Bei dieser Technologie muß der Chip größer als der Interposer sein. Die Anzahl der elektrischen Verbindungen wird dadurch eingeschränkt, daß nur am Rand des Chips kontaktiert werden kann. Die elastische Verbindung zwischen Chip und Interposer verhindert den Aufbau temperaturbedingter Spannungen innerhalb des Gehäuses.

Die Inspektion der Lötverbindungen zwischen Gehäusekontakten und Leiterbahnanschlüssen auf der Platine erfolgt bisher vorwiegend visuell mittels eines Stereo-Mikroskops. Dies ist bei BGAs nur mit Einschränkungen für die äußere Kontaktreihe möglich. Abhilfe ist die Inspektion mit Röntgenlicht /McC99/, bzw. mit Glasfaser-Optiken. Eine Inspektion aller Gehäusekontakte ist bei thermischer Fehlanpassung zwischen Gehäuseboden und Leiterplatte jedenfalls notwendig (s. Kap 6.2).

### 6.1.5 *Chip-on-Board (COB)*

Die *Chip-on-Board (COB)* Technologie wird von Gruppen innerhalb der NASA als eine Schlüsseltechnologie zur Miniaturisierung von Satelliten angesehen /Le97/. Durch Direktmontage des Chips auf die Leiterplatte wird die größtmögliche Reduktion von Masse und Volumen gegenüber einzelnen verpackten Bausteinen erreicht. Die drei Verfahren, *Wire-Bonding* (Bild 63), *Tape Automated Bonding* (Bild 64) und *Flip-Chip* (Bild 65) unterscheiden sich in Details.

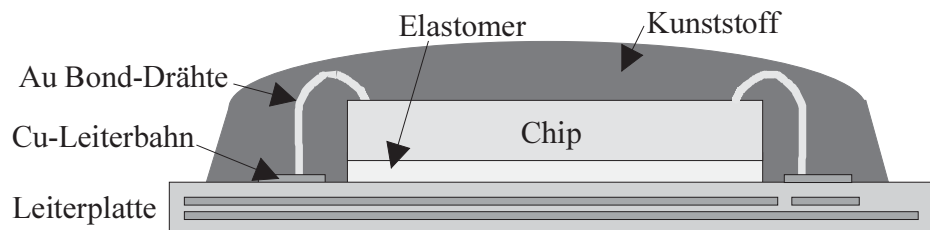


Bild 63: Schnitt durch einen COB im *Wire-Bonding* Verfahren /Le97/

Bei *Wire-Bonding* wird der Chip mit einem elastischen Klebstoff (z.B. Epoxy-Silber) auf die Leiterplatte geklebt. Die Dicke des Elastomers ist für die Zuverlässigkeit entscheidend. Es muß dick genug sein, um die durch unterschiedlichen Temperaturkoeffizienten vom Chip (2,5-3 ppm/°C) und Leiterplatte (16-20 ppm/°C) hervorgerufenen Materialspannungen auszugleichen, aber nicht zu dick, damit es nicht thermisch isoliert. Beim *Wire Bonding* wird der Chip auf der Leiterplatte über einen herkömmlichen Drahtbinder mit den Leiterbahnstrukturen in seiner Umgebung verbunden. Der Chip wird mit den Bonddrähten mit Kunststoff vergossen.

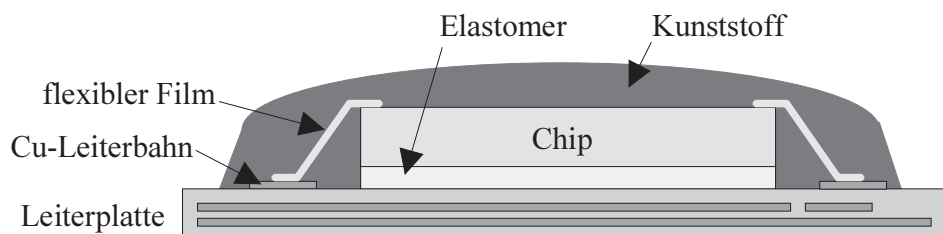


Bild 64: Schnitt durch einen COB im *Tape Automated Bonding* Verfahren /Le97/

Beim *Tape Automated Bonding* werden im Gegensatz zum *Wire-Bonding* in einem Verarbeitungsschritt flexible Flachleiter Verbindungen (z.B. vergoldeter Polyimidfilm) zwischen Chip und Leiterbahnen hergestellt.

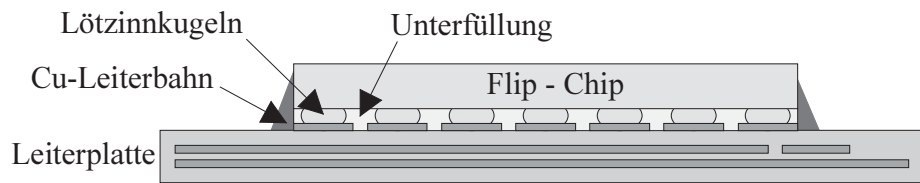


Bild 65: Schnitt durch einen COB im *Flip-Chip* Verfahren /Le97/

Beim Flip-Chip Verfahren wird der auf der Struktur-Oberseite mit kleinen Lötzinnkugeln versehene Chip elektrisch und mechanisch mit den Leiterbahnanschlüssen verbunden. Voraussetzung ist eine gute Anpassung der Ausdehnungskoeffizienten von Chip und Leiterplatte

Vorteile der COB Technologie ist die direkte Wärmeableitung vom Chip auf die Leiterplatte und die geringere Masse der Bauteile gegenüber einzeln verpackten Chips. Gegenüber CSP ist aber keine signifikante Volumenreduktion erreichbar.

Die Hauptnachteile dieser Technologie sind (a) die Gefahr der Chip-Beschädigung bei der Montage ungehäuster Chips, (b) die schwierige Beschaffung kleiner Mengen getesteter ungehäuster Chips (engl. *Known Good Die*, KGD) und - besonders bei den Flip-Chip Verfahren - die Beherrschung der thermischen Fehlanpassung zwischen Chips und Leiterplatte. Der gegenüber Plastikgehäusten (TSSOP und ähnliche) erreichbare Gewinn in der Packungsdichte ist nicht sehr groß. Die Anforderungen an den Arbeitsplatz für die Bestückung sind deutlich höher als bei der Bestückung mit gehäusten Chips, sowohl hinsichtlich der gerätemäßigen Ausstattung wie der Reinraumbedingungen. Die Technologie dürfte sich daher mehr für eine Volumenproduktion eignen als für die Herstellung individueller Einzelstücke und Kleinserien.

### 6.1.6 Stapeln von Bausteinen

Durch Stapeln von Bausteinen kann die benötigte Leiterplattenfläche reduziert werden. Speicherbausteine sind hierfür besonders geeignet, da viele Anschlüsse direkt verbunden werden können. Die Technologie kann in zwei Gruppen unterschieden werden: Stapeln von (1) Bausteinen, die bereits vom Hersteller für diesen Zweck ausgelegt wurden und (2) von Standardbausteinen, die eine angepaßte Verbindungstechnik benötigen.

Mehrere Hersteller von Speicherbausteinen haben Stapelmethoden entwickelt. Die Firma Samsung stapelt zwei 64M DRAMs (16Mx4) zu einen 128M (16Mx8) Baustein (Bild 66). Das TSOP II-Geäuse wurde modifiziert, indem die Anschlüsse in der Form eines "J" gebogen wurden. Im unteren Baustein wurde die Gehäuseform abgewandelt und Lötflächen für die Anschlüsse des oberen Bausteins geschaffen. Beim unteren Baustein werden die 4 Datenleitungen auf benachbarte, vom oberen Baustein unbenutzte Anschlüsse gebondet. Die beiden Bausteine werden beim Hersteller mit einem Lötzinn mit höherem Schmelzpunkt z.B. Sn/Ag (96.5/3.5) untereinander verlötet. Nach Herstellerangaben überstehen die Bausteinstapel auch extreme Umwelttests (z.B. 1000 Temperaturzyklen von -65 °C bis 155 °C) /Cho97/. Ein ähnliches Verfahren mit 4 gestapelten Bausteinen der Firma Fujitsu zeigt Bild 67 /Bac98/.

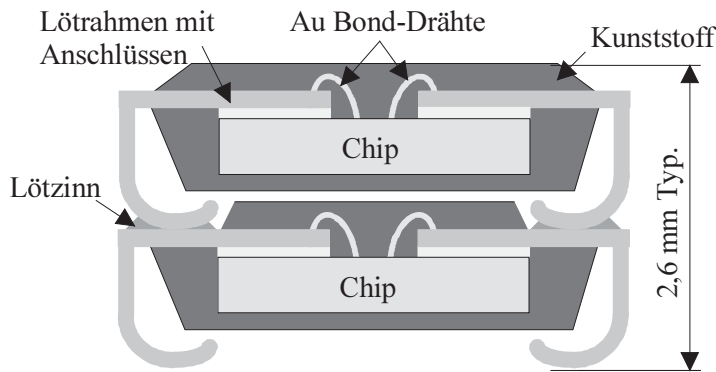


Bild 66: Schnitt durch einen 128Mb DRAM Stapel der Firma Samsung /Cho97/

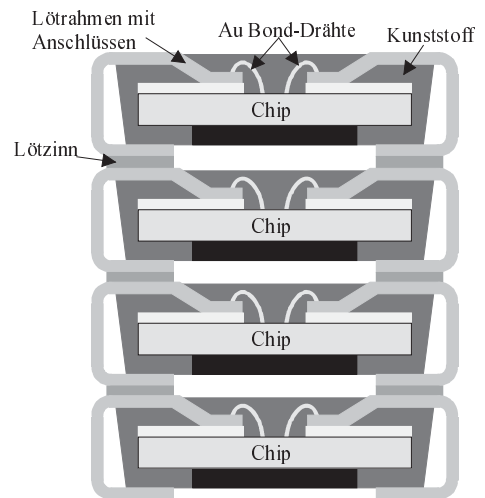


Bild 67: Schnitt durch einen Stapel aus 4 Bauteilen der Firma Fujitsu /Bac98/

Das Stapeln von Standardbausteinen erfordert eine angepasste Verbindungstechnik. Die Firma DENSE-PAC Microsystems hat ein Verfahren entwickelt, bei dem jeweils eine kleine Platine in Form eines Rahmens über ein Baustein gestülpt wird (Bild 69). Diese Platine hat beidseitig Lötflächen, mit dem die Bausteine mechanisch und elektrisch verbunden werden und einen Stapel bilden (Bild 68). Bei einem Stapel von DRAMs können fast alle Signale der Bausteine über Durchkontaktierungen in den Leiterplatten direkt untereinander verbunden werden. Die Signale, die zur Ansteuerung eines individuellen Bausteins erforderlich sind (z.B. *Row Address Select*, RAS), werden durch die Leiterplatte zu zusätzlichen Lötflächen an den Bausteinen geführt. Der Bausteinestapel ist ungefähr drei Millimeter länger und ca. zwei Millimeter breiter als ein Einzelbaustein. Ein Stapel mit 4 Bausteinen hat eine Höhe von 5,6 mm und eine Masse von rund 3 Gramm. Diese Bausteinestapel mit bis zu 8 Bausteinen werden in Serie hergestellt.

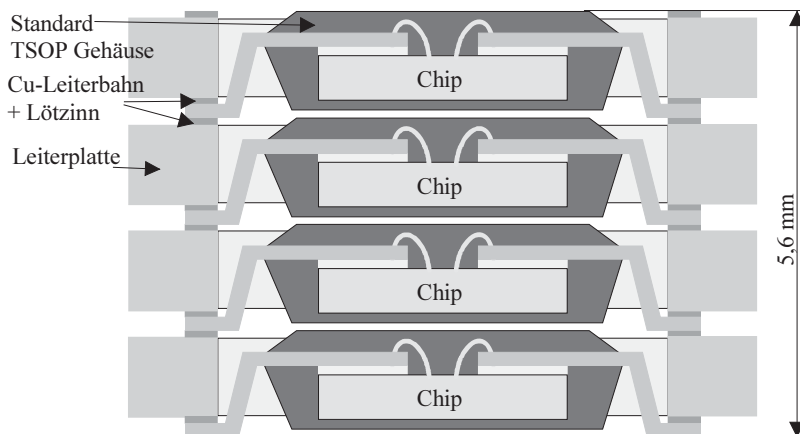


Bild 68: Schnitt durch ein 256 Mbit DRAM der Firma DENSE-PAC Microsystems bestehend aus vier gestapelten 64 Mbit DRAMs im TSOP Gehäuse /Mea99, /Den99/

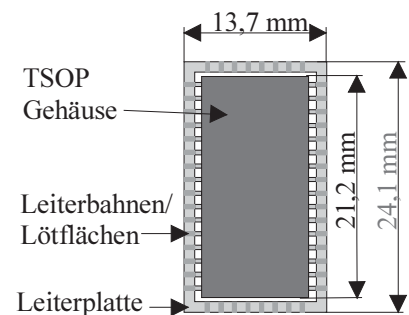


Bild 69: Blick auf einen 256Mbit DRAM der Firma DENSE-PAC.

Ähnliche Verfahren zum Stapeln von DRAMs in TSOP Gehäusen werden von der Firma Staktek, der Firma 3Dplus und dem Institut für Datenverarbeitungsanlagen (IDA) angewendet. Bei dem IDA-Verfahren werden die Anschlüsse der untereinander verklebten Bausteine mit zwei lasergeschnittenen Strukturen aus 0,2 mm dickem Bronzeblech (Bild 71) verlötet. Ein Schnitt durch einen Stapel von 4 DRAMs zeigt Bild 70.

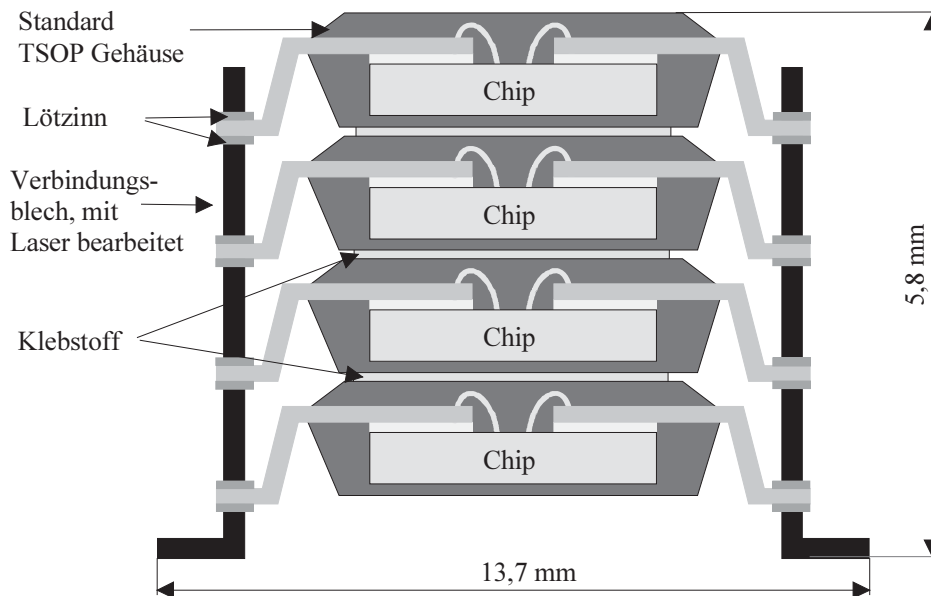


Bild 70: Schnitt durch einen 4 DRAM Stapel mit lasergeschnittener Blechstruktur

Zur Bildung eines Stapels sind zwei unterschiedliche Kamm-Strukturen erforderlich. Einer dieser Käme muß eine individuelle Adressierung der einzelnen Bausteine eines Stapels gewährleisten. Hierfür sind nur DRAM-Bausteine geeignet, die unbelegte Anschlüsse direkt neben dem Anschluß zur Bausteinauswahl haben. Die Kamm-Struktur für einen DRAM Stapel aus vier Bausteinen vom Typ 4M16 zeigt Bild 71. Der zur Bausteinauswahl erforderliche Anschluß 14 wird für die gestapelten Bausteine auf die benachbarten freien Anschlüsse 15 bis 17 geführt. Bei den anderen Kamm sind alle Anschlüsse im Stapel direkt miteinander verbunden.

Nach dem Verlöten des Bausteinstapels wird das Bronzeblech an der gestrichelten Linie rechtwinklig nach außen abgebogen und an der durchgezogenen Linie abgeschnitten. Die dunkelgrauen Flächen werden abgeschnitten.

Mittels dieses Verfahrens wurden am IDA viele hundert Stapel hergestellt. Der Bausteinstapel ist ca. zwei Millimeter breiter als ein Einzelbaustein. Ein Stapel mit 4 Bausteinen hat eine Höhe von 5,8 mm und eine Masse von rund 2,5 g.

Bei einem Pinabstand von 0,8 mm ist die Technologiegrenze erreicht. Unter Berücksichtigung aller Bausteintoleranzen bleibt nach dem Laserschneiden nur ein Steg von 0,09 mm neben den rechteckigen Kontaktlöchern stehen. Eine Weiterentwicklung dieser Technologie für kleinere Pinabstände (z.B. 0,5mm) ist daher problematisch.

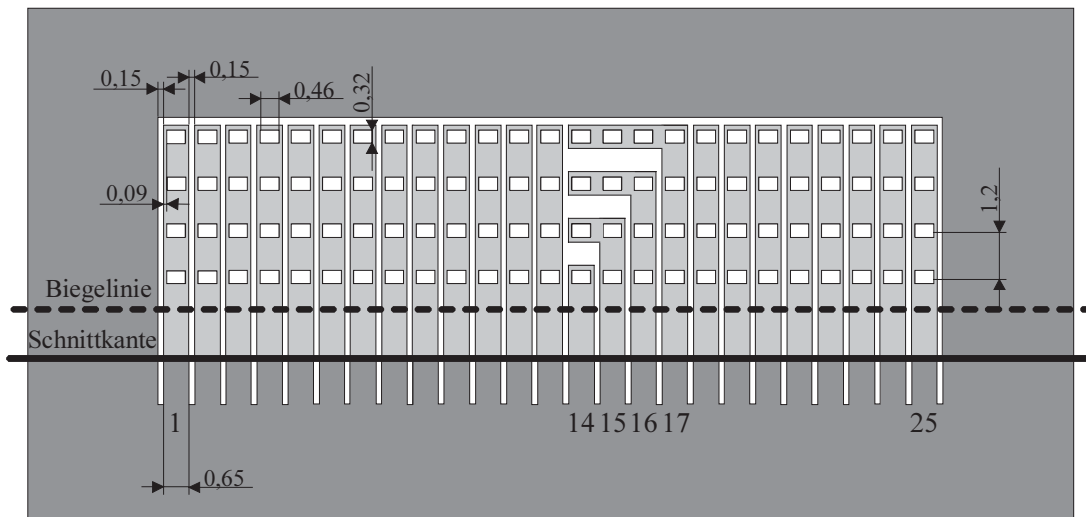


Bild 71: Lasergeschnittenes Bronzeblech zur Verbindung von 4 DRAMs

Mehr Entwicklungspotential hat ein anderes IDA-Verfahren, bei dem die beiden Metallkämme durch zwei senkrecht stehende Leiterplatten ersetzt sind. Einen Schnitt durch einen Stapel mit 4 DRAMs zeigt Bild 72.

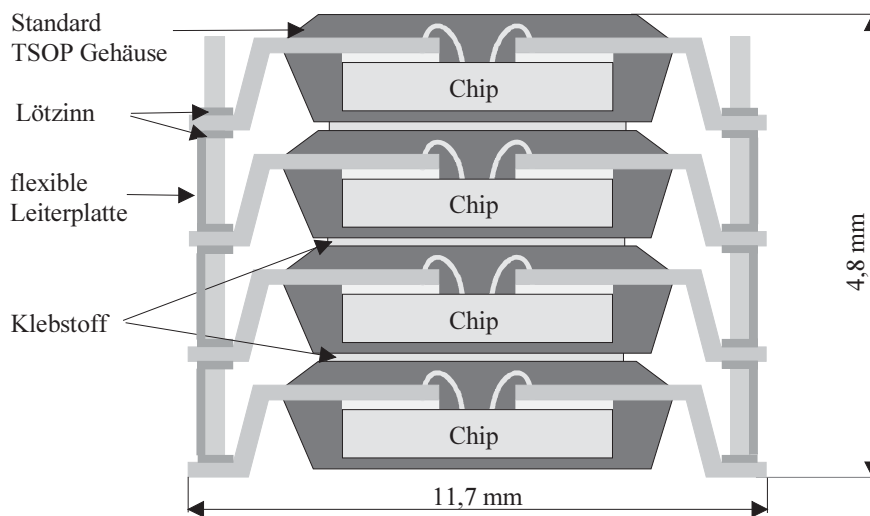


Bild 72: Schnitt durch einen 4 DRAM Stapel mit Leiterplattenverbindungen

Auch hier werden die 4 DRAM Bausteine miteinander verklebt. Auf jeder Seite wird eine dünne zweilagige Leiterplatte (Bild 73) montiert. Wie bei der Blechstruktur sind die beiden Leiterplatten unterschiedlich. Eine Leiterplatte enthält wieder die Signalführung zur individuellen Bausteinauswahl über nicht belegte Anschlüsse. Die Bausteinanschlüsse werden in Durchkontaktierungen mit 0,4 mm Bohrungen durchgeführt und verlötet. Bei der Leiterplattenherstellung wird die unterste Anschlußreihe halb abgetrennt. Das hat zwei Vorteile: (i) der Bausteinastapel ruht auf den Anschlüssen des unteren Bausteins und hat eine größere Lötfläche, als wenn eine Platine stumpf aufgelötet wird, (ii) der Bausteinastapel hat die gleiche Grundfläche wie ein Einzelbaustein.



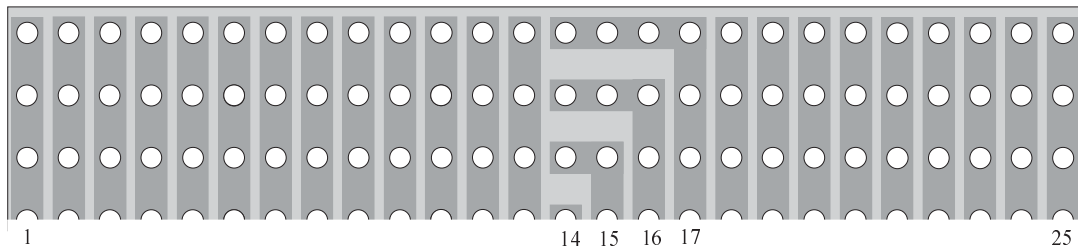


Bild 73: Leiterplatte zur Verbindung von 4 DRAMs

Mit dieser Technologie hat der Bausteinstackel das gleiche Volumen, wie die Summe der Einzelbausteine und wiegt mit 4 Bausteinen ca. 2,5 Gramm. Die Leiterbahnen auf der Rückseite erlauben auch eine Signalführung zu weiter entfernten unbenutzten Pins. Bis zu 8 SDRAM Bausteine können gestapelt werden. Bei Pinabständen von weniger als 0,8 mm muß anstatt der Standard-Leiterplattentechnologie mit mechanisch gebohrten Durchkontaktierungen auf das Plasma-Ätz-Verfahren gewechselt werden. Dieses Verfahren erlaubt die Herstellung von rechteckigen Löchern und feineren Leiterbahnstrukturen und ermöglicht die Herstellung von Bausteinstackeln mit 0,5 mm Pinabstand.

Ein mit dem Stapeln verbundenes elektrisches Problem ist die verhältnismäßig große Zuleitungsinduktivität der beiden Versorgungspfade bis zum obersten Baustein. Insbesondere bei gleichzeitigem *Refresh* aller DRAMs kann es zu einem unzulässigen induktiven Spannungsabfall kommen. Abhilfe ist möglich durch mehrere parallele Pfade mit dicht nebeneinanderliegender Hin- und Rückführung, einen zusätzlichen Stützkondensators auf der Oberseite des Stapels und/oder zeitlich gestaffelte *Refresh* der Bausteine eines Stapels.

### 6.1.7 Multi Chip Packages (MCP)

Der Trend zu immer kleineren tragbaren Geräten, insbesondere Mobiltelefonen, hat zur Entwicklung der *Multi-Chip-Packages* (MCP) geführt. Zwei oder drei Chips werden übereinander in einem Standardgehäuse verpackt. MCPs sind auf funktional ähnliche Chips begrenzt, bei denen viele Anschlüsse gemeinsam genutzt werden können. Speicherbausteine mit gemeinsamen Adress- und Datenbus sind hierfür gut geeignet. MCPs mit einem SRAM und einem FLASH Chip werden in Massenproduktion hergestellt. Es gibt zwei Typen: TSOP (Bild 74) und BGA (Bild 75).

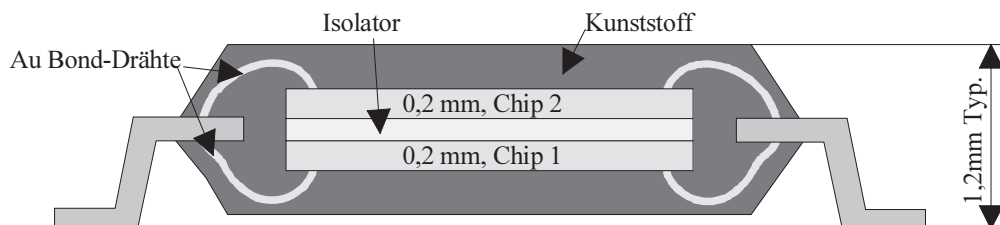


Bild 74: Schnitt durch ein MCP im TSOP Gehäuse /Che99/

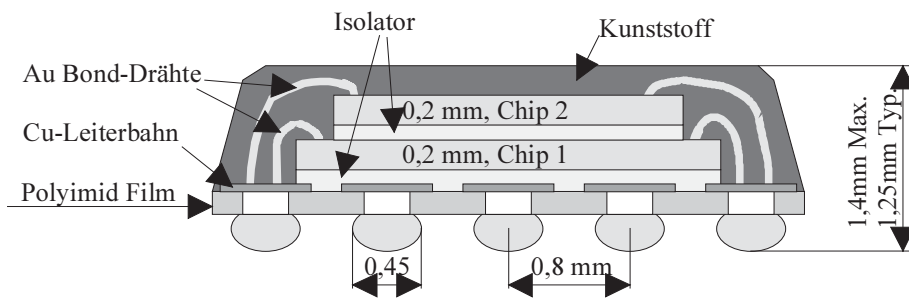


Bild 75: Schnitt durch ein MCP mit zwei Chips im BGA Gehäuse /Yam99/

Beim TSOP Gehäuse werden zwei Chips mit den Unterseiten miteinander verklebt, im Standardverfahren gebondet und mit Kunststoff vergossen.

Beim BGA Gehäuse wird der untere Chip im Standardverfahren auf einem Interposer, der eine chipinterne dünne Leiterplatte ist, montiert und gebondet. Ein zweiter, kleinerer Chip wird mit einer Schicht aus Silikon auf den unteren Chip geklebt und gebondet. Beide Chips werden dann mit Kunststoff vergossen. Die Herstellung von dünneren Chips ermöglicht die Integration weiterer Chips in ein Standardgehäuse, wie z.B. ein Muster der Firma Sharp zeigt (Bild 76).

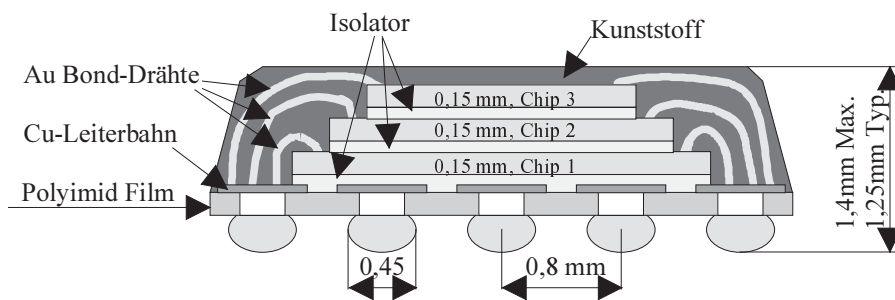


Bild 76: Schnitt durch ein MCP mit drei Chips im BGA Gehäuse /Yam99/

### 6.1.8 Multi-Chip-Module (MCM)

Die Abgrenzung zwischen "Multi Chip Package" (MCP) und "Multi Chip Module" (MCM) ist unscharf. Ein Merkmal für MCMs ist, daß in größeren Umfang interne Leiterbahnebenen für Zwischen-Chip Verbindungen benutzt werden. Die MCM-Technologie ist besonders vorteilhaft für solche Chips, die durch viele Verbindungen untereinander und durch wenige Verbindungen mit der Außenwelt verbunden sind. Im Idealfall tritt ein MCM an die Stelle einer vollbestückten Platine.

Bei MCMs unterscheidet man nach dem Material der Leiterbahnebenen MCM-C (Multilayer-Keramik), MCM-L (Plastik-Laminat i.a. Polyimid) und MCM-S (Silizium-Leiterbahnträger). Der Index -V steht für vertikales Stapeln mehrere Leiterbahnträger in einem MCM-Gehäuse. Eine verbreitete Technik für das Verbinden der Leiterbahnträger untereinander besteht darin, den Stapel mit Kunststoff zu vergießen, durch Sägen saubere Kantenflächen herzustellen, die von den Leiterbahnen stumpf durchstoßen werden und anschließend diese durch auf die Kantenflächen

aufgebrachte Metallisierung untereinander und gegebenenfalls noch mit Außenkontakten auf einer keramischen Bodenplatte zu verbinden.

Vertikale MCM haben den Nachteil der aufwendigen Signalführung. Eine direkte Verbindung von Chip zu Chip vereinfacht den Aufbau, z.B. durch direkt im Chip angeordnete Durchkontaktierungen. Dafür werden 50 µm tiefe Senken in die Chips geätzt. Die Senke wird wie eine Durchkontaktierung bei Leiterplatten metallisiert. Der gesamte Wafer wird dann von unten im Plasma-Ätz-Verfahren bis auf eine Dicke von 50 µm reduziert, wodurch die Senken von unten zugänglich werden. Die Wafer werden gestapelt und die Chips untereinander verbunden. Anschließend werden die Chipstapel aus dem Wafer abgetrennt (Bild 77).

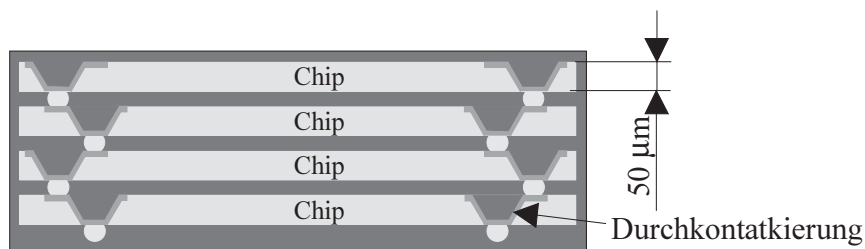


Bild 77: Schnitt durch einen Chipstapel (Tru Si Technologies) /Sav99/

Die MCM-Technologie ermöglicht eine kompakte und robuste, d.h. volumensparende, vibrations- und beschleunigungsfeste Elektronik-Implementierung und eignet sich daher hervorragend für elektronische Zünder kleinkalibriger Explosionsgeschosse u.ä.. Das für Weltraum-Elektronik vorrangige Ziel einer Masseneinsparung gegenüber konventionellen Aufbautechniken wird dagegen kaum und in vielen Fällen nicht erreicht.

Bild 78 bis Bild 83 zeigen Beispiele für verschiedene MCM-Ausführungen.

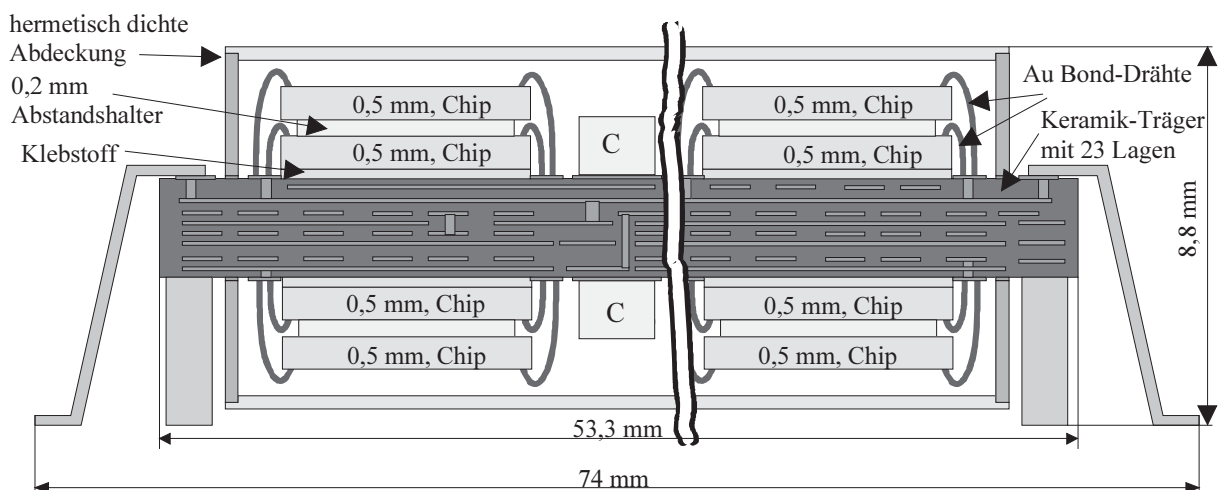


Bild 78: Schnitt durch ein MCM-C mit 40 RH SRAMs 128k8; Abmessungen: 74 · 74 · 8,8 mm<sup>3</sup>; Masse: 76g; Hersteller: Honeywell. Chips und Lagenanzahl im Keramikträger reduziert /Jen98/

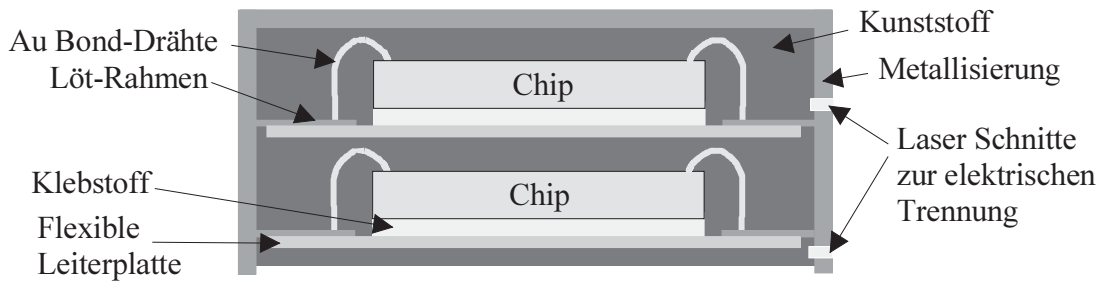


Bild 79: Schnitt durch einen metallisierten Bauteilstapel

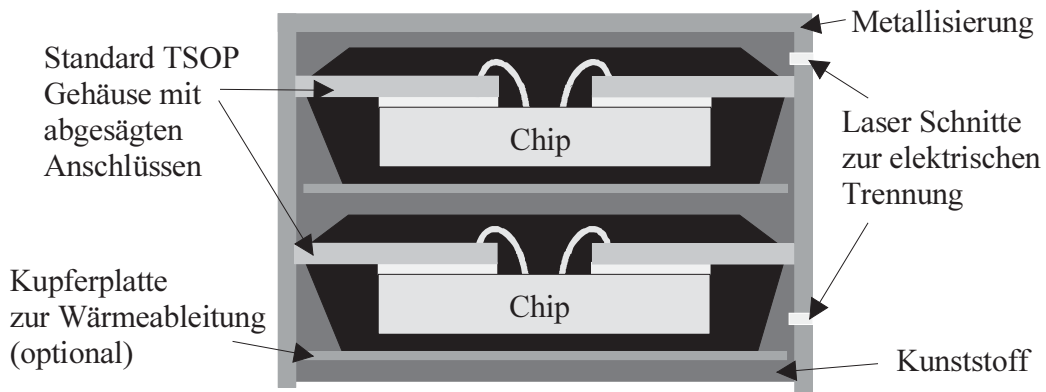


Bild 80: Schnitt durch einen MCM mit TSOP gehäusten Bausteinen. Prozessorsystem mit den Abmessungen 30 · 30 · 20 mm<sup>3</sup> von 3D-Plus /Val99/.

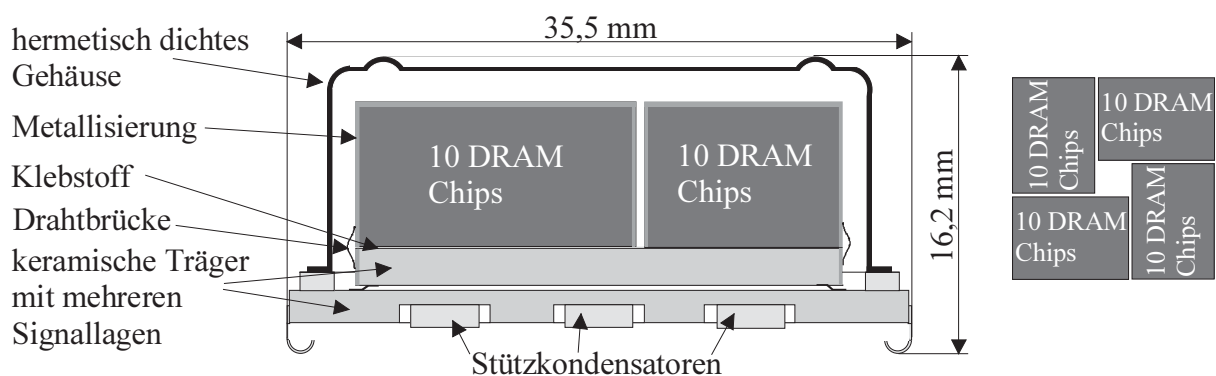


Bild 81: Schnitt durch ein hermetisch dichtes MCM mit 4·10 16Mbit DRAM Chips auf individuellen Polyimid Interposern. Hersteller: 3D-Plus, Masse 29 g /3DP97/

Bild 82: Anordnung im MCM

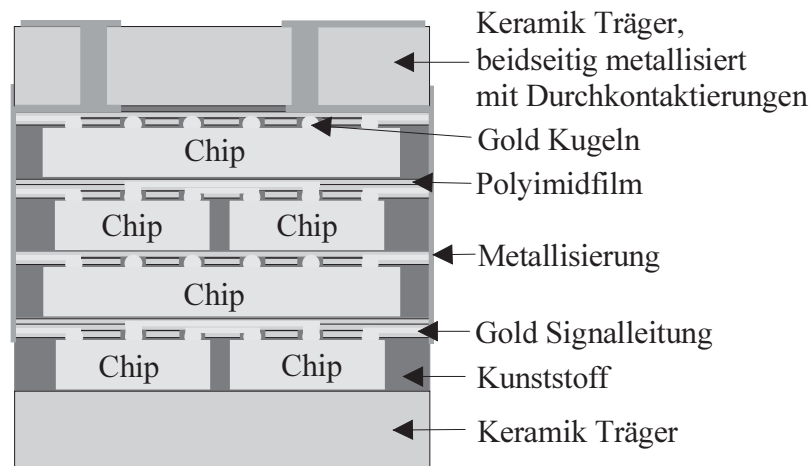


Bild 83: Schnitt durch einen MCM-V der (Irvine Sensors) /Ozg99/. Z.B. können 52 Chips auf 48 Lagen in ein Volumen von  $20 \cdot 12,5 \cdot 12,2 \text{ mm}^3$  integriert werden

Für Anwendungen in der Weltraum-Elektronik ist zu beachten, daß die benötigten Stückzahlen meistens sehr klein sind und zum Ausmerzen der bei individueller Entwicklung unvermeidlichen Schwachstellen ein Vielfaches der letztendlich benötigten Stückzahl in Entwicklungstests, für die die Zeit auch meist zu knapp bemessen ist, verbraucht wird. Die bei Volumen Anwendungen erreichte hohe Zuverlässigkeit läßt sich auf die für Weltraum-Anwendungen typischen Kleinserien nicht übertragen. Soweit Erfahrungen bei IDA vorliegen, kann eher von Zuverlässigkeitsrisiken gesprochen werden, weil aus Zeit und Geldmangel die Entwicklungen bis zum Einsatz vielfach noch nicht ausgereift sind. Bei der Zuverlässigkeitsbewertung individueller MCM-Bausteine ist große Vorsicht geboten. Sie sollten daher nur dann eingesetzt werden, wenn sie sonst nicht erreichbare Vorteile bieten.

### 6.1.9 Zusammenfassung und Vergleich

Der Vergleich der einzelnen Verpackungstechnologien ist schwierig, da nicht jeder Bausteintyp in jeder Verpackung erhältlich ist. Tabelle 9 zeigt einige ausgewählte Verpackungstechnologien für Speicherbausteine. Die Technologien werden in Bezug auf Verbrauch an Leiterplattenfläche, Volumen und Masse verglichen. Maßstab für die Verpackungseffizienz sind die auf ein Chip bezogenen Werte. Die auf ein Gbit Speicherkapazität bezogenen Werte charakterisieren mehr die Fortschritte auf der Chipseite als auf der Verpackungsseite. Nicht berücksichtigt wurden die Auswirkungen der Verpackungstechnologie, z.B. größere und dickere Leiterplatten, Gehäuseschirmung und Bausteinbefestigungen.

Als Einchip-Verpackung ist das *Plastic Ball Grid Array* von allen 3 Kenngrößen her am günstigsten. Sein Nachteil gegenüber dem TSOP-Gehäuse sind die verdeckt liegenden, starren Kontakte. Das TSOP-Gehäuse hat den großen Vorteil der einfachen Stapelbarkeit. Auch für den Stapel steigt die Masse/Chip kaum an.

Technologie	Baustein kapazität [Mb]	Speicher -typ	Fläche [cm <sup>2</sup> ]	Fläche / Chip [cm <sup>2</sup> ]	Fläche / Gbit [cm <sup>2</sup> ]	Vol. [cm <sup>3</sup> ]	Vol. / Chip [cm <sup>3</sup> ]	Vol. / Gbit [cm <sup>3</sup> ]	Masse [g]	Masse / Chip [g]	Masse / Gbit [g]
Plastik BGA /AMD00/	64	FLASH	1,2	1,2	18,75	0,144	0,144	2,3	0,3*	0,3*	4,7*
Plastik, TSOP /Hit00/	256	SDRAM	2,71	2,71	10,87	0,33	0,33	1,3	0,53	0,53	2,12
IDA Stack (Blech)	256 (4·64)	DRAM	2,92	0,73	11,4	1,69	0,43	6,6	2,5	0,63	9,8
IDA Stack (Leiterplatte)	2048 (8·256)	SDRAM	2,68	0,34	1,34	2,57	0,33	1,3	5	0,63	2,5
MCP /Tos99/	20 (16+4)	SRAM + FLASH	1,08	0,54	54	0,15	0,08	7,5	0,31	0,16	15
MCM-V /3DP97/	640 (40·16)	DRAM	12,6	0,32	19,7	20,4	0,51	21,9	29	0,73	45
Keramik, Flat- pack +Schirmung /UTMC00/	4	RH SRAM	3,54	3,54	906	1,56	1,56	399	10,6	10,6	2714
Keramik, Flat- pack /UTMC00/	4	RH SRAM	3,54	3,54	906	0,71	0,71	182	3*	3*	768*
MCM-C Honeywell /Jen98/	40 (40·1)	RH SRAM	54,76	1,37	1369	481,9	12	12047	76	1,9	1900

Tabelle 9: Vergleich der Verpackungstechnologien, bei Maßangaben mit "\*" wurden die Werte von vergleichbaren Bausteinen umgerechnet.

Von den Stapeltechniken ist das MCM-V *Multi Chip Package* am vorteilhaftesten. Es ist aber auf wenige vom Chiphersteller angebotene Typen beschränkt. Der *Multi-Chip-Module* mit 40 unverpackten Chips liegt in der Masse pro Chip über den TSOP-Stapeltechniken und in dem Flächenverbrauch pro Chip knapp unter dem 8 TSOP-Stack. Der große Nachteil dieser hermetischen Verpackung ist das hohe Bausteingewicht von 29 g, das bei einer Anwendung bei den Vibrationstests zu großen Problemen geführt hat, sodaß in Zukunft auf leichtere TSOP-*Stacks* übergegangen wird.

Generelles Merkmal aller besprochenen Packungstechniken für COTS-Bausteine ist eine Masse von weniger als 1 g/Chip.

Wie schon erwähnt, sind RH-Bausteine nur in hermetischer Verpackung lieferbar. Zum Vergleich sind auch einige RH-Verpackungen in die Tabelle aufgenommen worden. Die günstigste Masse/Chip wird mit der MCM-C-Technologie erreicht, nämlich für 40 Chips 1,7 g/Chip gegenüber 0,73 g/Chip bei der hermetischen MCM-V-Verpackung von ebenfalls 40 Speicherchips. Generell liegen die hermetischen Verpackungen der RH-Chips in Masse/Chip über den nichthermetischen Verpackungen der COTS-Chips. Viel entscheidender ist aber der Rückstand in der Integrationsdichte der Chips, sodaß sich bei der Kennzahl Masse/Gbit ein Auseinanderklaffen um etwa 2 Größenordnungen ergibt.

## 6.2 Leiterplatten

Leiterplatten sind die größten Bauteile eines Instrumentenrechners. Elektrische Verbindungstechnik, mechanische Festigkeit und Wärmeleitung sind bestimmt durch Typ, Material und Herstellungstechnologie der Leiterplatten und beeinflussen Masse und Volumen eines Instrumentenrechners. Es wird zwischen drei Typen unterschieden: starren, starrflexiblen und flexiblen Leiterplatten. Bei den Kontaktierungen werden zwei Methoden unterschieden:

1. Standardtechnologie: mechanisch gebohrte Durchkontaktierungen (engl. *vias*), Sacklöcher (*blind vias*) und vergrabene Löcher (*buried vias*) mit Durchmessern  $\geq 0,2$  mm.
2. Microviatechnologie mit mittels Laser oder im Plasmaätzverfahren hergestellten Bohrungen mit einem Durchmesser  $< 0,2$  mm.

Die Anzahl der Lötflächen pro Leiterplattenfläche (Anschlußdichte) hat durch den Einsatz hochintegrierter Bausteine mit größerer Anschlußzahl auf reduzierter Grundfläche in den letzten Jahren zugenommen (Bild 84) /Las99/. Die Anschlußdichte stellt die höchsten Anforderungen an eine Leiterplatte. Bei tragbaren Geräten (z.B. Mobiltelefone) werden bereits Leiterplatten mit mehr als 100 Anschlüssen pro  $\text{cm}^2$  eingesetzt. Innerhalb elektronischer Bausteine werden Substrate und Interposer mit 300 Anschlüssen pro  $\text{cm}^2$  eingesetzt. Bei einer Anschlußdichte über 20 Anschlüssen pro  $\text{cm}^2$  ist der Einsatz der Microviatechnologie erforderlich.

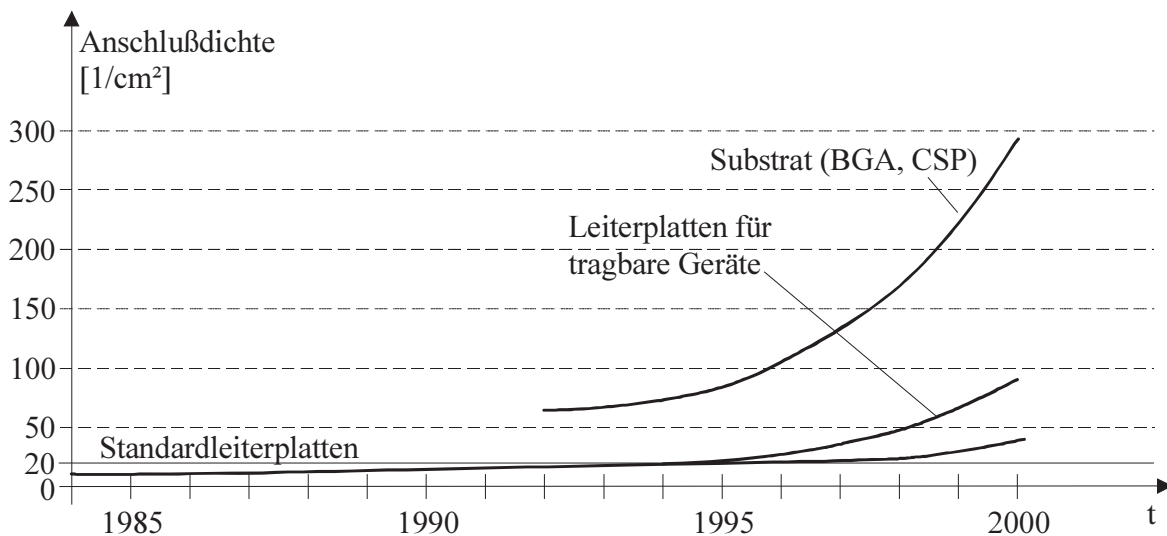


Bild 84:Entwicklung der Anschlußdichte für Leiterplatten /Las99/

### 6.2.1 Starre Leiterplatten

Das Basismaterial starrer Leiterplatten besteht aus glasgewebeverstärktem Epoxidharz (FR4), Polyimid oder keramischem Trägermaterial. Keramiken ( $\text{Al}_2\text{O}_3$ ) werden in Verbindung mit keramisch verpackten Bauteilen in der Militärtechnik und der Raumfahrt wegen angepaßter

Temperaturkoeffizienten und höherer Wärmeleitfähigkeit (Tabelle 10) eingesetzt. Die Herstellung keramischer Leiterplatten ist aufwendig und teuer. Bei einer Bestückung mit PEMs sind FR4 und Polyimid besser geeignet.

Material	Dichte [g/cm <sup>3</sup> ]	Wärmedehnung [ppm/°C]	Wärmeleitzahl [W·K <sup>-1</sup> ·m <sup>-1</sup> ]
Silizium (Chip)	2,34	2,5 - 3	80 - 150
Aluminium	2,7	23	210
Kupfer	8,9	17	390
Stahl	7,7	12	45
FR4	1,8	15	0,23
Polyimid	1,42	30 - 60	0,1 - 0,35
Keramik Al <sub>2</sub> O <sub>3</sub> 96 %	3,99	5 - 7	20 - 25
Keramik BeO	2,86	7	260
Cu - Invar - Cu		5 - 9	130 - 245

Tabelle 10: Dichte, Wärmedehnung und Wärmeleitzahl von Leiterplattenmaterialien /And01/

Der Lagenaufbau und die Platinendicke sind materialabhängig und variieren zwischen den Herstellern. Den typischen Lagenaufbau bei Standardtechnologie zeigt Bild 85. Innenlagen sind paarig mit einem glasgewebeverstärkten Basismaterial ausgeführt. Sie werden untereinander und mit den Außenlagen mit einem Prepreg als verbindende Zwischenlage verpreßt. Prepregs sind harzprägnierte Glasgewebe, bei denen das Harz bereits teilpolymerisiert ist. Der Vorpolymerisierungsgrad ist gerade so hoch, daß die Prepregs bei Berührung nicht klebrig sind, jedoch das Harz bei erhöhter Temperatur wieder zu schmelzen beginnt und unter zusätzlichem Druck vollständig aushärtet. Der Schnitt durch eine 8-lagige Leiterplatte mit 1,2 mm Dicke zeigt Bild 86.

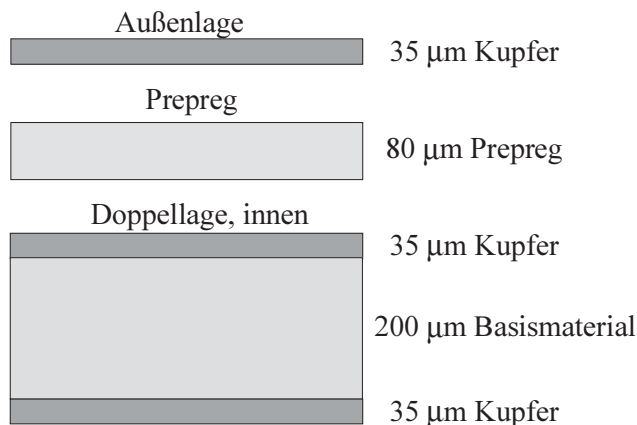


Bild 85: Lagenaufbau, starre Leiterplatte in Standardtechnologie

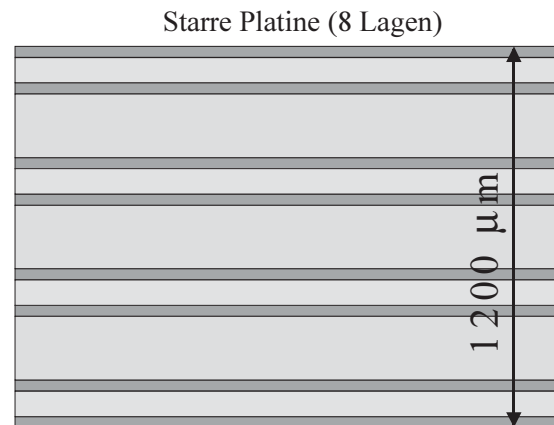


Bild 86: Schnitt durch eine 8-lagige starre Leiterplatte

Bei der Standardtechnologie ist eine Lage ca. 150 µm und damit eine 8-lagige Leiterplatte ca. 1,2 mm dick. Der minimale Durchmesser der Durchkontaktierungen beträgt dabei 0,46mm mit 0,2 mm Bohrungen. Typisch sind minimale Strukturbreiten von 0,127 mm (5 mil).



### 6.2.2 Starrflexible Leiterplatten

Starrflexible Leiterplatten bestehen aus flexiblen Folien, die durch FR4 oder glasfaserverstärktes Polyimid in Teilbereichen versteift werden (Bild 87). In den flexiblen Teilbereichen kann die Leiterplatte unter Berücksichtigung eines Mindestradius gebogen werden. Bei der Standardtechnologie bestehen die Innenlagen aus Kupfer- und Polyimidfolien (Kapton) und sind mit Acrylkleber untereinander verklebt. Die Dicke beträgt 135 µm bei Einzel- und 245 µm bei Doppellagen. Die Innenlagen sind im starren Teilbereich untereinander mit Prepregs und mit dem Basismaterial der Außenlagen mit Acrylkleber verklebt (Bild 87). Eine 8-lagige starrflexible Leiterplatte mit 6 flexiblen Lagen ist mit 3 Doppellagen ca. 1,375 mm (Bild 88) und mit 6 Einzellagen ca. 1,63 mm dick.

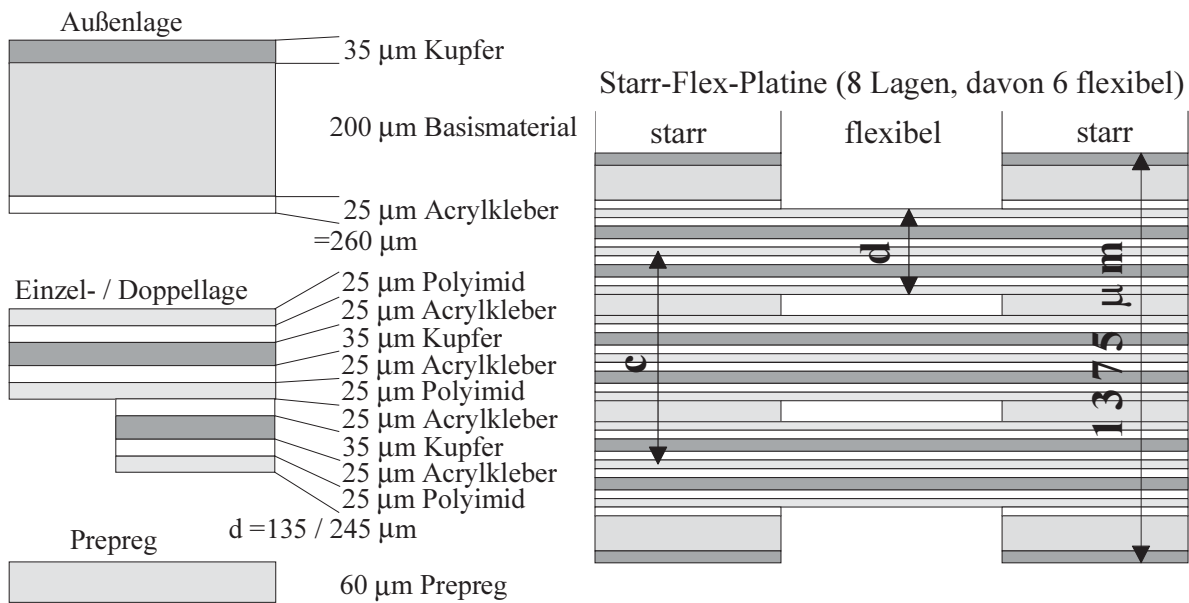


Bild 87: Lagenaufbau, starrflexible Leiterplatte in Standardtechnologie

Bild 88: Schnitt durch 8-lagige starrflexible Leiterplatte mit 3 Doppellagen im Biegebereich

"Minimaler Biegeradius" und "Schlanke Durchkontaktierungen" sind die wesentlichen Problembereiche starrflexibler Leiterplatten

#### Minimaler Biegeradius

Der minimale Biegeradius  $r$  einer Lage ist technologieabhängig und beträgt das 6 bis 24 fache der Materialstärke  $d$ . Für häufige Biegevorgänge gilt  $r/d > 10$  [Lex92], [Möl00]. Der Faktor  $r/d = 10$  ergibt einen minimalen Biegeradius  $r$  von 1,35 mm bei Einzel- und 2,45 mm bei Doppellagen. Die Einzel- bzw. Doppellagen sind im flexiblen Bereich nicht untereinander verklebt. Eine Biegung der Leiterplatte bewirkt bei gleichlangen Lagen eine Auffächerung (Bild 89). Der Biegeradius  $R$  der Platine ist größer als der minimale Biegeradius  $r$  der einzelnen Lagen und steigt mit zunehmenden Abstand  $c$  der äußeren Doppellagen.

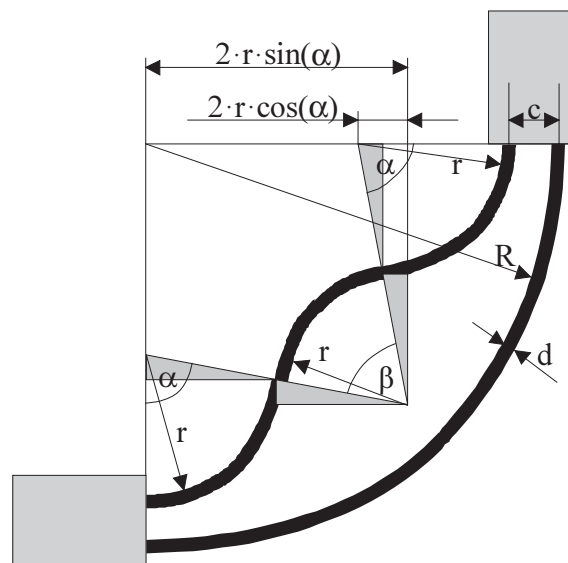


Bild 89. Rechtwinklige Biegung einer starrflexiblen Leiterplatte in Standardtechnologie

Für eine rechtwinklige Biegung wird der minimale Biegeradius der Platine  $R$  durch die beiden Gleichungen (71) und (72) bestimmt.

Die Länge  $l$  des flexiblen Bereiches ist für alle Lagen gleich lang:

$$l = \frac{\pi R}{2} = 2 \cdot r \cdot \alpha + r \cdot \beta. \quad (69)$$

Der Winkel  $\beta$  ist

$$\beta = 2 \cdot \left( \alpha - \frac{\pi}{4} \right). \quad (70)$$

Daraus folgt

$$R = r \cdot \left( \frac{8\alpha}{\pi} - 1 \right). \quad (71)$$

Der Biegeradius  $R$  ist auch bestimmt durch:

$$R = c + r + 2r(\sin(\alpha) - \cos(\alpha)). \quad (72)$$

Mit den Gleichungen (71) und (72) sind  $\alpha$  und  $R$  bestimmbar. Tabelle 11 vergleicht die Biegeradien für eine 8 lagige starrflexible Leiterplatte mit 6 Einzel- bzw. 3 Doppellagen im Biegebereich für rechtwinklige Biegungen.

Lagen im Biegebereich	6 Einzel	3 Doppel	3 Doppel ( $\mu$ DPU)
d [mm]	0,135	0,245	0,245
r/d	10	10	4
c [mm]	0,975	0,61	0,61
R [mm]	6,1	9,2	4,3

Tabelle 11. Minimaler Radius R bei rechtwinkliger Biegung 8-lagiger starrflexibler Leiterplatten. Mit dem aus dem Faktor  $r/d > 10$  für häufige Biegevorgänge, resultierenden Biegeradien R von 6,1 bzw. 9,2 mm kann die angestrebte Miniaturisierung nicht erreicht werden. Der bei der IDA- $\mu$ DPU zur Volumenminimierung angestrebte Leiterplattenabstand von 9 mm erfordert einen Biegeradius von ca. 4,5 mm. Wird die Leiterplatte nur einigemal gebogen, kann der Faktor r/d verringert werden. Durch Biegen bei erhöhter Temperatur (80 °C), werden Materialspannungen reduziert. Bei der  $\mu$ DPU liegt der Faktor mit  $r/d = 4$  außerhalb des empfohlenen Bereiches. Daher sollten die Biegevorgänge auf ein Minimum reduziert werden. An dieser Stelle sollte bei flugfähigen Implementierungen wieder etwas nachgegeben werden, notfalls durch Vergrößerung des Platinenabstandes.

Mit der "Buchbindertechnik" können Platinen mit unterschiedlich langen Innenlagen hergestellt werden. Damit entfällt die Auffächerung im gebogenen Zustand und es können engere Biegeradien erzielt werden. Nachteilig sind die hohen Herstellungskosten und die deutlich erschwerte Bestückung der Platine.

### **Durchkontaktierungen:**

Bei der Standardtechnologie beträgt die minimale Strukturweite 0,125 mm. Die mechanisch gebohrten Durchkontaktierungen haben einen Außendurchmesser von  $\geq 0,7$  mm bei 0,3 mm Lochdurchmesser. Gegenüber starren Platinen sind die Durchkontaktierungen aus zwei Gründen größer:

1. Beim Verkleben und Verpressen der Lagen gibt das flexible Material etwas nach und kann dabei um mehr als 0,1 mm verschoben werden.
2. Durch abwechselnde Schichten flexibler und starrer Materialien entstehen hohe Seitenkräfte auf den Bohrer, die einen Mindestdurchmesser der Bohrer von  $\geq 0,3$  mm erfordern.

Die Vergrößerung der Durchkontaktierungen auf 0,7 mm schränkt die Leiterbahnführung ein. Abhilfe bringt die Verwendung nicht durchgehender Kontaktierungen. Es wird unterschieden in Kontaktierungen ausgehend von den Außenlagen, den Sacklöchern (engl. *blind vias*) und Kontaktierungen zwischen Innenlagen, vergrabene "Löcher" (engl. *burried vias*). Starrflexible Leiterplatten mit Sacklöchern werden mit zwei Methoden hergestellt:

Bei Methode 1 werden die korrespondierenden Lagen miteinander verklebt, gebohrt und metallisiert (Bild 90). In einem zweiten Schritt werden die Lagenpaare untereinander verklebt, die Durchkontaktierungen gebohrt und ebenfalls metallisiert (Bild 91). Der Vorteil dieser

Technologie ist, daß beidseitig offene Löcher bis zu einem Schlankheitsgrad 1:10 (engl. *Aspect Ratio*) zuverlässig metallisiert werden können. Nachteilig sind a) ein größerer Durchmesser der Durchkontaktierungen durch größere Herstellungstoleranzen bei wiederholter Verklebung / Verpressung der Lagen, b) der Umstand, daß bei der Metallisierung der Sacklöcher auch auf den Innenlagen im Biegebereich Kupfer elektrolytisch aufgetragen wird. Das Elektrolytkupfer ist steifer als gewalzte Kupferfolie und vergrößert die minimalen Biegeradien. Die Außenlagen werden doppelt geätzt und metallisiert. Um Unterätzung zu vermeiden, vergrößert sich die Strukturbreite in den Außenlagen auf 0,18 mm.

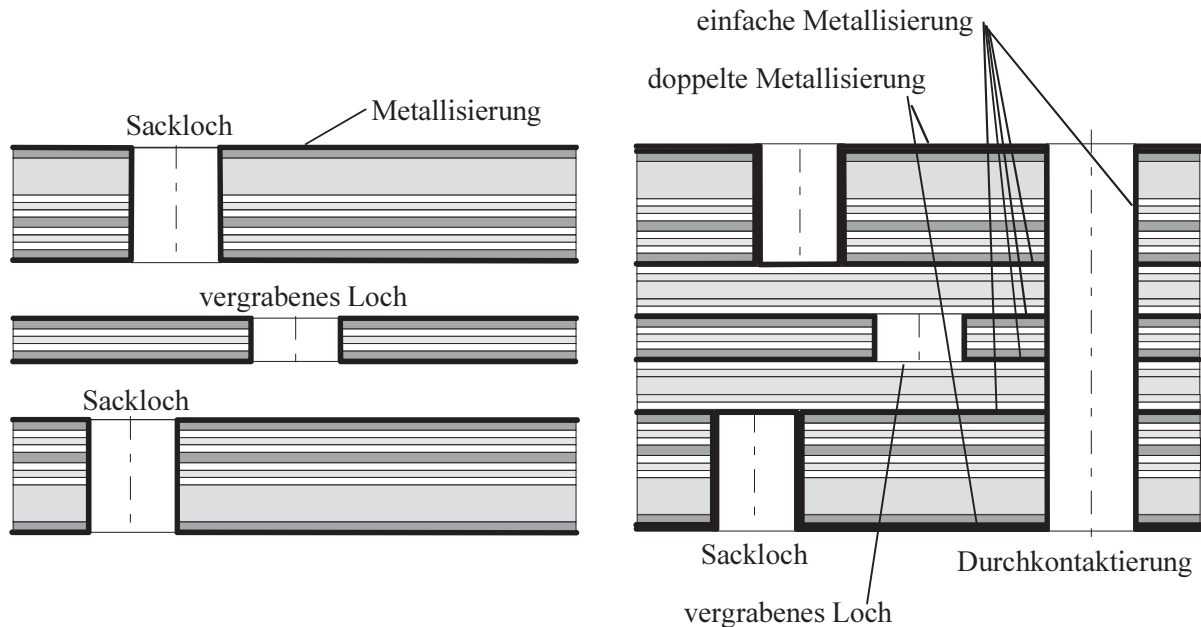


Bild 90. Bohrungen der Sacklöcher und vergrabenen Löcher in den Lagenpaaren

Bild 91. Schnitt durch eine starrflexible Leiterplatte mit Sacklöchern und vergrabenen Löchern

Bei Methode 2 werden die Sacklöcher auf definierte Tiefe gebohrt (Bild 92). Dieses Verfahren erfordert eine präzise Begrenzung der Bohrereindringtiefe, ist aber trotzdem in der Fertigung einfacher, als das separate Bohren der Lagenpaare. Nachteilig sind:

- a) der schlechtere Schlankheitsgrad von 1:1 für zuverlässige Metallisierung der Sacklöcher. Hier vergrößert sich der Bohrungsdurchmesser auf 0,4 mm. Der Außendurchmesser der Kontaktierungen kann aber mit 0,7 mm beibehalten werden, da durch die geringere Tiefe auch ein geringerer Seitenversatz zu erwarten ist.
- b) Daß zum Ausgleich der Tiefentoleranzen der Sacklöcher und der Eindringtiefe durch die Bohrerspitze zwischen den Lagen ein dickeres Prepreg eingebracht werden muß. Die Platine wird dadurch dicker, und der größere Abstand zwischen den flexiblen Lagen bewirkt einen etwas größeren Biegeradius.

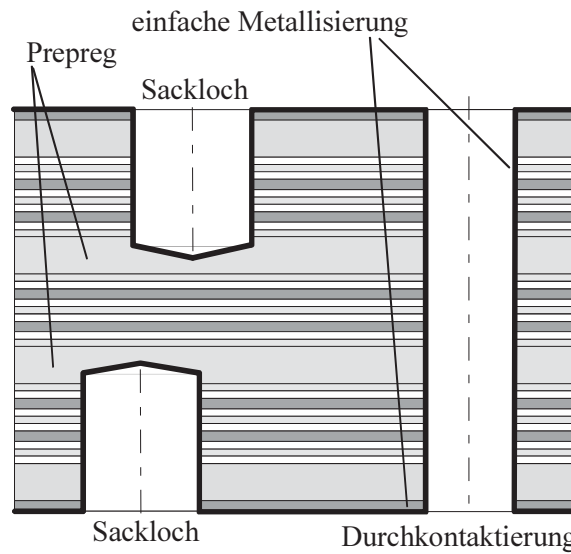


Bild 92: Schnitt durch eine starrflexible Leiterplatte mit von außen gebohrten Sacklöchern.

### 6.2.3 Flexible Leiterplatten

Das übliche Basismaterial flexibler Leiterplatten ist Polyimid (Kapton). Zwei Kupferlagen sind beidseitig mit Acrylkleber auf eine Polyimidfolie geklebt und bilden eine Doppellage. Die Doppellagen sind mit beidseitig kleberbeschichteter Transferfolie untereinander verbunden. In Teilbereichen ohne Lötflächen, das sind die Biegebereiche, werden die Außenlagen durch eine Deckfolie geschützt (Bild 93). Eine flexible Leiterplatte mit 8 Lagen hat z.B. eine Dicke von nur 905 µm (Bild 94).

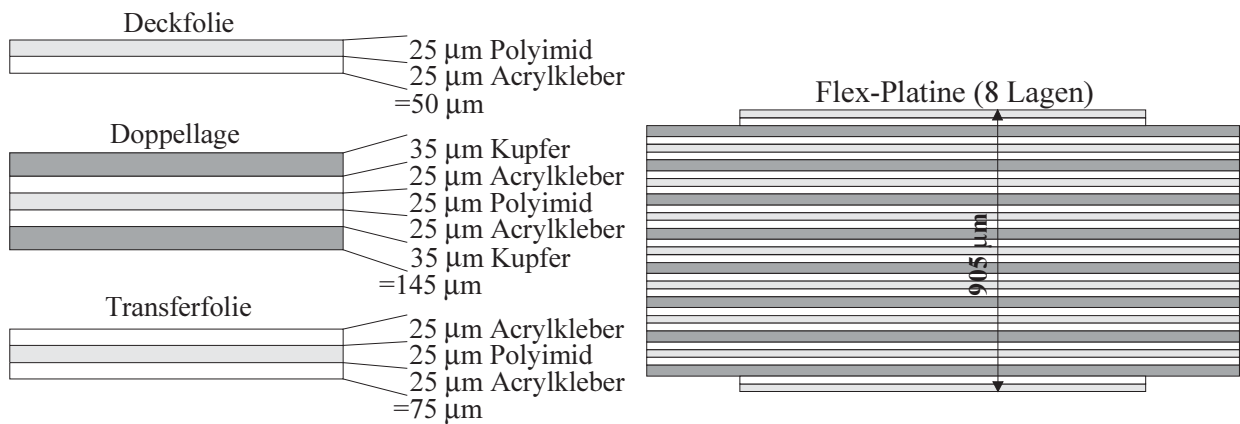


Bild 93: Lagenaufbau von flexiblen Leiterplatten in Standardtechnologie

Bild 94: Schnitt durch eine 8 lagige flexible Leiterplatte in Standardtechnologie

Die Dicke von starren und starrflexiblen Leiterplatten wird durch die geforderte Steifigkeit bestimmt. Flexible Leiterplatten sind wesentlich dünner und leichter. Alle Lagen sind untereinander verklebt. Der minimale Biegeradius ist bei  $r/d = 10$  facher Materialstärke mit z.B.

9 mm allerdings sehr groß. Bei Vibrationen durch den Raketenstart hat die flexible Leiterplatte eine geringere Steifigkeit. Es ist ein größerer Abstand zwischen den Leiterplatten erforderlich. Durch die größere Verbiegung wirken stärkere Kräfte auf die Lötflächen der Bausteine. Vergießen der ganzen Elektronik mit einem Füllmaterial wäre eine Abhilfe, allerdings verbunden mit dem großen Nachteil der Nichtzugänglichkeit und zusätzlicher Masse. Ein weiterer Nachteil der flexiblen Leiterplatte ist der undefinierte Übergang von gebogenen zu nicht gebogenen Teilbereichen. Ein versteifender Rahmen um ungebogene Teilbereiche benötigt zusätzlich Volumen und Masse, um die die Schirmung benötigte Dicke der Gehäusewände allerdings reduziert werden kann. Ein höherer Kupferanteil in den ungebogenen Teilbereichen erhöht ebenfalls die Steifigkeit. Strukturbreiten und Kontaktierungsdurchmesser sind identisch mit denen der starrflexiblen Leiterplatten.

### 6.2.4 Microvia Technologie

Durch die Miniaturisierung elektronischer Schaltungen müssen die Kontaktierungen auf den Leiterplatten mit geringeren Abständen plaziert werden. Dafür müssen die Bohrlochdurchmesser verkleinert werden. Durchmesser  $< 200 \mu\text{m}$  sind mechanisch nur mit größerem Aufwand herstellbar. Hier kommen Laser ( $50 - 100 \mu\text{m}$ ) oder das Plasmaätzverfahren ( $> 50 \mu\text{m}$ ) zum Einsatz. Mit Laser werden, wie beim mechanischen Bohren, alle Löcher sequentiell gebohrt, beim Plasmabohren (Gemisch von  $\text{O}_2$  und  $\text{CF}_4$ ) dagegen alle Bohrungen simultan. Plasmabohren ist bei Leiterplatten mit vielen Bohrungen daher weniger zeitaufwendig als Laserbohren. Das Verhältnis von Bohrlochdurchmesser zu Bohrlochtiefe (*Aspect Ratio*) beträgt nur 1:1, sodass Microvias nur zwischen benachbarten Lagen hergestellt werden können. Bei flexiblen Mehrlagen-Leiterplatten müssen Durchkontaktierungen jeweils von Lage zu Lage versetzt durch einzelne Microvias geführt werden.

Den Aufbau einer dreilagigen flexiblen Leiterplatte zeigt Bild 95. Die Platine hat eine Dicke von  $116 \mu\text{m}$ . Im Biegebereich kann nur die mittlere Lage genutzt werden. Die Platinendicke beträgt  $80 \mu\text{m}$  und ermöglicht minimale Biegeradien von  $480 \mu\text{m}$ . Die Microvias haben einen Außenringdurchmesser von 200 bis  $250 \mu\text{m}$ . Die Strukturbreite in den Außenlagen ist  $70 \mu\text{m}$ , in der Innenlage  $50 \mu\text{m}$ .

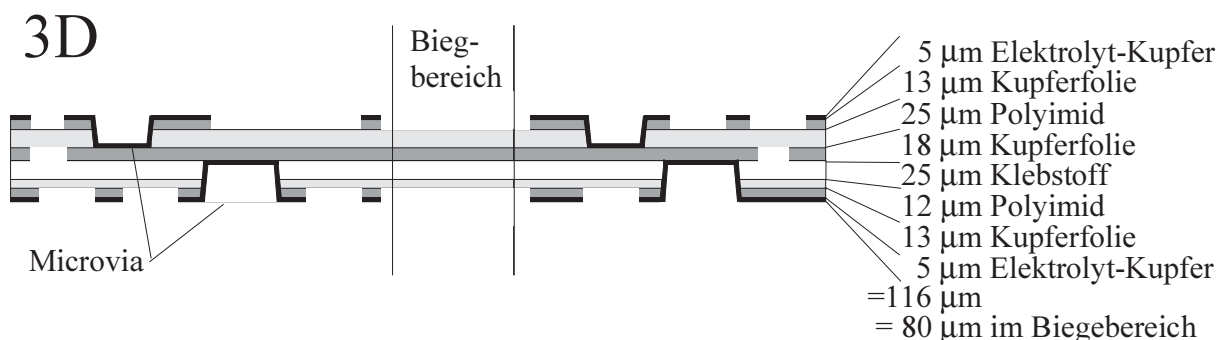


Bild 95: Aufbau einer dreilagigen, flexiblen Leiterplatte in Microvia-Technologie /Dyc99/

Bei 4 und mehrlagigen flexiblen Platinen werden von einer Doppellage in der Mitte ausgehend Einzellagen beidseitig auflaminiert (Bild 96). Die Leiterbahnen in den Innenlagen haben dann auch einen Elektrolytkupferauftrag. Die größere Materialdicke verlangt auch eine dickere Metallisierung und erfordert damit größere Durchmesser für die Kontaktierungen (300 µm) und größere Strukturbreiten von 80 bis 100 µm. Die Leiterplatte im Beispiel Bild 96 ist 236 µm und im Biegebereich 196 µm dick. Der minimale Biegeradius beträgt 1,2 mm.

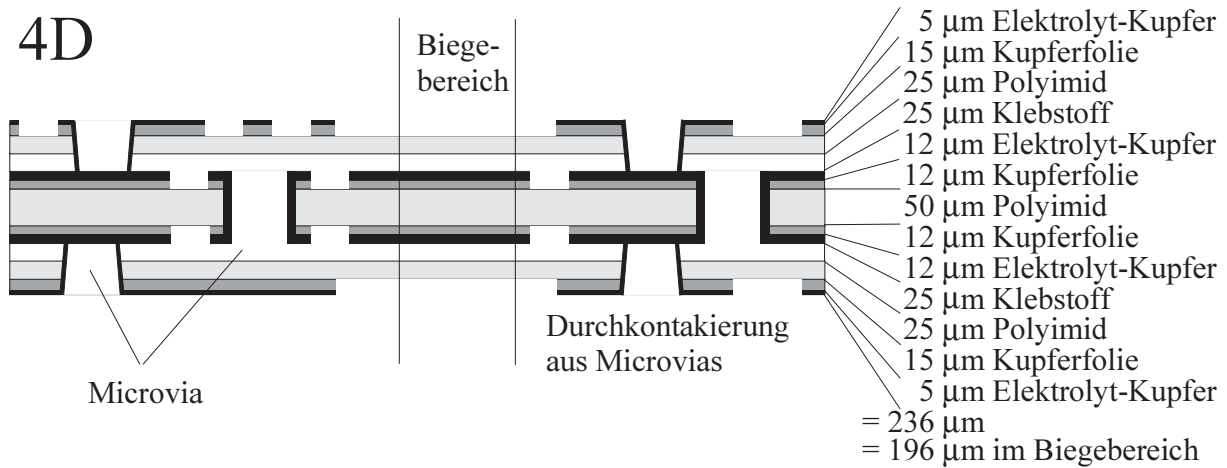


Bild 96: Aufbau einer vierlagigen flexiblen Leiterplatte in Microvia-Technologie /Dyc99/

Mit diesem Verfahren können Leiterplatten mit bis zu 6 Lagen hergestellt werden, indem weitere Lagen auflaminiert werden. Durch unterschiedlichen Kupferanteil in den inneren Lagen erhöht sich die Welligkeit bei jeder weiteren Lage und erfordert dann größere Toleranzen und damit größere Strukturen auf den äußeren Lagen.

Mit dem Plasmaätzverfahren können im Biegebereich in den Außenlagen Nuten hergestellt werden, wenn nur eine der Innenlagen Verbindungen enthält (Bild 97)

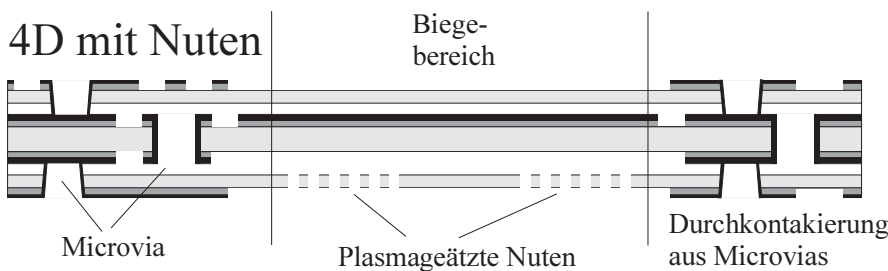


Bild 97: Schnitt durch eine vierlagige flexible Leiterplatte mit plasmageätzten Nuten im Biegebereich /Dyc99/

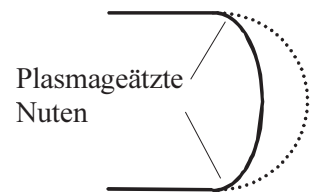


Bild 98: Nuten im Biegebereich verringern den Biegeradius

Durch die Nuten verringert sich im Beispiel die Materialstärke von 172 µm auf 122 µm und ermöglichen so engere Biegeradien. Werden die Nuten nur am Rand der Biegebereiche

eingbracht, ergibt sich eine elliptische Platinenführung im Biegebereich und bewirkt eine Volumenreduktion gegenüber einer Kreisform (Bild 98).

Flexible Leiterplatten können mit einem FR4 Kern vollständig (starr) oder partiell (starrflexibel) versteift werden. Auf den Kern kann beidseitig eine flexible Leiterplatte laminiert werden (Bild 99). Die beiden Leiterplatten werden mit Durchkontaktierungen verbunden. Die Dicke des elektrolytisch aufgetragenen Kupfers der Durchkontaktierung ist vom Material und der Dicke des Kerns abhängig, und beträgt mindestens 25  $\mu\text{m}$ . Parallele Microvias erhöhen die Zuverlässigkeit. Die Durchkontaktierungen werden in der Standardtechnologie hergestellt, sind aber hier mit 1,1 mm Durchmesser bei 0,5 mm Bohrung sehr groß. Durch doppelte Metallisierung sind auf den Außenlagen Strukturbreiten von mindestens 150  $\mu\text{m}$  erforderlich. Mit einem 360  $\mu\text{m}$  FR4 Kern ergibt sich für eine 8 lagige Leiterplatte eine Dicke von 982  $\mu\text{m}$ . Mit nur 2 Lagen auf einer Seite des Biegebereiches erhält man den gleichen minimalen Biegeradius, wie bei einer vierlagigen flexiblen Leiterplatte (1,2 mm).

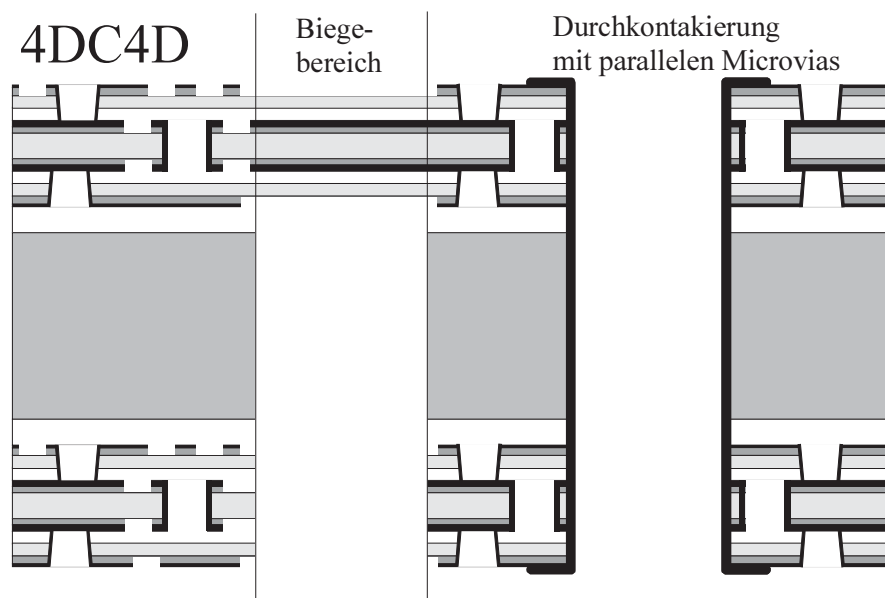


Bild 99: Schnitt durch eine 8 lagige starrflexible Leiterplatte in Microvia-Technologie /Dyc99/

### 6.2.5 Zusammenfassung und Vergleich

Bei der Leiterplattentechnologie sind für die Miniaturisierung (i) der Via-Durchmesser, (ii) die minimalen Strukturbreiten und (iii) der minimale Biegeradius von besonderem Interesse.

- (i) Bei Platinen mit hoher Anschlußdichte ist der Via-Durchmesser häufig das begrenzende Element. Mit zunehmenden Durchmesser reduzieren sich die Gassen für die Signalleitungen. Besonders kritisch sind die Ecken von quadratischen Bausteinen (TQFP) mit einem Anschlußabstand  $\leq$  Via-Durchmesser. *Blind Vias* verbessern die Realisierbarkeit. Zusätzliche Lagen bringen kaum eine Verbesserung, erhöhen aber die



Platinendicke und damit die Masse. Je kleiner der Via-Durchmesser ist, desto einfacher läßt sich die Schaltung realisieren, und bei den kleinen Stückzahlen in der Raumfahrt können die höheren Fertigungskosten durch Einsparungen in der Entwicklung kompensiert werden.

- (ii) Mit kleineren Strukturbreiten kann die Schaltung ebenfalls einfacher realisiert werden. Bei den minimalen Strukturbreiten der Microvia-Technologie von 50 µm können bis zu 100 Signalleitungen pro cm angeordnet werden. Als Folge davon kann die Leiterplatte vielfach um mehrere Lagen (z.B. von 8 auf 6) reduziert werden. Im Biegebereich sind dann nur noch sehr wenige (z.B. 1 bis 2) Lagen erforderlich, und der minimale Biegeradius reduziert sich erheblich. Als Nebeneffekt wird auch die Masse reduziert.
- (iii) Der minimale Biegeradius bestimmt den Platinenabstand. Bei den Starrflex-Platinen ist eine Platine mit Einzellagen im Vorteil, hat aber bei 8 Lagen eine um 20% größere Masse. Die dünneren Leiterplatten in Microvia-Technologie sind wiederum im Vorteil. Durch die geringeren Strukturbreiten sind zwei Lagen im Biegebereich ausreichend.

Eine Übersicht der einzelnen Leiterplattentechnologien zeigt Tabelle 12

Technologie	Standard				Microvia		
	starr	starrflex	starrflex	flexibel	flexibel 3D	flexibel 4D	starrflex 4DC4D
Anzahl der Lagen	8	8	8	8	3	4	8
Anzahl der Lagen im Biegebereich	-	3*2	6*1	8	1	2	2
Platinendicke [µm]	1200	1375	1630	905	116	236	982
Platinendicke (Biegebereich) d [µm]	-	245	135	905	80	196	196
min. Biegeradius R [mm], r/d = 10	-	9,2	6,1	9	0,8	2	2
r/d = 6	-	6,0	4,1	5,4	0,48	1,2	1,2
min. Strukturbreiten innen / außen [µm]	125	125	125	125	50 / 70	80 / 100	80 / 150
Via-Durchmesser [mm]	0,5	0,7	0,7	0,7	0,25	0,3	0,3 / 1,1
Lochdurchmesser [mm]	0,2	0,3	0,3	0,3	0,07	0,07	0,07/0,5

Tabelle 12: Vergleich einiger Leiterplattentechnologien

Vom Kostenaspekt sind starre Leiterplatten in Standardtechnologie am günstigsten und eine starrflex-Platine in Microviattechnik am teuersten. Bei den kleinen Stückzahlen in der Raumfahrt dominieren die Entwicklungskosten und steigen stark an, wenn eine Leiterplattentechnologie bis an die Grenzen ausgereizt wird. Durch eine schnellere Entwicklung und einfachere Realisierbarkeit einer Platine in der aufwendigeren Microvia-Technologie werden die höheren Platinenkosten gegenüber der Standardtechnologie vermutlich mindestens kompensiert. Microvia-Technologie wird in lebenserhaltenden medizinischen Geräten (z.B. Herzschrittmachern) eingesetzt und ist damit auch vom Zuverlässigkeitsaspekt ein Kandidat für den Einsatz im Weltraum /Mar99/.

## 7 Strukturelle Maßnahmen gegen strahlungsbedingte Ausfälle

Gegen "Total Dose" Ausfälle sind keine strukturellen Gegenmaßnahmen möglich. Hier kommt es allein auf die Toleranzdosis der Bauteile und die Schirmung an. Anders ist dies gegenüber strahlungsinduzierten SEUs. Diese verfälschen nur den Inhalt einer oder einiger weniger über den Fehlermechanismus gekoppelter Speicherzellen, schädigen aber nicht die Speicherzelle, die weiter voll funktionsfähig bleibt. Damit eröffnet sich hier ein weites Feld für fehlerkorrigierende Maßnahmen, die auf der Einführung von Redundanz beruhen.

Inwieweit solche Maßnahmen im Hinblick auf die damit verbundenen H/W- und S/W-Komplexität und der Auswirkungen auf das Masse- und Energiebudget sinnvoll und u.U. notwendig sind, muß am Anfang der DPU-Entwurfsprozesses festgestellt werden. Hierzu müssen folgende Fragen geklärt werden:

- (1) Welche Häufigkeit von System-Zusammenbrüchen und anschließender automatischer Reinitialisierung, d.h. der Nichtverfügbarkeit des Systems für einige Sekunden oder Minuten, ist tolerierbar?

Für Instrumenten-DPUs wird in der Regel eine derartige Nichtverfügbarkeit in der Größenordnung von einmal je Monat bis einmal je Tag tolerierbar sein.

- (2) Welche Häufigkeit von fehlerhaften Messungen ist tolerierbar? Fehlerhafte Messungen werden - abgesehen von *Bitflips* im Datenspeicher - ebenfalls hervorgerufen durch eine Störung des Programmablaufs, die aber von selbst wieder in den regulären Programmablauf einmündet und daher nicht zu einem Systemzusammenbruch führt.

Ob und mit welcher Wahrscheinlichkeit ein SEU-bedingter *Bitflip* einer bestimmten Speicherstelle den Fehlerfall (1) oder (2) oder überhaupt keinen Fehler zur Folge hat, hängt in vielen Fällen von der installierten S/W und dem jeweiligen Betriebszustand ab, und ist daher schwierig, jedenfalls aufwendig zu analysieren. Es wird daher in der Regel die "*worst case*"-Annahme getroffen, daß jeder SEU in einer den Betriebsablauf H/W- oder S/W-mäßig beeinflussenden Speicherzelle zu einem Systemzusammenbruch mit nachfolgender automatischer Reinitialisierung führt.

- (3) Welche Häufigkeit von Fehlern in der an die Telemetrie abgegebenen Daten ist tolerierbar? Das dahinterstehende Modell ist, daß in der DPU fehlerfreie Daten für eine gewisse Zeit in einen Pufferspeicher gehalten und gegebenenfalls auch durch Kompressionsalgorithmen etc. verändert werden, bevor sie an die Telemetrie abgegeben werden. Als Maß benutzt man hier die Bitfehlerrate BER, die allerdings nicht berücksichtigt, daß ein Bitfehler kontextabhängig ganz verschiedenes Gewicht haben kann und es sich auch verschieden auswirkt, ob Bitfehler einzeln oder in Bündeln auftreten.

Eine in den 3 Fällen verbessernd wirkende Maßnahme ist der Schutz der gespeicherten Information (Programm, programmablaufwirksame Parameter, Daten) durch einen fehlerkorrigierenden Code (s. Abschn. 7.1). In der H/W verteilt angesiedelte programmablaufwirksame

Speicherstellen sollten minimiert werden und können durch "Tripelredundanz + *Voting*" geschützt werden.

Müssen Systemzusammenbrüche überhaupt, d.h. mit einer Wahrscheinlichkeit von 0.99... über die Missionszeit vermieden werden, sind Dreiprozessor-Systeme mit Resultat-*Voting* in Betracht zu ziehen [Sie82]. Die Realisierung ist allerdings bei heutigen Prozessoren, die wegen interner Pipeline- und *Cash*-Strukturen nicht streng sequentiell arbeiten, nicht trivial. Ein "außer Tritt" geratener Prozessor muß ohne oder mit einer noch tolerierbaren Betriebspause wieder initialisiert und synchronisiert werden. Bei Instrumenten-DPUs existieren in der Regel derart strenge Anforderungen nicht, d.h. seltene, kurzzeitige Systemzusammenbrüche können toleriert werden. Dreiprozessor-Systeme mit *Voting* kommen hier infolgedessen nicht zur Anwendung.

Die Erkennung eines Systemzusammenbruchs und die Reinitialisierung sind aber immer vorzusehen, schon allein wegen der in der Realität nicht völlig auszuschließenden Möglichkeit, daß ein nur unter bestimmten Bedingungen wirksamer, bei den Tests nicht gefundener S/W-Fehler zu einem Systemzusammenbruch führt. Das H/W-mäßige Gegenmittel ist der "*Watchdog Timer*" (s. Abschn. 7.2).

Latchup eines Schaltkreises führt ohne Gegenmaßnahmen in der Regel zu einem permanenten Systemzusammenbruch. Es sollten daher nur oder zumindest so weit wie möglich LU-immune Schaltkreise ( $LET_{LU,Thr} > 100 \text{ MeV cm}^2 \text{ mg}^{-1}$ ) eingesetzt werden. Die meisten heutigen COTS-*"Bulk-CMOS"*-Bausteine erfüllen wegen ihres epitaxialen Aufbaues (hochdotiertes Substrat unterhalb der niedrigdotierten Schicht mit den aktiven Strukturen) diese Anforderung, aber nicht alle RH-Bausteine. Testergebnisse sind mit Vorsicht zu bewerten, weil es wegen der beim Test limitierten Teilchenfluenzen schwierig ist, einen kleineren Wert der *LU-Crosssection* ( $\sigma_{LU} < 10^{-8} \text{ cm}^2$ ) aufzuspüren. Anders gesagt,  $\sigma_{LU} = 0$ , d.h. völlige LU-Immunität ist nicht nachzuweisen und es bleibt immer ein Restrisiko, das nur durch LU-Schutzschalter (s. Abschn. 7.3) vermieden werden kann.

## 7.1 Fehlerkorrektur im Speicher

Sind die Bits eines n-Bit-Speicherwortes auf n verschiedene Bausteine verteilt, dann sind sie bezüglich des Fehlermechanismus völlig unabhängig. In diesem Fall bietet die Speicherung in einem SEC-(= *Single Error Correcting*) Hamming-Code und periodischer Zugriff auf alle Speicherworte zwecks Korrektur der inzwischen eingetretenen Einzelbitfehler (*Scrubbing*) einen guten Schutz. Bei einer gegebenen SEU-Rate  $R_{SEU} [\text{bit}^{-1} \text{ d}^{-1}]$  wird ein Bit während der *Scrubbing*-Periode  $T_{Scrub}$  höchstens mit der Wahrscheinlichkeit  $q_B = R_{SEU} \cdot T_{Scrub}$  verfälscht. Höchstens bezieht sich darauf, daß alle Bit in ihren inversen Wert verfälscht werden. Bei Random-Bitmustern wäre daher noch der Faktor 1/2 anzubringen, wovon wir aber im Sinne einer "*worst case*"-Betrachtung abstandnehmen. Mit  $p_B = 1 - q_B$  ergibt sich die Wahrscheinlichkeit  $p_W$  dafür, daß innerhalb  $T_{Scrub}$  in einem Speicherwort mit  $N_D$  Datenbits und  $N_P$  Paritybits, also der Wortlänge  $N = N_D + N_P$  kein oder höchstens 1 (korrekturfähiger) Fehler aufgetreten ist, zu

$$p_{W,Scrub} = p_B^N + N \cdot p_B^{(N-1)} \cdot (1 - p_B) \quad (73)$$

und die Wahrscheinlichkeit dafür, daß am Ende der Speicherzeit  $T_{Stor} > T_{Scrub}$  der Wert fehlerfrei gelesen werden kann.

$$p_{W,Stor} = (p_{W,Scrub})^{\frac{T_{Stor}}{T_{Scrub}}} \quad (74)$$

Zur Veranschaulichung betrachten wir folgendes Rechenbeispiel:

$$\begin{aligned} R_{SEU} &= 1E-5 \text{ bit}^{-1} d^{-1}, \quad T_{Scrub} = 1h, \quad T_{Stor} = 24h \\ N_D &= 24 \text{ bit}, \quad N_p = 6 \text{ bit} \quad (\text{HAMMING SEC}) \\ q_B &= R_{SEU} \cdot T_{Scrub} = 1E-5 / 24 = 4.17E-7 \end{aligned}$$

$$\begin{aligned} p_{W,Scrub} &= (1 - q_B)^{30} + 30 \cdot (1 - q_B)^{29} \cdot q_B \quad (75) \\ &\approx 1 - 30 \cdot 29 \cdot q_B^2 \quad @ \quad q_B \ll 1 \\ p_{W,Stor} &\approx 1 - \frac{T_{Stor}}{T_{Scrub}} \cdot 30 \cdot 29 \cdot (R_{SEU} \cdot T_{Scrub})^2 = 1 - 30 \cdot 29 \cdot R_{SEU}^2 \cdot T_{Stor} \cdot T_{Scrub} \end{aligned}$$

Mit der Wahrscheinlichkeit  $1 - p_{W,Stor}$  sind also  $\geq 2$  Bit verfälscht, und zwar 2 Bit mit fast der Wahrscheinlichkeit  $1 - p_{W,Stor}$  und mehr als 2 Bit mit noch sehr viel kleinerer Wahrscheinlichkeit. Daraus ergibt sich die Bitfehlerrate zu

$$\begin{aligned} BER &\approx 2 \cdot 30 \cdot 29 \cdot R_{SEU}^2 \cdot T_{Stor} \cdot T_{Scrub} \\ &= 1740 \cdot 1E-10 d^{-2} \cdot 1d \cdot 1/24d = 7.25E-9 \end{aligned} \quad (76)$$

Für eine Zwischenspeicherung von Daten vor ihrer Übergabe an die Telemetrie ist diese Bitfehlerrate mehr als ausreichend. Ohne Fehlerkorrektur hätte sich ergeben

$$\begin{aligned} q_B &= R_{SEU} \cdot T_{Stor} = 1E-5 / 24 = 4.17E-7 \\ p_{W,Stor} &= (1 - q_B)^{24} \approx 1 - 24 \cdot R_{SEU} \cdot T_{Stor} \\ BER &\approx 1 - p_{W,Stor} = 24 \cdot R_{SEU} \cdot T_{Stor} \end{aligned} \quad (77)$$

Die Fehlerkorrektur liefert also für die Bitfehlerrate den Verbesserungsfaktor

$$G_{EC} = \frac{2 \cdot 30 \cdot 29}{24} \cdot R_{SEU} \cdot T_{Scrub} \quad (78)$$

und in unserem Beispiel

$$G_{EC} = 3.02E-5 \quad (79)$$

Um diesen Faktor müßte die SEU-Rate von RH-Bausteinen kleiner sein, um denselben BER-Wert zu erreichen. Der typische Unterschied liegt aber bei etwa 3 Größenordnungen, d.h. die strukturelle Maßnahme "Fehlerkorrektur" kann mehr leisten als die technologische Maßnahme "RH".

Die andere wichtige Speicheranwendung neben der Datenpufferung ist die Programmspeicherung. Zur Veranschaulichung nehmen wir an, daß ein Programm von 32k Worten in unserem Beispielsystem mit Fehlerkorrektur gehalten wird.

Die Wahrscheinlichkeit dafür, daß kein Programmwort fehlerhaft gelesen werden kann, beträgt

$$\begin{aligned} p_p &= \left(1 - 30 \cdot 29 \cdot R_{SEU}^2 \cdot T_{Stor} \cdot T_{Scrub}\right)^{32k} \\ &\approx 1 - 32k \cdot 30 \cdot 29 \cdot R_{SEU}^2 \cdot T_{Stor} \cdot T_{Scrub} \end{aligned} \quad (80)$$

und entsprechend, daß ein Programmwort fehlerhaft gelesen werden kann

$$q_p = 1 - p_p = 32k \cdot 30 \cdot 29 \cdot R_{SEU}^2 \cdot T_{Stor} \cdot T_{Scrub} \quad (81)$$

und mit z.B.  $T_{Stor} = 1$  a

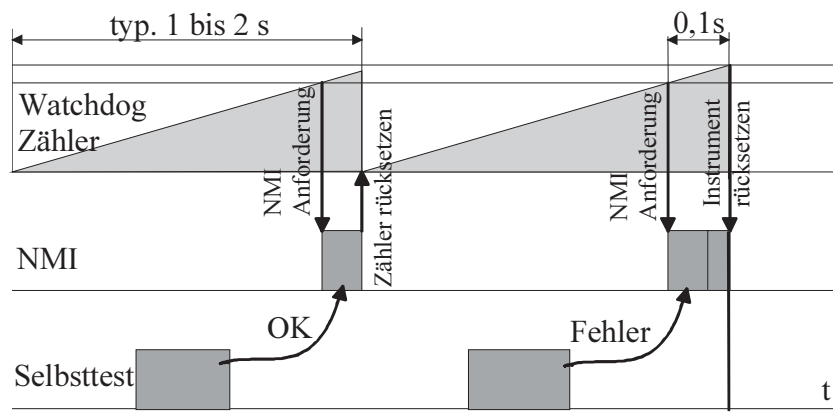
$$q_p = 32k \cdot 30 \cdot 29 \cdot 1E-10 \cdot 360 \cdot \frac{1}{24} = 4.28E-2 \quad (82)$$

Nehmen wir "worst case" an, daß zu jedem fehlerhaften Programmwort auch tatsächlich zugegriffen wird, so müssen wir ungünstigstenfalls mit einer Wahrscheinlichkeit von etwa 4 % für einen Systemabsturz innerhalb eines Jahres rechnen.

Leider ist Annahme "keine Fehlerkopplung zwischen den Bits eines Wortes" bei kleinen Speicherkapazitäten nicht zu erfüllen. Mit heutigen 64M x 1 DRAMs betrüge die Mindestnettokapazität in unserem Beispiel  $24 \times 64 \text{ Mbit} = 1.5 \text{ Gbit}$ . Kleinere Mindestkapazitäten erreicht man durch breiter organisierte Speicherbausteine, z.B. 16M4 oder 8M8. Bei deren Organisation ist aber eine Fehlerkopplung zwischen den in einen Baustein angesiedelten Bits desselben Wortes prinzipiell nicht ausgeschlossen. Abhilfe schafft hier der Übergang auf eine Reed-Solomon-Symbolfehlerkorrektur, die in einer zeitnahen IDA-Dissertation /Fic01/ ausführlich im Hinblick auf Weltraumpeicher behandelt und auch schon in einer Reihe von Speicherprojekten angewendet worden ist.

## 7.2 Watchdog Timer

Die *Watchdog* Funktion ist das Mittel gegen selten auftretende Systemzusammenbrüche. Der *Watchdog* setzt sich aus einem Zähler und einer Testfunktion zusammen. Der Zähler kann in einem programmierbaren *Gate Array* oder bei Standardbausteinen bereits im IC für den *Power-On-Reset* integriert sein. Die Testfunktionen sind in eine hochpriore, nicht maskierbare *Interruptroutine* (engl. *Non Maskable Interrupt*, kurz NMI) und eine niederpriore Selbsttestfunktion aufgeteilt (Bild 100).

Bild 100: Ablauf der *Watchdog* Funktion

Der *Watchdog* Zähler wird von einem Taktsignal betrieben, daß durch den Programmablauf nicht beeinflussbar ist. Bei einem definierten Zählerstand wird ein *Interrupt* Signal generiert und die NMI Routine im Prozessor ausgeführt. Diese Routine überprüft wichtige Systemfunktionen und Statusvariablen. Falls alle Tests erfolgreich abgeschlossen wurden, wird der *Watchdog*-Zähler am Ende der Routine zurückgesetzt. Die NMI-Routine hat die höchste Priorität. Alle anderen Funktionen werden unterbrochen und Messungen verzögert, d.h. die NMI Routine sollte möglichst kurz sein. Aufwendige Selbsttestfunktionen (z.B. Speicher, Interruptvektoren, Telemetriesignale, Zeitfunktionen) können mit niedriger Priorität im Hintergrund ausgeführt werden. Das Ergebnis der Selbsttestfunktionen wird in einer Statusvariablen an die NMI-Routine übergeben. Im Falle eines Fehlers, wird der *Watchdog*-Zähler nicht zurückgesetzt. Der Programmablauf wird in der NMI-Routine gestoppt. Ein *Instrument Reset* wird vom *Watchdog* Zähler beim Erreichen des Grenzwertes ausgelöst, und der Instrumentenrechner wird neu gestartet. Der Abstand zwischen zwei Selbsttests ist von der maximal tolerierbaren Ausfallzeit abhängig. Typisch sind 1 bis 2 Sekunden. Das gewählte Intervall ist asynchron zu allen anderen zyklischen Ereignissen (z.B. Messungen, Telemetrie). Zwischen dem Start der NMI-Routine bis zum Auslösen des *Instrument Resets* werden typischerweise Zeiten von 0,1 Sekunden realisiert.

### 7.3 *Latchup*-Schutzschalter

*Single Event Latchups* (SEL) können zur thermischen Zerstörung des betroffenen Bausteins und dadurch zum Systemausfall führen. Daher sind Schutzschaltungen erforderlich. Ein Beispiel für einen sehr einfachen *Latchup*-Schutzschalter zeigt Bild 101:

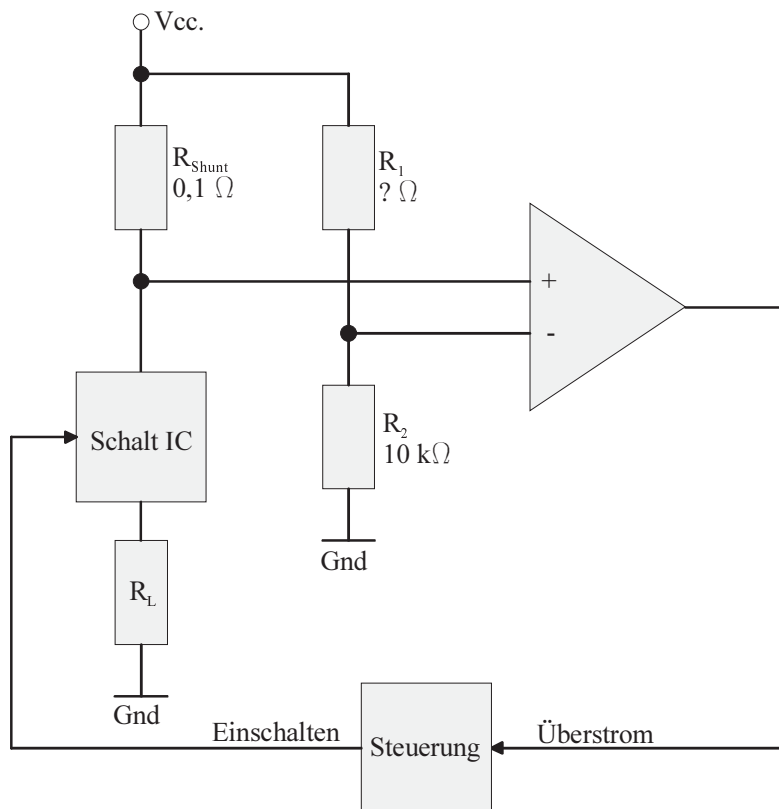


Bild 101: LU-Schutzschalter

Über den Spannungsabfall am Widerstand  $R_{\text{Shunt}}$  wird der Strom gemessen. Dieser Widerstand sollte möglichst klein sein, damit seine Verlustleistung gering ist. Andererseits muß der Spannungsabfall für die Strommessung ausreichen. Ein typischer Wert ist  $0,1 \Omega$ . Mit einem Spannungsteiler ( $R_1$ ,  $R_2$ ) wird die Schaltschwelle eingestellt und vom Komparator überwacht. Im Falle eines Überstromes wird über eine Steuerung mit einem Schalt-IC die Spannungsversorgung der Schaltung ( $R_L$ ) unterbrochen. Die Abschaltung muß in weniger als einer Millisekunde erfolgen, um einen SEL zu löschen, bevor der Baustein thermisch beschädigt werden kann. Nach ca. 100 Millisekunden kann der Schalter wieder eingeschaltet werden. Bei Schaltungen mit 5 V Versorgung kann das Schalt-IC durch einen Feldeffekttransistor (FET) ersetzt werden. Bei kleineren Spannungen (z.B. 3,3 V) ist der Einsatz von Schalt-ICs mit eingebauter Ladungspumpe erforderlich, um Hilfsspannungen zur FET-Ansteuerung zu vermeiden. Die LU-Detektor Steuerung für ein Prozessorsystem muß autark erfolgen und ist dann als Flip-Flop realisiert. Bei Detektoren, die Teilbereiche einer Schaltung schützen, kann die Steuerung durch ein Prozessorsystem unterstützt werden. Der LU-Detektor muß aus Bauteilen bestehen, die SEL immun sind. Die Wahl der Schaltschwelle ist kritisch. Sie muß niedrig genug sein, um jeden SEL zu erkennen, aber hoch genug sein, um eine Fehlabschaltung durch dynamische Stromspitzen zu vermeiden. Dabei ist die mit zunehmender Strahlungs dosis höhere Stromaufnahme der Bausteine zu berücksichtigen. Zwei Schaltschwellen bieten besseren Schutz.

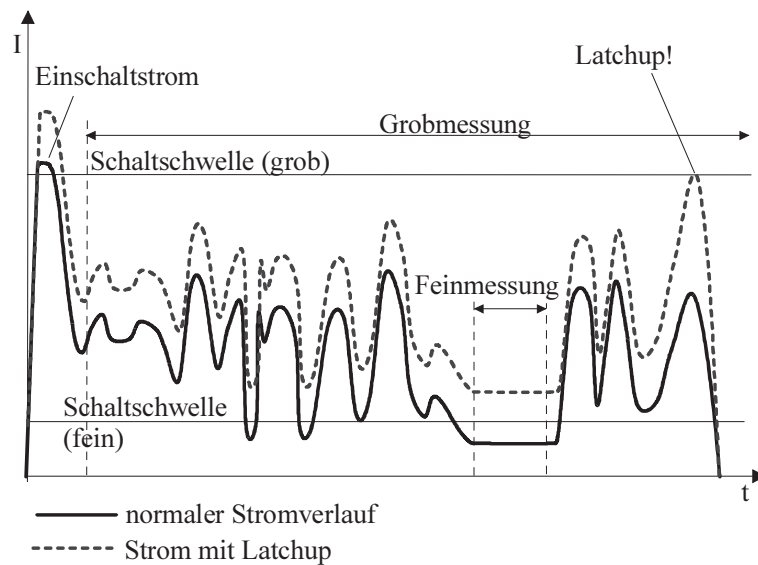


Bild 102: Stromverlauf und Meßbereich der LU-Detektoren

Beim Einschalten kann ein hoher Einschaltstrom auftreten. Dieser Einschaltstrom kann die hohe Schaltschwelle für die Grobmessungen überschreiten. Daher wird die Grobmessung erst einige Millisekunden nach dem Einschalten aktiviert. Die Schaltschwelle für die Grobmessung beträgt etwa das 1,5- bis zweifache des Maximalstroms der Schaltung. Bei vielen SEL steigt die Stromaufnahme sehr schnell an. Beim Überschreiten der Grobschwelle wird die Spannungsversorgung unterbrochen. Bei einigen Latchups reicht die zusätzliche Stromaufnahme (gestrichelte Linie) nicht aus, um die grobe Schaltschwelle zu erreichen. Eine zweite, niedrige Schaltschwelle wird für Feinmessungen aktiviert. Während der Feinmessung wird das System angehalten oder in der Taktfrequenz reduziert, damit keine dynamischen Stromspitzen auftreten. Die Schaltschwelle der Feinmessung beträgt ca. das 1,5 - 2-fache des Ruhestroms. Die Feinmessung wird ca. alle 100 Millisekunden bis 1 Sekunde durchgeführt. Kleinere Latchup-Ströme können erkannt werden. Mit zunehmender Strahlungs dosis steigt der Ruhestrom an. Eventuell muß die Feinmessung gegen Missionsende deaktiviert werden, um Fehlauflösungen zu vermeiden. Durch die LU-Detektoren vergrößert sich der Schaltungsaufwand nur um wenige Prozent. Für viele Instrumentenrechner ist es sinnvoll, einzelne Funktionsgruppen (z.B. Prozessor, DRAM Speicher, Interfaces) separate LU-Detektoren zuzuordnen. Im Falle eines SEL wird nur eine Gruppe (z.B. der Prozessor) aus- und wieder eingeschaltet. Die Daten in flüchtigen Speichern (SRAM, DRAM) bleiben erhalten. Das Schalten der Versorgungsspannung einzelner Funktionsgruppen muß im Schaltungsdesign berücksichtigt werden. Zwei Betriebsfälle sind zu beachten:

1. Eine abgeschaltete Funktionsgruppe B wird von der Gruppe A durch eine Signalleitung über die Eingangsschutzdioden rückgespeist. Ein Latchup im Bereich B bleibt bestehen bis die Signalleitung ausgeschaltet wird (Bild 103).
2. Im umgekehrten Fall wird die Funktionsgruppe A abgeschaltet und die Gruppe B wird weiterhin mit Spannung versorgt. Die Signalleitung wird spannungslos. Bei invertierten Eingangssignalen (z.B. */Write Enable* bei Speichern) können ungewünschte Betriebszustände auftreten, die durch zwischengeschaltete Inverter vermieden werden müssen (Bild 104).



Inverter aus Bausteinfamilien ohne Eingangsschutzdioden (z.B. CD4000) schützen auch im Betriebsfall 1.

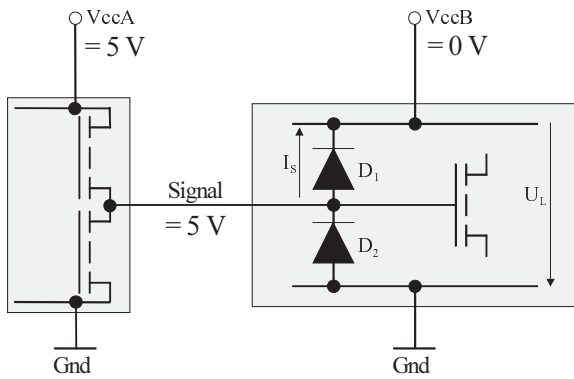


Bild 103: Fall 1: Parasitäre Speisung über Schutzdioden

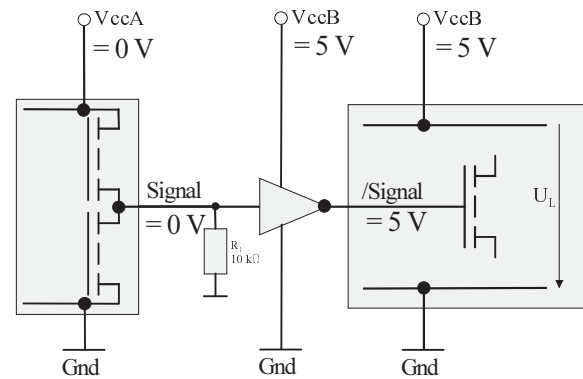


Bild 104: Fall 2: Schutz von invertierten Steuersignalen

## 8 IDA- $\mu$ DPU

### 8.1 Form der Box

Bei COTS-Bausteinen ist eine Schirmung von mehreren Millimetern Aluminium erforderlich. Damit liefert das Gehäuse einen Großteil der Gesamtmasse einer DPU. Die planare Form der Bausteine begünstigt ihre Anordnung auf einem Platinenstapel und als Folge davon eine quaderförmige Box. Der Kubus hat auf das Volumen bezogen die kleinste Oberfläche und damit die geringste Schirmungsmasse. Das Bild 105 zeigt das Verhältnis von Gehäusevolumen  $V_G$  zu Elektronikvolumen  $V_E$  für einige Kuben in Abhängigkeit von der Kantenlänge  $a$  und der Schirmungsdicke  $d$ . Durch die Miniaturisierung nimmt der Anteil des Gehäuses am Gesamtvolumen ständig zu und wirkt der Miniaturisierung entgegen. Es ist also sinnvoller, mehr Funktionen in ein miniaturisiertes System zu integrieren, als viele individuelle Systeme einzeln zu verkleinern.

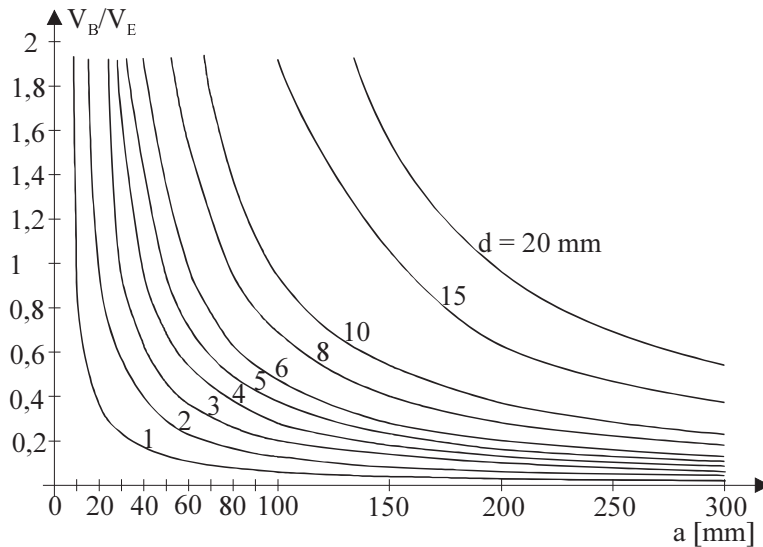


Bild 105: Verhältnis vom Gehäusevolumen zu Elektronikvolumen für einige Gehäusedicken  $d$  über die Kantenlänge eines Kubus  $a$

Die minimale Kantenlänge  $a_{\min}$  richtet sich nach dem größten Bausteinen, typischerweise Prozessoren und *Gate-Arrays*. Sie ergibt sich zu:

$$a_{\min} = l_B + 2 \cdot l_G + 2 \cdot r + 2 \cdot d \quad (83)$$

Dabei ist  $l_B$  die Länge des größten Bausteins,  $l_G$  sein Abstand zur Gehäusewand (0,5 mm),  $r$  der minimale Biegeradius der Platine (4 mm) und  $d$  die Dicke der Schirmung (6 mm). Bei der Verwendung eines FPGA-Bausteins im TQFP176 Gehäuse mit 26 mm Kantenlänge ergibt  $a_{\min} = 47$  mm.

Aus konstruktiven Gründen muß in der Regel etwas von der optimalen Form abgewichen werden (Bild 107). Typische Gründe sind:

1. Beengte Raumverhältnisse auf der Sonde.
2. Ein quadratischer Leiterplattengrundriß ist für die Platzierung häufig nicht optimal. Durch nichtquadratische Leiterplatten kann das Volumen besser ausgenutzt werden (Bild 106).
3. Verwendung von schon existierenden Leiterplatten aus anderen DPU-Projekten.

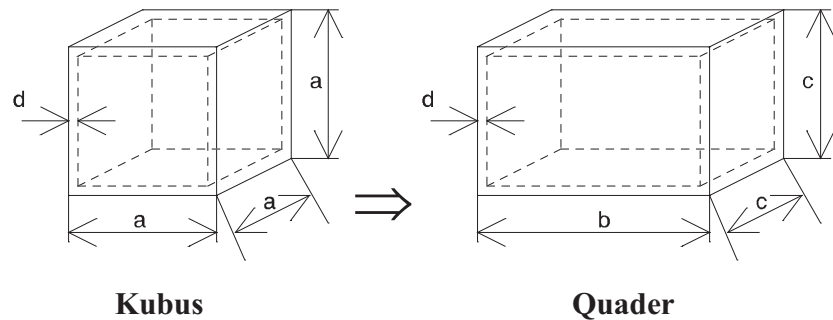
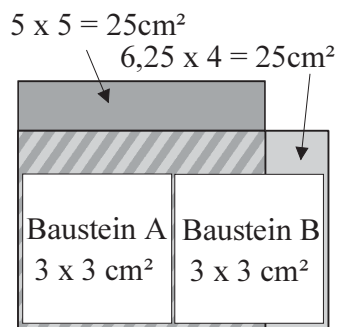


Bild 106: optimierte Bausteinanordnung, durch rechteckige Leiterplattenfläche

Bild 107: Einfluß der Gehäuseform, Definition der Parameter

Masse und Volumen werden durch die Abweichung von der optimalen Kubusform vergrößert, und zwar abhängig vom Verhältnis zwischen den Kantenlängen  $b/c$  und der normierten Gehäusedicke  $d/c$ .

Das Volumen eines Quaders  $V_Q$  erhöht sich gegenüber dem eines Kubus  $V_K$  um das Verhältnis:

$$\frac{V_Q}{V_K} = \frac{c^2 \cdot b}{a^3} \quad (84)$$

Das Volumen der Elektronik bleibe unverändert:

$$V_{EQ} = V_{EK} = V_E \Rightarrow (b - 2d) \cdot (c - 2d)^2 = (a - 2d)^3 \quad (85)$$

Aus Gleichungen (84) und (85) ergibt sich für  $V_Q/V_K = f(b/c, d/c)$ :

$$\frac{V_Q}{V_K} = \frac{\frac{b}{c}}{\left( \sqrt[3]{\left( \frac{b}{c} - \frac{2d}{c} \right) \cdot \left( 1 - \frac{2d}{c} \right)^2 + \frac{2d}{c}} \right)^3} \quad (86)$$

Bild 108 zeigt eine Kurvenschar für den relativen Zuwachs des Schirmungsvolumens  $(V_Q - V_E)/(V_K - V_E)$  in Abhängigkeit von  $b/c$  und  $d/c$ :

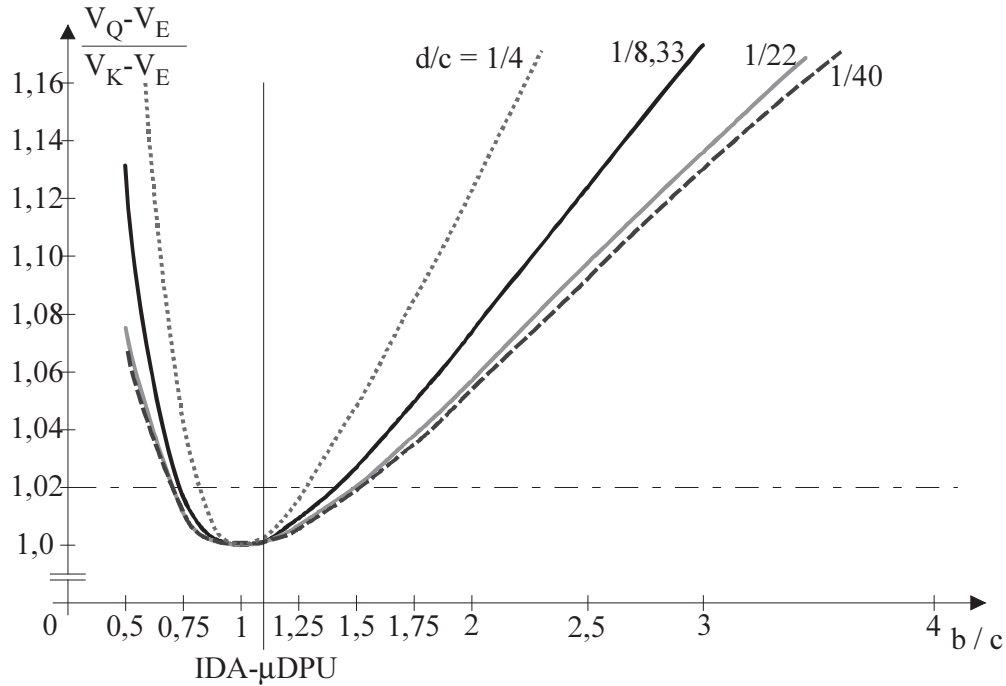


Bild 108: Volumenzuwachs der Box durch Variation des Kantenlängenverhältnisses

Für einen tolerierbaren Volumenzuwachs von 2 % kann die Kantenlänge um einen Faktor zwischen 0,75 und 1,5 variiert werden. Bei der IDA- $\mu$ DPU mit  $V_E = 62,4 \text{ cm}^3$  stellt sich dies wie folgt dar: Bei einer Schirmungsdicke von  $d = 6 \text{ mm}$  ergeben sich gegenüber  $a = 51,7 \text{ mm}$  die Außenmaße:  $b = 55,2 \text{ mm}$ ,  $c = 50 \text{ mm}$ , d.h.  $b/c \approx 1,1$ .

Wie Tabelle 13 zeigt, ist der Massezuwachs durch die Abweichung vom Kubus noch praktisch vernachlässigbar. Dies gilt umso mehr bei kleineren Schirmungsdicken. Es ist also nicht sinnvoll, das Optimum Kubus mit letzter Konsequenz anzustreben.

Größen	Optimum: Kubus	$\mu$ DPU
Volumen, Elektronik [ $\text{cm}^3$ ]	$V_E = 3,97^3 = 62,4$	$V_E = 3,8^2 \cdot 4,32 = 62,4$
$b/c$	1	1,1
$d/c$	1/8,62	1/8,33
Volumen, Gehäuse [ $\text{cm}^3$ ]	75,49	75,62
Masse, Al - Gehäuse [g]	203	204
Volumen, gesamt [ $\text{cm}^3$ ]	137,87	138

Tabelle 13: Abweichung der Masse und Volumen der  $\mu$ DPU mit  $d = 6 \text{ mm}$  vom Optimum

## 8.2 Anordnung der Bausteine

Für die Anordnung der Bausteine wurden die folgenden Regeln angewandt (Bild 109):

1. Von jedem Gehäusotyp wurden jeweils die vom Hersteller angegebenen Maximalmaße des Toleranzbereichs verwendet.
2. Die Anschlußflächen auf der Leiterplatte (engl. *Footprint*) sind mindestens 0,1 mm größer als das Maximalmaß der Bausteine, damit der Lötzinnverlauf an den Anschlußflächen und damit die Qualität der Lötstelle begutachtet werden kann.
3. Der Minimalabstand zwischen zwei Bausteinen, einschließlich *Footprint* beträgt 0,2 mm und ist für Handbestückung ausreichend. Bestückungsautomaten benötigen einen Abstand von 0,3 bis 0,4 mm.
4. Der Minimalabstand zwischen Baustein und Gehäusewand wurde auf 0,5 mm festgelegt. Dieser Abstand wurde bewußt etwas größer gewählt, um ausreichend Toleranzen für den mechanischen Zusammenbau zu erhalten. Wird dieses Maß unterschritten, kann ein Überzug aus *Conformal Coating* die Montage erschweren.
5. Der Minimalabstand zwischen zwei bestückten quadratischen Platinen mit der Kantenlänge von 38 mm wurde auf 1,0 mm festgelegt. Dieser Abstand berücksichtigt die durch Vibrationen beim Raketenstart hervorgerufenen Auslenkungen der Leiterplatten. Durch einen Überzug aus *Conformal Coating* wird der Abstand noch geringfügig verringert.

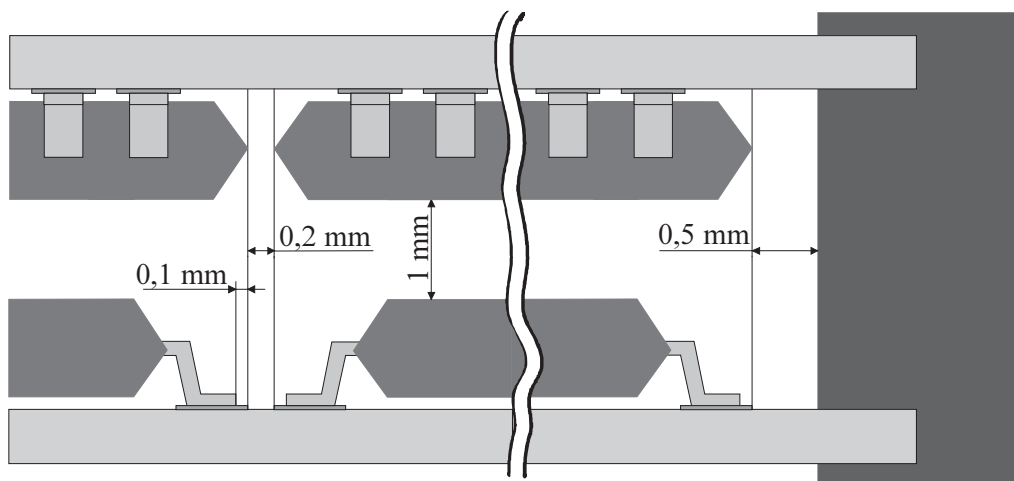


Bild 109: Bausteinabstand

## 8.3 Implementierung der IDA- $\mu$ DPU

Zwecks möglichst realistischen Vergleiches wurde die auf COTS-Bausteinen basierende IDA- $\mu$ DPU als Referenzmodell zur ROSETTA-OSIRIS-DPU entwickelt. ROSETTA-OSIRIS ist ein Kamerainstrument und erfordert eine DPU mit einer für Weltrauminstrumente mittleren bis hohen Komplexität und Rechenleistung. DIE OSIRIS-DPU basiert auf RH-Bausteinen mit Ausnahme ihres Massenspeichers aus COTS-Bausteinen. Die  $\mu$ DPU hat eine vergleichbare Funktionalität. Die *Interfaces* sind nahezu identisch und sie kann mit dem ROSETTA-OSIRIS-Testgerät (engl. *Ground Support Equipment*, GSE) betrieben werden.

### 8.3.1 Architektur

Bild 110 zeigt die Architektur der IDA- $\mu$ DPU. Die DPU enthält zwei identische Prozessorsysteme A und B, sowie einen gemeinsam genutzten Kernbereich (*Common Core*) mit den Sensorinterfaces: *Near Angular Camera* (NAC), *Wide Angular Camera* (WAC), *Mechanism Controller Board* (MCB), sowie den Interfaces zu den S/C-Subsystemen Telecommand (TCS) und Spannungsversorgung (POW). Alle Bausteine sind durch eine Schutzschaltung gegen Latch-Up geschützt.

Die beiden Prozessorsysteme können in folgenden Betriebsarten eingesetzt werden: (1) nur ein System ist eingeschaltet (kalte Redundanz), (2) beide System sind eingeschaltet, aber nur eins ist aktiv (heiße Redundanz), (3) beide System sind aktiv und bearbeiten die Daten von jeweils nur einem Kamerasender (Parallelbetrieb) oder (4) im *Master-Slave* Prinzip: ein Prozessorsystem kontrolliert das Instrument, während das zweite System ausschließlich rechenintensive Operationen (z.B. Datenkompression) ausführt. Beide Systeme können über den *Common Core* Daten austauschen.

Die Prozessorsysteme basieren auf dem Motorola DSP 56302 (Nachfolgemodell: 56309). Die Auswahl ist ein Kompromiß zwischen (i) Leistungsaufnahme und deren Anpaßbarkeit an schwankende Rechenleistung und (ii) Bausteinabmessungen. Der ausgewählte Signalprozessor ist ein 24 bit Prozessor mit Fix-Point-Arithmetik. Dieser Prozessor ist statisch aufgebaut und kann mit einer eingebauten PLL-Schaltung im Frequenzbereich von 0-100 MHz betrieben werden. Da die Leistungsaufnahme mit der Taktfrequenz ansteigt, kann in Missionsphasen mit geringerer Rechenleistung die Leistungsaufnahme durch Reduktion der Taktfrequenz angepaßt werden. Fließkommaarithmetik ist für viele Weltraumanwendungen nicht erforderlich. Sie hat den Nachteil, daß diese Prozessoren in der Regel dynamische Strukturen beinhalten, die eine minimale Taktfrequenz von einigen MHz erfordern. Ein 24 bit System liefert bei kleinen Systemen eine sehr gute Ausnutzung der Speicherbausteine. Eine Hamming-Code Einzelbitfehler-Korrektur und Doppelbitfehler-Erkennung benötigt 6 Paritätsbit. Die resultierende Wortbreite kann mit zwei 16 bit Bausteinen erreicht werden. Alle parallel angeschlossenen Speicherbausteine sind durch die Hamming-Fehlerkorrektur geschützt. Die Fehlerkorrektur ist in einem Actel 14V60 Gate-Array implementiert. Die Funktion über einen weiten Frequenzbereich und die hohen Gatterlaufzeiten des verwendet Gate-Arrays erfordern beim Schreiben 5 und beim Lesen 7 Wait-States und verlängern dadurch die externen Speicherzugriffe erheblich. Mit neuen

Actel-Familien kann die Zugriffszeit halbiert werden. Die Prozessorsysteme haben jeweils ein 384 kByte PROM für Programm Code, 768 kByte SRAM für Programm und Daten sowie einen 144 MByte DRAM Massenspeicher für wissenschaftliche Daten. Der Massenspeicher ist in 3 Bänke zu je 48 MByte aufgeteilt. Ein serieller FLASH-Baustein (4 Mbit) dient zur nichtflüchtigen Zwischenspeicherung von Statusdaten und Programmiererweiterungen und kann durch eine Reed-Solomon Fehlerkorrektur gegen SEUs geschützt werden. Die drei Bänke des Massenspeichers, der FLASH-Speicher sowie das restliche Prozessorsystem sind jeweils mit einer separaten Latch-Up Schutzschaltung versehen (Abschnitt 7.3), so daß im sehr unwahrscheinlichen Fall eines Latch-Ups kein oder nur ein begrenzter Datenverlust im Massenspeicher in Kauf zu nehmen ist.

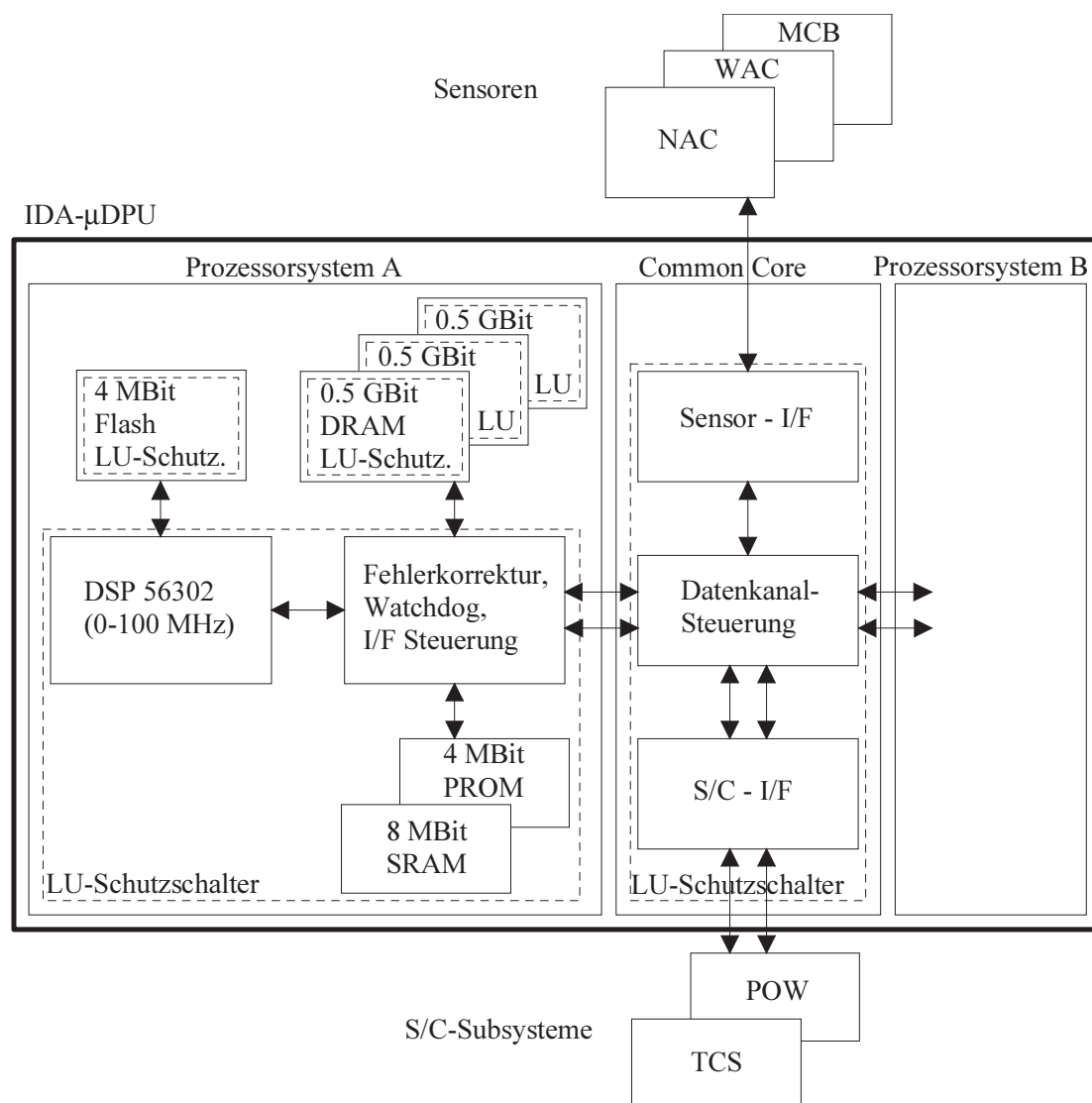


Bild 110: Architektur der IDA- $\mu$ DPU

### 8.3.2 Aufbau

Die  $\mu$ DPU wurde ausschließlich mit COTS-Bausteinen aufgebaut. Es wurde jeweils die kleinste Bauform mit flexiblen Anschlüssen (z.B. TSSOP, TSOP, SOP, TQFP) gewählt (Abschnitt 6.1.3). Bausteine mit starren Anschlüssen (BGA) haben kleinere Abmessungen, aber auch die Nachteile, daß sie (i) schlechter von Hand zu löten, (ii) die Lötstellen nicht visuell zu überprüfen und (iii) bei der Inbetriebnahme die Bausteinanschlüsse nicht als Testpunkte geeignet sind. Für den Massenspeicher wurden jeweils vier Speicherbausteine gestapelt und mit flexiblen Leiterplatten verbunden. (Abschnitt 6.1.6). Bei den passiven Bausteinen wurde ebenfalls die jeweils kleinste Bauform eingesetzt. Die Liste der verwendeten Bausteine ist im Anhang A3 angegeben.

Für die  $\mu$ DPU wurde der Aufbau auf eine einzelne Starrflex-Platine in Standardtechnologie gewählt. Mit dieser Bauform können Masse und Volumen sehr weit reduziert werden. Alternative Bauformen werden im Abschnitt 8.4 diskutiert.

Die Bausteine wurden auf 5 starre Bereiche einer Starrflex-Platine mit jeweils  $38 \cdot 38 \text{ mm}^2$  Bestückungsfläche angeordnet (Bild 111). Jeder Bereich ist doppelseitig bestückt, wobei die Prozessorsysteme A und B mit den Speichern A und B spiegelbildlich sind, d.h. die Bausteinanordnung auf der Rückseite von Prozessorsystem B ist dieselbe wie auf der Vorderseite von Prozessorsystem A und umgekehrt. Auf der Rückseite vom Sensor und S/C-Interface befinden sich hauptsächlich Treiberbausteine. Auf zwei kleinen Bereichen wurden die Stecker für die *Interfaces* zu den Sensoren und Sonde montiert.

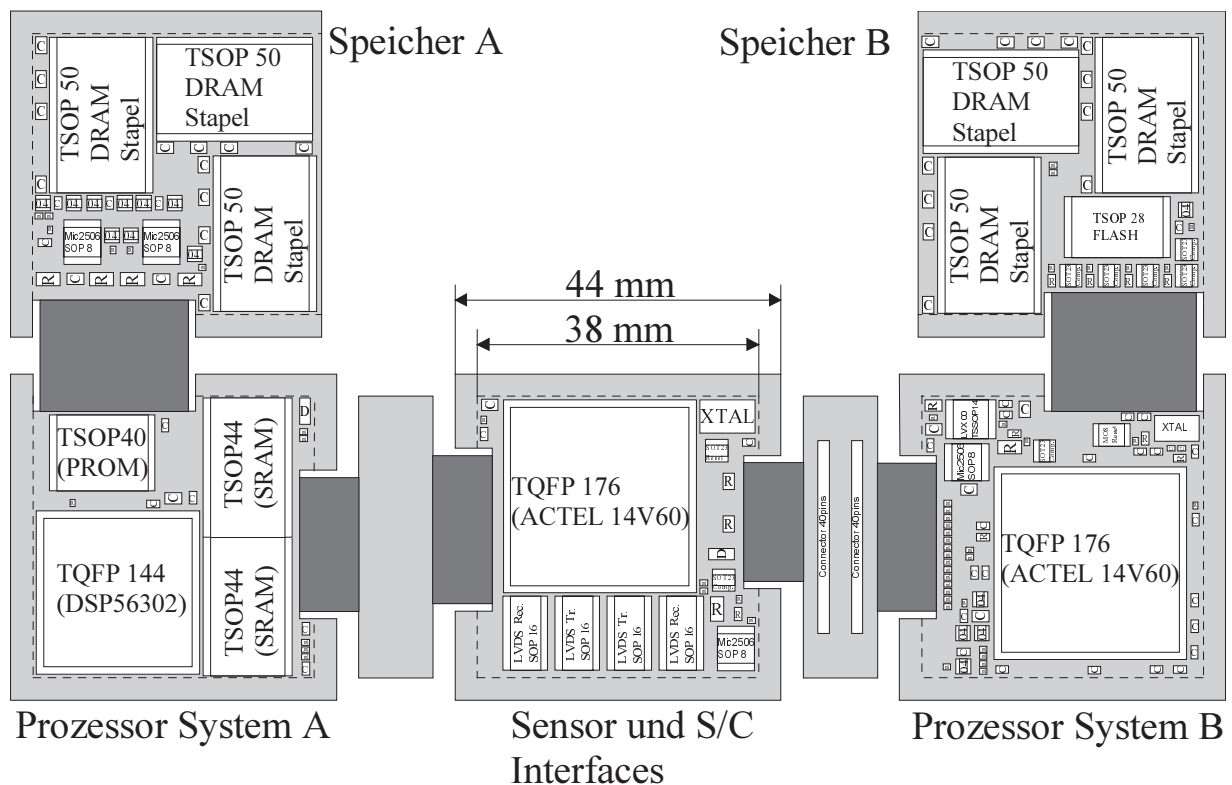


Bild 111: Starrflex-Platine der  $\mu$ DPU, flexible Bereiche sind dunkel hinterlegt.



Auf der starren Bestückungsfläche von  $79,8 \text{ cm}^2$  befinden sich 3020 Lötflächen (englisch: *Pads*) für die Bausteine. Daraus ergibt sich eine Anschlußdichte von ca.  $38 \text{ pads/cm}^2$ . Ab einer Anschlußdichte von  $20 \text{ pads/cm}^2$  ist im Regelfall die Microviatechnologie erforderlich. Durch geschickte Bausteinanordnung, optimierte Pinbelegung bei Gate Arrays und Speicherbausteinen konnte die Schaltung aber noch in Standardtechnologie mit *Blind Vias* realisiert werden (Abschnitt 6.2.2). Die Platine enthält 1409 Durchkontaktierungen und 641 *Blind Vias*. Bei Verzicht auf *Blind Vias* hätte die Platinenfläche um 20% vergrößert werden müssen. Die 8-lagige Starrflex-Platine ist 1,4 mm dick und enthält 3 Doppellagen in den flexiblen Bereichen. *Blind Vias* führen von den Außenlagen in die benachbarten zwei Innenlagen. Die Strukturbreite beträgt  $125 \mu\text{m}$  bei Signalleitungen und  $250 \mu\text{m}$  bei Versorgungsspannung und Masse. Die Durchkontaktierungen haben einen Ringdurchmesser von 0,7 mm mit einer Bohrung von 0,3 mm. Die *Blind Vias* haben bei gleichem Ringdurchmesser eine 0,4 mm Bohrung. Die Platine befindet sich an der Technologiegrenze. Teilbereiche der Platine wurden versuchsweise mit den Designregeln der Microviatechnologie (Strukturbreite  $80 \mu\text{m}$ , Ringdurchmesser der Vias  $300 \mu\text{m}$ ) erstellt. Dabei läßt sich auch die Lagenzahl auf 6 reduzieren.

Die geklappte Platine bildet einen Platinenstapel mit einem Volumen von  $3,8 \cdot 3,8 \cdot 4,32 \text{ mm}^3$  (Bild 112). Von oben nach unten sind Prozessor System A, Speicher A, *Common Core*, Speicher B und Prozessorsystem B angeordnet. Der nur teilweise redundante *Common Core* wurde in der Mitte angeordnet, weil dort mit der geringsten Strahlungs-dosis zu rechnen ist (Abschnitt 4.3, Bild 43). Zwischen den Prozessor-Systemen und dem *Common Core* wurden die Speicherplatinen mit den gestapelten Bausteinen angeordnet, damit der minimale Biegeradius 4 mm nicht unterschreitet (Abschnitt 6.2.2, Tabelle 11). Bei der Verwendung von Platinen in Microvia-Technologie (Abschnitt 6.2.4) können durch dünnere Platinen mit geringeren Biegeradien die Aussparungen reduziert werden. Die als Beispiel implementierte IDA- $\mu$ DPU (Bild 112) hat eine schirmende Gehäusedicke von meistens 6 mm. Im Biegebereich der Platine wurde das Gehäuse um 2 mm geschwächt. Damit ist die Bauweise für viele Missionen geeignet und für die meisten schon überdimensioniert (Tabelle 14). Die Masse von ca. 270 g verteilt sich auf die Bausteine (39,7 g), Platine (26,4 g) und Gehäuse (204 g). Mit *Conformal Coating* kommen noch 6 g hinzu. Eine detaillierte Verteilung der Masse ist im Anhang A4 angegeben.

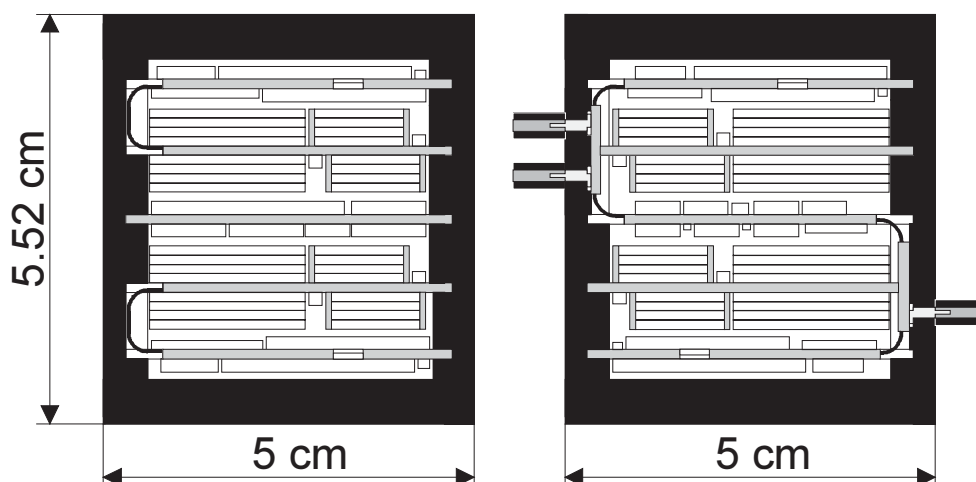


Bild 112: Schnitt durch die IDA- $\mu$ DPU

Mit missionspezifisch angepaßter Schirmungsdicke reduzieren sich die Masse und Volumen der  $\mu$ DPU nach Tabelle 14.

Mission	Rosetta, 5 Jahre GEO	Envisat	Cluster	Solar Probe, 5 Jahre Sonnen- synchr. Orbit	
Schirmung	2 mm Al	3 mm Al	4 mm Al	5 mm Al	6 mm Al
Masse Box	56.3 g	88.7 g	124 g	162.5 g	203 g
Masse Elektronik	66.3 g	66.3 g	66.3 g	66.3 g	66.3 g
Masse	122.6 g	155 g	190.3 g	228.8 g	269.3 g
Volumen	$4.2 \cdot 4.2 \cdot 4.72$ = 83.3 cm <sup>3</sup>	$4.4 \cdot 4.4 \cdot 4.92$ = 95.3 cm <sup>3</sup>	$4.6 \cdot 4.6 \cdot 5.12$ = 108.3 cm <sup>3</sup>	$4.8 \cdot 4.8 \cdot 5.32$ = 122.6 cm <sup>3</sup>	$5 \cdot 5 \cdot 5.52$ = 138 cm <sup>3</sup>

Tabelle 14: Masse und Volumen der  $\mu$ DPU für missionsangepaßte Aluminiumschirmungen

Im Abschnitt 5.2 wurde gezeigt, daß durch eine Schirmung mit Polyethylen anstatt Aluminium bei einem Verhältnis von Gehäusedicke zu Kantenlänge  $d_b/a$  von weniger als 0,1 Masse eingespart werden kann. Da aus EMV-Gründen auf ein metallenes Gehäuse nicht verzichtet werden kann, wurden die  $\mu$ DPU-Masse für eine *Composite*-Schirmung aus einer inneren Schale aus 1,5 mm Aluminium und einer äußeren Beplankung aus Polyethylen errechnet (Tabelle 15). Die Massereduktion bei  $d_b/a < 1$  ist nur minimal und rechtfertigt kaum den Aufwand.

Schirmung	2 mm Al	3 mm Al	4 mm Al	5 mm Al	6 mm Al
Innere Schirmung	1.5 mm Al	1.5 mm Al	1.5 mm Al	1.5 mm Al	1.5 mm Al
Äußere Schirmung	1.11 mm PE	3.34 mm PE	5.57 mm PE	7.8 mm PE	10.02 mm PE
Masse Al-Schirmung	41.2 g	41.2 g	41.2 g	41.2 g	41.2 g
Masse PE-Schirmung	12.5 g	41.7 g	76.6 g	117.9 g	165.7 g
Masse Elektronik	66.3 g	66.3 g	66.3 g	66.3 g	66.3 g
Masse	120 g	149.2 g	184.1 g	225.4 g	273.1 g
Masseinsparung	2.6 g	5.8 g	9.2 g	3.4 g	- 3.8 g
Volumen	$4.32^2 \cdot 4.84$ = 90.4 cm <sup>3</sup>	$4.77^2 \cdot 5.29$ = 120.2 cm <sup>3</sup>	$5.21^2 \cdot 5.73$ = 155.9 cm <sup>3</sup>	$5.66^2 \cdot 6.18$ = 198 cm <sup>3</sup>	$6.1^2 \cdot 6.62$ = 246.8 cm <sup>3</sup>

Tabelle 15: Masse und Volumen der  $\mu$ DPU für *Composite*-Schirmungen aus PE und Al

### 8.3.3 Die IDA- $\mu$ DPU im Vergleich

Wieviel Masse, Volumen und Verlustleistung kann durch die  $\mu$ DPU-Bauweise mit COTS-SMD-Bausteinen gegenüber der traditionellen Bauweise mit keramisch verpackten Bausteinen eingespart werden? Als Vergleichsobjekt benutzen wir zwei aktuelle ROSETTA-DPUs, die beide in traditioneller Bauweise mit hermetisch gekapselten Bausteinen bestückt sind, nämlich (1) der ROSETTA-OSIRIS-DPU und (2) die ROSETTA-ROSINA-DPU. Der Massenspeicher der OSIRIS-DPU ist allerdings, weil sonst massenmäßig nicht im vorgegebenen Budget realisierbar, mit COTS-DRAMs bestückt. Von der Funktionalität her ist die IDA- $\mu$ DPU den beiden Vergleichs-DPUs mindestens ebenbürtig.

Den DPU-Vergleich zeigt die Tabelle 16. Für die ROSETTA-Mission ist eine Schirmungsdicke von 2 mm Al ausreichend.

DPU	ROSETTA-OSIRIS	ROSETTA-ROSINA	$\mu$ DPU
Bausteine	herm. RH + COTS	hermetisch	SMD-COTS
Speicher			
PROM	8 kByte *	8 kByte	2·384 kByte
EEPROM/FLASH	1,5 MByte *	1,5 MByte *	2·384 kByte
Programm-SRAM	1,5 MByte *	3 MByte	2·768 kByte
Daten-SRAM	16 MByte	8 MByte	in Programm SRAM
DRAM	512 MByte	-	2·144 MByte
Leistungsaufnahme bei max. Rechenleistung	6 W ** @ 20 MHz	6 W @ 20 MHz	4 W @ 2·100 MHz
Leistungsaufnahme bei geringerer Rechenleistung	3 W ** @ 6 MHz	2.8 W @ 6 MHz	0.3 W @ 1 MHz
MIPS	20***	10	2·100***, 2·16
Masse der Platinen	DIB: 320 g 2 x DSP: 390 g 2 x Exx: 300 g MMB: 500 g	Power: 180 g SIF: 170 g 2 x DSP: 200 g 2 x Mem: 150 g 1 S/C I/F: 120 g Motherb.: 180 g	Platine: 26.4 g Bausteine: 39.7 g
Masse der Elektronik	2200 g	1350 g	66.3 g
Masse der Box	1250 g	800 g	53.6 g @ 2 mm Al
Masse Total	3450 g	2150 g	122.6 g
Masseverhältnis $m_{DPU}/m_{\mu DPU}$	28,1	17,5	1
Fläche / Platine	$19 \cdot 19 = 361 \text{ cm}^2$	$11,8 \cdot 12,2 = 143,96 \text{ cm}^2$	$3,8 \cdot 3,8 = 14,44 \text{ cm}^2$
Platinenfläche	$2166 \text{ cm}^2$	$1151,7 \text{ cm}^2$	$72,2 \text{ cm}^2$
Volumen der Elektronik $V_E$	$19 \cdot 19 \cdot 8,6 = 3104,6 \text{ cm}^3$	$11,9 \cdot 12,9 \cdot 12,9 = 1980,3 \text{ cm}^3$	$3,8 \cdot 3,8 \cdot 4,32 = 62,3 \text{ cm}^3$
Dichte der Elektronik $\rho_E$	$0,71 \text{ g/cm}^3$	$0,68 \text{ g/cm}^3$	$1,06 \text{ g/cm}^3$
Masse / Fläche	$0,98 \text{ g/cm}^2 = 3,6 \text{ mm Al}$	$1,72 \text{ g/cm}^2 = 6,3 \text{ mm Al}$	$0,92 \text{ g/cm}^2 = 3,4 \text{ mm Al}$
$C_v = V_{E,RH} / V_{E,N}$	50	31	1
Volumen	$19,6 \cdot 19,6 \cdot 10,6 = 4072 \text{ cm}^3$	$13 \cdot 13 \cdot 14 = 2366 \text{ cm}^3$	$4,2 \cdot 4,2 \cdot 4,72 = 83,3 \text{ cm}^3$
Volumenverhältnis $V_{DPU}/V_{\mu DPU}$	48,9	28,4	1

Tabelle 16: Vergleich der  $\mu$ DPU mit zwei ROSETTA DPUs. Mit "\*" gekennzeichnete Speicherkapazitäten sind nicht durch Fehlerkorrektur geschützt. Mit "\*\*\*" gekennzeichnete Leistungsaufnahmen der OSIRIS-DPU sind ohne Sensor Interfaces. Mit "\*\*\*\*" gekennzeichnete Rechenleistungen gelten für Speicherzugriffe ohne Fehlerkorrektur (z.B. prozessorinterner Speicher bei der  $\mu$ DPU)

Vibrationstests der ROSETTA-OSIRIS-DPU haben gezeigt, daß die großen, mit schweren hermetischen Bausteinen bestückten Platinen durch eine "Honeycomb"-Rahmenstruktur versteift werden müssen. Dadurch hat sich ihre Masse nachträglich um weitere 500 - 700 g erhöht, sodaß sich der Vergleich noch weiter zu Gunsten der IDA- $\mu$ DPU verschiebt.

Bei der Masse ergibt sich ein Ersparnisfaktor größer als 10, beim Volumen sogar größer als 25. Die Leistungsaufnahme ist ebenfalls günstiger, wobei der verwendete COTS-Prozessor einen wesentlich größeren Spielraum für die optimale Anpassung von Rechenleistung und dazu proportionaler Verlustleistung läßt. Bei einer Boxdicke von z.B. 6 mm Al und einer Boxmasse von 270 g ergibt sich immer noch ein Massenverhältnis von 12,7 bzw. 8, d.h. immer noch einen Spielraum für zusätzliche strukturelle Maßnahmen für z.B. höhere Zuverlässigkeit, größere Funktionalität, einfachere Testbarkeit, usw.

Die Prototyp-Implementierung der IDA- $\mu$ DPU erfüllt also die aus den Vorüberlegungen abgeleiteten Erwartungen in vollem Umfang. Damit ist gezeigt, daß der Ansatz "COTS-Bausteine + Schirmung" eine ernsthafte, für den meisten Anwendungen vorteilhafte Alternative zu dem traditionellen Ansatz bietet.

## 8.4 Weitere Möglichkeiten zur besseren Volumenausnutzung

Leiterplatten in Standardtechnologie mit typisch 8 Lagen haben eine Dicke von mindestens einem Millimeter (Abschnitt 6.2.1). Unter großen Bausteinen sind Freiflächen vorhanden, die auch in den einzelnen Signallagen nicht voll ausgenutzt werden. Es ist naheliegend diesen Platz für weitere Bausteine zu nutzen (Bild 113).

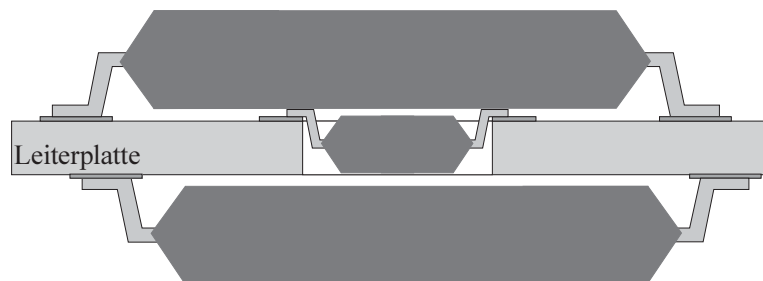


Bild 113: Integration eines Bausteins in die Leiterplatte

Zwischen zwei großen Bausteinen (z.B. *Thin-Quad-Flat-Pack*, kurz TQFP) ist eine ausreichend große Freifläche. Ein kleiner Baustein kann dann kopfüber in eine Aussparung der Leiterplatte integriert werden. Voraussetzungen sind (1) die Bausteinhöhe muß kleiner als die Leiterplattendicke sein, und (2) die Dicke der Lötanschlüsse muß kleiner als der Abstand zwischen Baustein und Leiterplatte sein. Solange die Anzahl der Aussparungen in den Leiterplatten klein ist, wird die Stabilität der Leiterplatte nicht wesentlich beeinflusst. In der IDA- $\mu$ DPU wurden auf diese Weise Temperatursensoren zwischen dem Prozessor und einem *Gate Array* platziert, d.h. an einer Stelle, die besonders hohe Betriebstemperaturen erwarten läßt. Ein gewisser Nachteil dieser

Methode ist die schlechte Zugänglichkeit. Eine signifikante Reduktion ist allerdings nicht zu erwarten, da nur wenige kleine Bausteine für diese Montageart geeignet sind.

Leiterplatten in Microviertechnologie können beidseitig auf einem Trägermaterial laminiert werden (Bild 99). Aussparungen im Trägermaterial und auf einer Platine ermöglichen die Anordnung von kleinen, meistens passiven Bausteinen innerhalb der Platine (Bild 114). Die innerste Lage wird zur Außenlage und kleine Bausteine werden mit herkömmlichen Methoden bestückt.



Bild 114: Integration von passiven Bausteinen in die eine 4DC4D-Leiterplatte mit Microvia-Technologie

Es gelten die gleichen Vor- und Nachteile, wie bei der "kopfüber" - Integration in die Standardleiterplatte. Die Anzahl der passiven Bausteine ist quantitativ hoch, aber sie liefern nur einen kleinen Beitrag zur gesamten Leiterplattenfläche. Die sehr kleinen passiven Bausteine können häufig zwischen den großen Bausteinen angeordnet werden. Der zusätzliche Aufwand für die Integration in die Leiterplatte wird aber nur selten durch die verhältnismäßig geringe Minderung von Masse und Volumen gerechtfertigt sein.

Einige passive Bausteine können auf Anschlüsse der Bausteine gelötet werden. Bei Bausteinen im SOP Gehäuse ist der Abstand der Anschlüsse mit denen der passiven Bauelemente im 0603 Gehäuse kombinierbar (Bild 115). Diese Methode ist besonders gut für Abschlußwiderstände an Empfängerbausteinen geeignet, da diese Widerstände dicht am Empfänger angeordnet werden müssen. Die Widerstände müssen dabei so montiert werden, daß der Längenausgleich der Anschlüsse nicht beeinträchtigt ist.



Bild 115: Montage von Widerständen vom Typ 0603 auf Anschlüsse von Bausteinen im SOP-Gehäuse

## 8.5 Alternative DPU Bauformen

Die Anzahl und Anordnung der Leiterplatten für eine DPU haben einen Einfluß auf die Miniaturisierung. Im folgenden Abschnitt werden einige ausgewählte Bauformen beschrieben und untereinander, sowie mit der IDA- $\mu$ DPU verglichen. Bei allen Bauformen wurde von den gleichen Bausteinen ausgegangen. Es wird angenommen, daß die bauartspezifischen Probleme alle schon gelöst sind, was zumindest für die "Space Cube"-Variante optimistisch ist.

### 8.5.1 Starrflex-Platine mit Microvia Technologie (4DC4D)

Der Aufbau mit einem Starrflex-Platine in Microvia Technologie mit jeweils 4 flexiblen Außenlagen um einen FR4 verstärktem Kern (4DC4D), (Abschnitt 6.2.4) ist dem der IDA- $\mu$ DPU sehr ähnlich. Die Leiterplatte in Microvia Technologie hat den besonderen Vorteil der engeren Biegeradien von nur noch 1 mm, gegenüber 4 mm. Damit können die Aussparungen in den Gehäusewänden reduziert werden. Ein Schnittbild zeigt Bild 116.

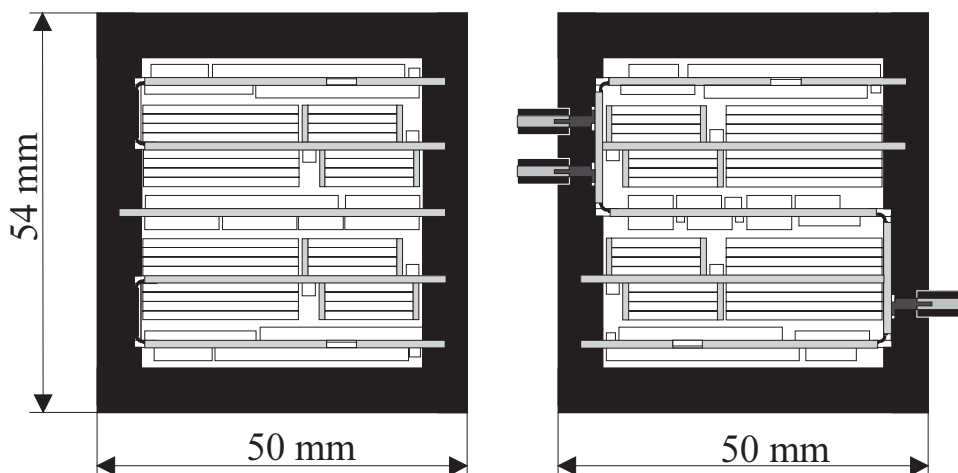


Bild 116: Schnitt durch die Beispiel-DPU, aufgebaut auf einer Starrflex-Platine in Microvia-Technologie

### 8.5.2 System auf starrer Einzelplatine

Die Anordnung aller Bausteine auf einer einzelnen starren Platine hat die Vorteile einer (i) besten Flächenausnutzung und (ii) schnellen und preiswerten Fertigung einer technologisch einfachen Platine. Nachteile sind (i) ein schlechtes Oberflächen zu Volumen-Verhältnis und entsprechend aufgeblähte Gehäusemasse, (ii) eine schwierige Inbetriebnahme, da das System nicht teilbar ist, (iii) die Leitungslänge steigt bei sehr großen Platinen, (iv) ein Mittelbolzen und andere Versteifungsmaßnahmen sind bei großen Platinen erforderlich, um durch Vibrationen hervorgerufene Ausbiegungen zu reduzieren und (v) gegebenenfalls keine Verträglichkeit mit vom S/C vorgegebenen Abmaßen.

Der Nachteil der (i) relativiert sich, wenn mehrere Systeme oder weitere Elektronikeinheiten (z.B. Sensorelektroniken) mit gleichgroßen Platinen eine würfelförmige Einheit mit gemeinsamen Gehäuse bilden.

Die Anordnung aller Bausteine der  $\mu$ DPU auf einer einzelnen starren Leiterplatte zeigt Bild 117. Die Rückseite der Platine ist bis auf einige Treiberbausteine ähnlich bestückt. Eine Ansicht im Schnitt (gepunktete Linie) zeigt Bild 118. Die Anordnung der Bausteine könnte derart verändert werden, daß alle hohen Bausteine (DRAM-Stapel) auf einer Seite angeordnet werden und dadurch die Grundfläche noch besser ausgenutzt wird. Nachteilig sind größere Leitungslängen und eine aufwendigere Aufteilung der Funktionsgruppen.

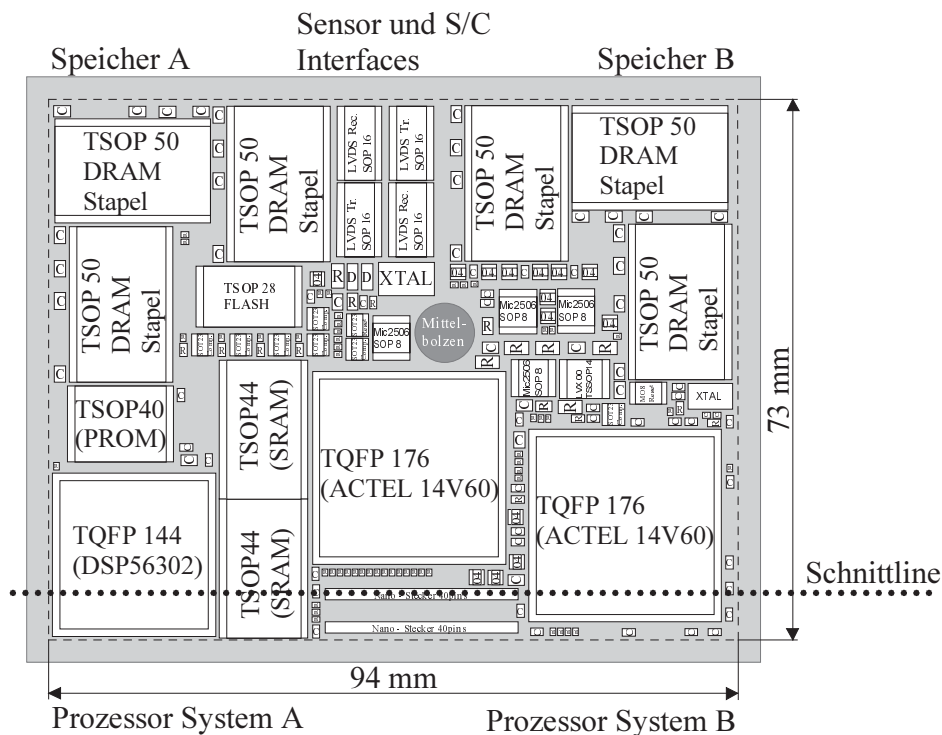


Bild 117: Beispiel-DPU auf einzelne starre Leiterplatte

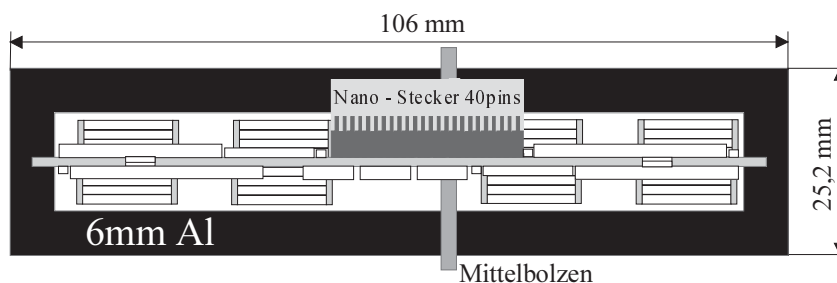


Bild 118: Schnitt durch Beispiel-DPU auf einer einzelnen starren Leiterplatte

### 8.5.3 Einschubtechnik

In der traditionellen Einschubtechnik, (z.B. ROSETTA-ROSINA-DPU) werden die Funktionsgruppen der DPU auf einzelnen Tochterplatinen angeordnet, die in eine gemeinsame Box eingeschoben und mit Steckverbindungen über eine zu den Tochterplatinen senkrechte Mutterplatine untereinander verbunden werden (Bild 119). Eine besondere Bedeutung erhält die Verbindungstechnik. Moderne hochintegrierte Bausteine haben größere Busbreiten und benötigen mehr Steckkontakte als herkömmliche Bausteine mit kleinen Busbreiten.

Vorteile der "Tochter-/ Mutterplatinen"-Bauform sind: (i) einfache Tests einzelner Funktionsgruppen durch Austausch einzelner Tochterplatinen bis zum Flugmodell, (ii) Modifikationen zur Ausmerzung von Entwicklungsfehlern oder zur Anpassung an geänderte Anforderungen berühren meist nur eine Platine.

Der Schwachpunkt sind die Steckverbindungen: (i) Sie können nicht in der gleichen Weise verkleinert werden, wie die elektronischen Bausteine, d.h. mit zunehmender Miniaturisierung wird ihr prozentualer Anteil am Volumen größer und beträgt bei der Beispiel- $\mu$ DPU ca. 20% (Bild 119). (ii) Wegen der hohen Kontaktzahl bei kleinem Volumen sind Stecker mit hoher Kontaktdichte erforderlich (z.B. Nano-Stecker mit einem Pinabstand von 0,635 mm). Diese Stecker sind in der Handhabung empfindlich. Die Anzahl der Steckzyklen sollte bei Flugmodellen minimiert (z.B. weniger als 10) und über ein Logbuch kontrolliert werden. (iii) Die Anzahl der Steckkontakte ist begrenzt (2-60 bei der Beispiel- $\mu$ DPU) und führt zu Restriktionen bei der der Aufteilung der Funktionsgruppen auf Einzelplatinen.

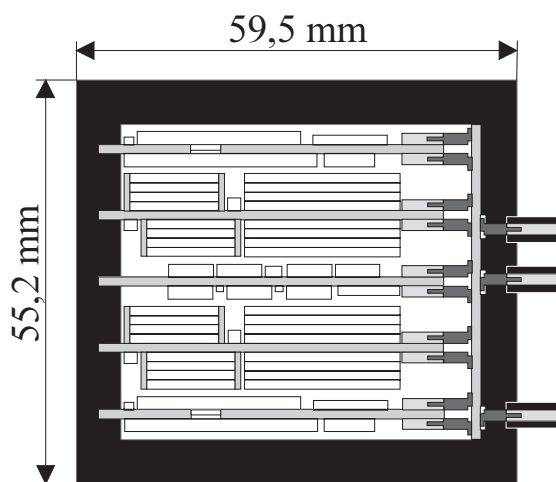


Bild 119: Schnitt durch die Beispiel-DPU in Einschubtechnik

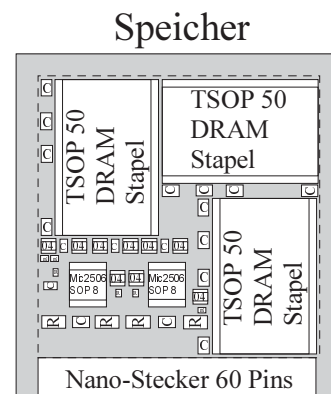


Bild 120: Speicherplatine mit Stecker

### 8.5.4 Rahmentechnik

Eine ebenfalls traditionelle Aufbautechnik ist die z.B. bei der ROSETTA-OSIRIS-DPU angewendete Rahmentechnik. Die Einzelplatinen werden nicht in ein Gehäuse eingeschoben, sondern jede Platine hat einen Rahmen und diese Rahmen werden übereinandergestapelt (Bild



121). Zusammen mit Grundplatte und Deckel bilden sie das Gehäuse. Vorteilhaft ist, daß die Steckverbindungen nun an allen 4 Seiten angeordnet werden können. Anstelle eines starren *Motherboards* werden die Platinen durch eine flexible Leiterplatte außerhalb der Box (*External Flexible Interconnect*, EFI) miteinander verbunden, falls erforderlich auch durch mehrere flexible Leiterplatten an verschiedenen Boxseiten. Nachteilig ist die Unzugänglichkeit der Platinen für Testzwecke. Bei der Einschubtechnik muß zum Austausch einer Platine nur ein Stecker gezogen werden, in der Rahmentechnik dagegen in vielen Fällen alle Stecker. Bei der Einschubtechnik kann eine gezogene Platine auf einem Extender für Messungen zugänglich gemacht werden. In der Rahmentechnik sind Messungen an einzelnen Platinen bei integriertem Rahmenstapel in vielen Fällen unmöglich. Das mit der Rahmentechnik verfolgte Ziel der Modularität geht erheblich zu Lasten der Zugänglichkeit bei Inbetriebnahme und Fehlersuche.

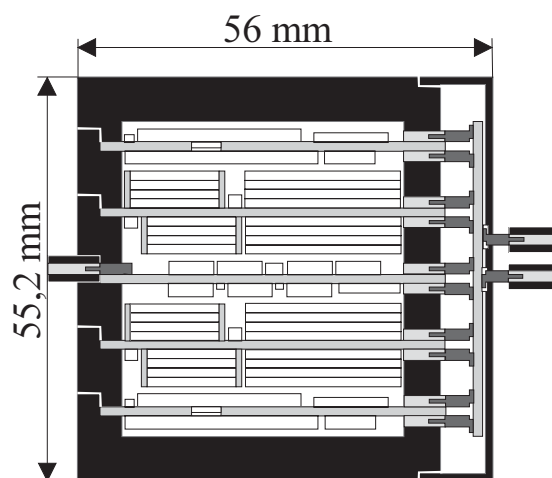


Bild 121: Schnitt durch die Beispiel-DPU in Rahmentechnik

### 8.5.5 Stapeltechnik mit planaren Steckverbindern (*Space Cube*)

Bei der vorher besprochenen Rahmentechnik erfüllt der Rahmen zwei Funktionen:

- (1) er bestimmt den Abstand zwischen den gestapelten Platinen und
- (2) er dient als Träger für die Stecker, über die außerhalb des Stapels die Platinen miteinander verbunden werden.

Der weiterführende Gedanke ist nun, das externe flexible Verbindungsband (EFI) dadurch einzusparen, daß man die Platinen mit planaren elastischen Kontaktstreifen versieht, die beim Stapeln paßgenau gegeneinandergedrückt werden. Flexible Stecker aus Silikon ermöglichen eine hohe Kontaktdichte bei geringer Bauhöhe. Die elektrischen Verbindungen werden z.B. durch Golddrähte /Bor97/ oder leitende Silikonschichten /Fuj99/ über vergoldete Kontaktflächen auf den Platinen hergestellt. Der Kontakt erfolgt durch Anpreßdruck. Das Rastermaß der Goldkontaktflächen muß größer sein als der Pinabstand im Stecker, um ausreichende Kontaktflächen- und Isolationsabstand zu garantieren. Nachteilig sind die hohen

Übergangswiderstände (je nach Hersteller und Größe bis zu einigen Ohm) und die Strombegrenzung auf einige 10 bis zu einige 100 mA. Für die Versorgungsspannungen müssen große Kontaktflächen für viele parallele Verbindungen realisiert werden.

Abgesehen von der Steckerproblematik ist auch hier die Möglichkeit für Messungen während des Betriebes stark eingeschränkt. Wie bei der Rahmentechnik, kann die obere Platine nur einseitig erreicht werden, die anderen Platinen überhaupt nicht.

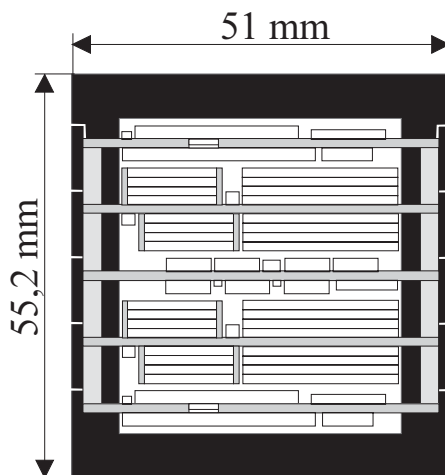


Bild 122: Schnitt durch die Beispiel-DPU, in Stapeltechnologie mit planaren Steckern

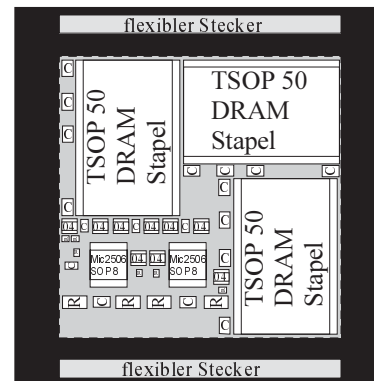


Bild 123: Leiterplatte mit flexiblen Steckern

### 8.5.6 Vergleich

Jede der skizzierten Bauformen ist mit individuellen Vor- und Nachteilen behaftet. In Tabelle 17 werden Masse und Volumen der Bauformen für eine Schirmungsdicke von 2 mm bzw. 6 mm Aluminium verglichen.

Für den Einsatz auf der ROSETTA-Mission mit einer Gehäusedicke von 2 mm Al beträgt die DPU-Masse zwischen 110 g und 165 g, entsprechend zwischen 3,2 % und 4,8 % der auf RH-Bausteinen basierenden ROSETTA-OSIRIS-DPU. Bei einer Gehäusedicke von 6 mm Al beträgt die Masse 252 g bis 428 g entsprechend 7,3 % bis 12,4 %. Der Gewinn durch "COTS-Bausteinen + Schirmung" ist so hoch, daß der Unterschied zwischen den Bauformen nicht mehr sehr bedeutend ist. Für eine kostengünstige Miniaturisierung ist eine einfache Bauform effizienter, als eine komplizierte Bauform, die nur einen weiteren Gewinn von wenigen Prozentpunkten bringt. Im Gegenteil, es ist sinnvoll, bei allen Bauformen noch etwas Masse und Volumen zuzugeben, um durch größeren Baueinabstand, zusätzliche Meßpunkte und gegebenenfalls mit größeren und robusteren Steckverbindungen die Entwicklung, Inbetriebnahme, Tests und Handhabung zu vereinfachen. Der höhere Aufwand durch äußerste Packungsdichte rechtfertigt bei den wenigsten Missionen die damit einhergehende Massereduktion von nur 50 bis 100 g.

Bauform	ROSETTA-OSIRIS-DPU, RH-Bausteine	IDA- $\mu$ DPU Starrflex (Blind Vias)	Starrflex Microvia 4DC4D	Einzelplatine	Einschubtechnik	Space Cube	Starrflex (TH)
Abschnitt	-	8.3.2	8.5.1	8.5.2	8.5.3	8.5.5	-
Masse Bauteile [g]		39,9	39,9	39,9	47,4	52,2	39,9
Masse Platine [g]		26,4	14,8	19,4	25,3	20,3	31,8
Schirmung mit 2 mm Al (ROSETTA)							
Masse Gehäuse [g]	1250	56,3	55,3	105,9	65,1	57,3	63,9
Masse Total [g]	3450	122,6	110	165,2	137,8	129,8	135,6
Masse in % der OSIRIS-DPU	100	3,6	3,2	4,8	4,0	3,8	3,9
Volumen [cm <sup>3</sup> ]	4072	83,3	81,1	129,8	102,1	85,2	99,9
Volumen in % der OSIRIS-DPU	100	2,0	2,0	3,2	2,5	2,1	2,5
Schirmung mit 6 mm Al							
Masse Gehäuse [g]		203	196,9	368,5	232,8	211,6	228,8
Masse Total [g]		269,3	251,6	427,8	305,5	284,1	300,5
Masse in % der OSIRIS-DPU		7,8	7,3	12,4	8,9	8,2	8,7
Volumen [cm <sup>3</sup> ]		138	135	227,1	164,2	140,8	161
Volumen in % der OSIRIS-DPU		3,4	3,3	5,6	4,0	3,5	4,0

Tabelle 17: Vergleich von DPU Bauformen, Referenz ROSETTA-OSIRIS-DPU

Die traditionelle Bauform in Einschubtechnik (Abschnitt 8.5.3) bietet durch die leichtere Zugänglichkeit für Testzwecke eine hohe Attraktivität, auch wenn Masse und Volumen nicht ganz minimal sind.

Für Missionen mit besonders rigiden Beschränkungen bei Masse und Volumen ist die Bauform mit einer geklappten Starrflex-Platine in Microviattechnologie (Abschnitt 8.5.1) in Betracht zu ziehen. Sie benötigt noch etwas weniger Masse und Volumen als die realisierte  $\mu$ DPU.

Die Bauform mit der starren Einzelplatine (Abschnitt 8.5.2) ist am einfachsten zu realisieren und am kostengünstigsten. Sie ist aber nicht änderungsfreundlich und benötigt mehr Masse und Volumen als die anderen Bauformen.

## 9 Zusammenfassung

Bei mobilen kommerziellen Geräten wurden in letzter Zeit bei der Verminderung von Masse und Energiebedarf große Fortschritte erzielt. Ein wesentlicher Schritt in dieser Richtung war der Übergang von hermetischen IC-Gehäusen zu kleineren und leichteren Plastikgehäusen. Ein breites Spektrum derartiger "*Commercial-Off-The-Shelf*" (COTS) - "*Surface Mounted Devices*" (SMD) bietet sich für die Nutzung in der Weltraumelektronik an, sofern das Problem der Strahlungsempfindlichkeit durch Schirmung gelöst werden kann und das kleinere Volumen der SMD-COTS-Elektronik trotz der notwendigen Schirmung noch zu einer Massensparnis gegenüber einer Elektronik mit hermetisch verpackten RH-Bausteinen führt.

Durch "*ray tracing*" einer repräsentativen DPU-Struktur wird gezeigt, daß COTS-Bausteine mit einer Schirmung von 2...5 mm Aluminium bei fast allen Missionen eingesetzt werden können, und zwar sowohl hinsichtlich "*Total Dose*" wie "*Single Event Upsets*". Nur bei Missionen mit langer Aufenthaltsdauer in magnetosphärischen Strahlungsgürteln sind wegen der praktisch nicht abschirmbaren Bremsstrahlung RH-Bausteine unverzichtbar. Eine weitere Einschränkung ergibt sich für Missionen innerhalb der Merkurbahn durch die in Sonnennähe während einer *Solar Flare* stark ansteigende SEU-Häufigkeit.

Bei kleinen Wandstärken im Verhältnis zur dritten Wurzel des Boxvolumens ist ein Wandmaterial mit geringerer Dichte als Aluminium, z.B. Polyethylen, etwas günstiger als Aluminium.

Die mit SMD-COTS-Bausteinen erzielbare Masseneinsparung ist erheblich. Als Beispiel wurde die IDA- $\mu$ DPU entwickelt und implementiert. Sie ist funktional vergleichbar mit zwei ROSETTA-DPUs (OSIRIS bzw. ROSINA), die konventionell mit hermetisch verpackten ICs aufgebaut sind. Das Volumen konnte um den Faktor 50 (OSIRIS) bzw. 30 (ROSINA) reduziert werden, die Masse um den Faktor 30 bzw. 15 und die Leistungsaufnahme um den Faktor 10 bis 3.

Damit konnte deutlich gezeigt werden, daß der Ansatz "COTS-Bausteine + Schirmung" eine reale Alternative gegenüber "RH-Bausteinen" darstellt. Es ist zu erwarten, daß diese Alternative zunehmend an Bedeutung gewinnen wird, nicht nur wegen der möglichen Massenreduktion, sondern auch wegen der immer schwieriger werdenden Beschaffung von "*state of the art*" RH-Bausteinen und der erheblichen Einsparung bei den Bauteinkosten.

## A Anhang

### A1 Strahlungskurven verschiedener Missionen

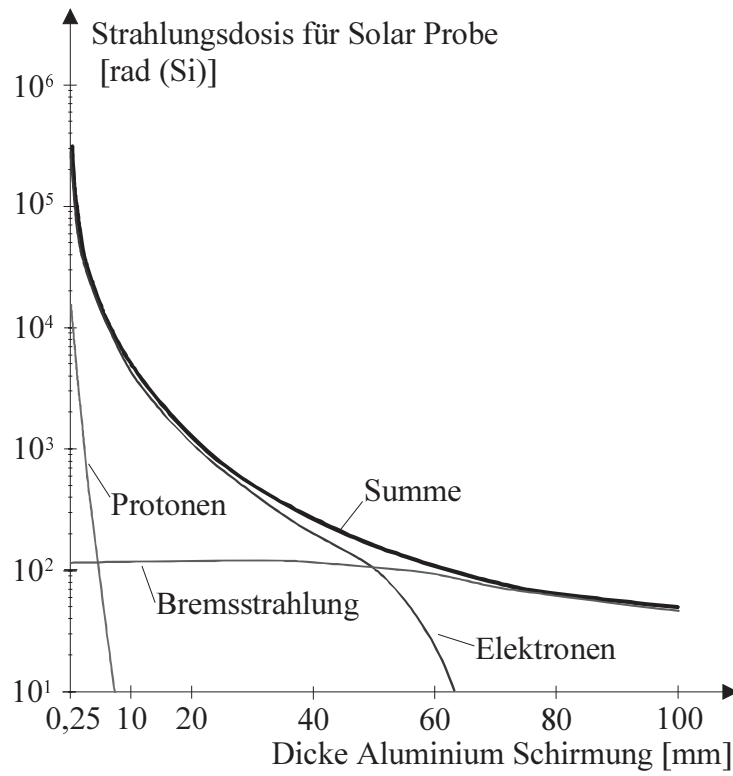


Bild 124: Dose - Depth - Kurve, der geplanten Solar Probe Mission /NAS99/

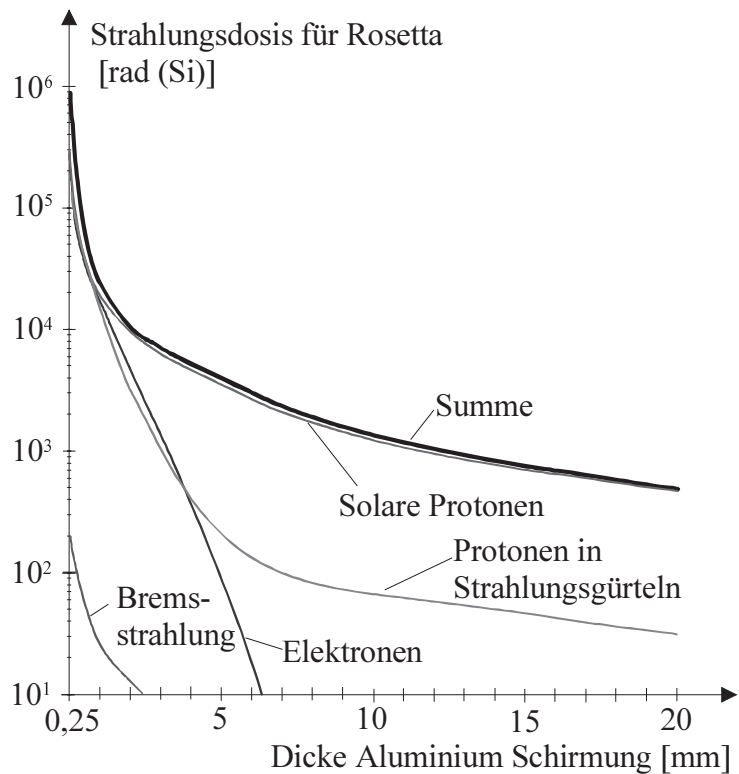


Bild 125: Dose - Depth - Kurve der geplanten Rosetta Mission

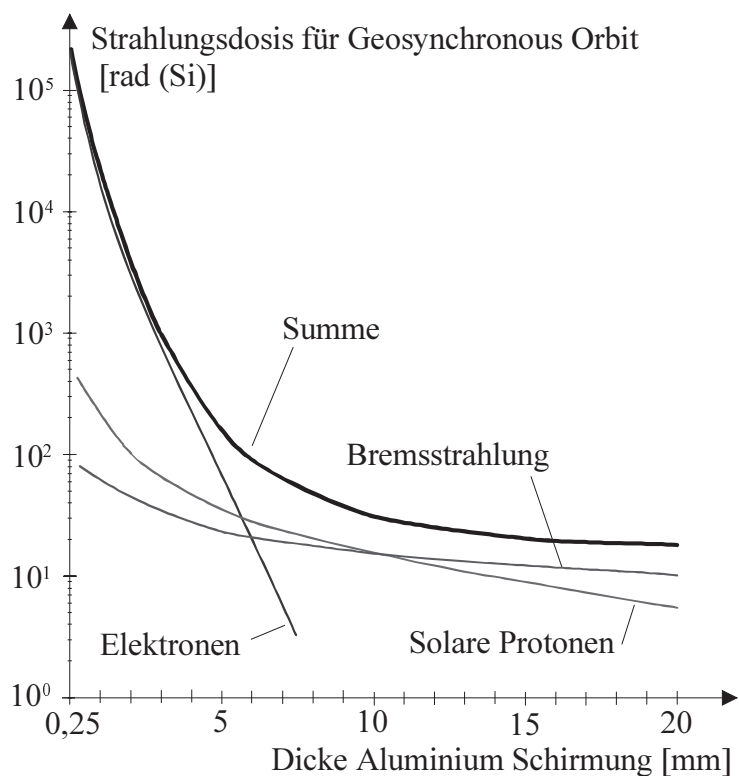


Bild 126: Dose - Depth - Kurve für ein Jahr Geosynchroner Orbit /Tri95/

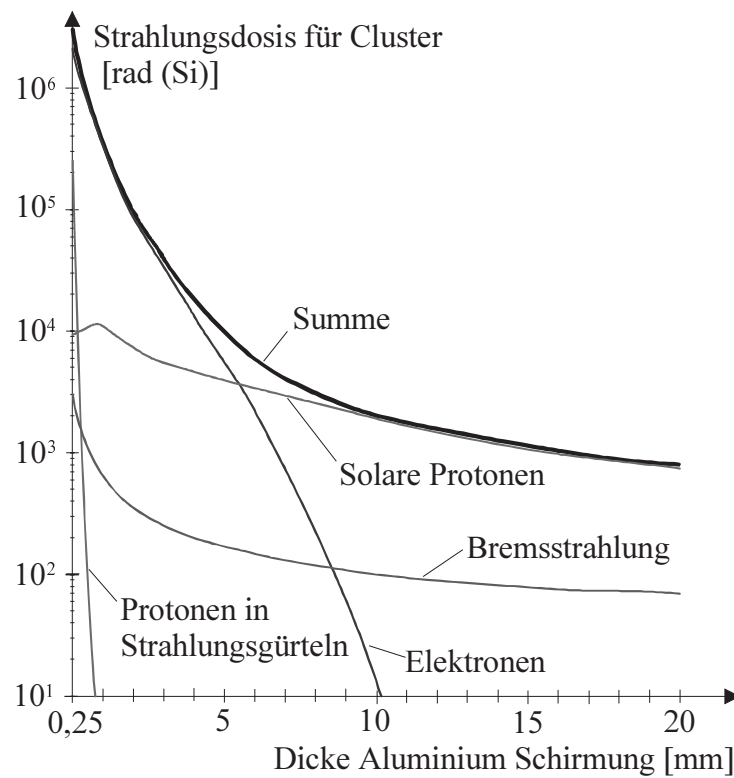


Bild 127: Dose - Depth - Kurve der Cluster Mission

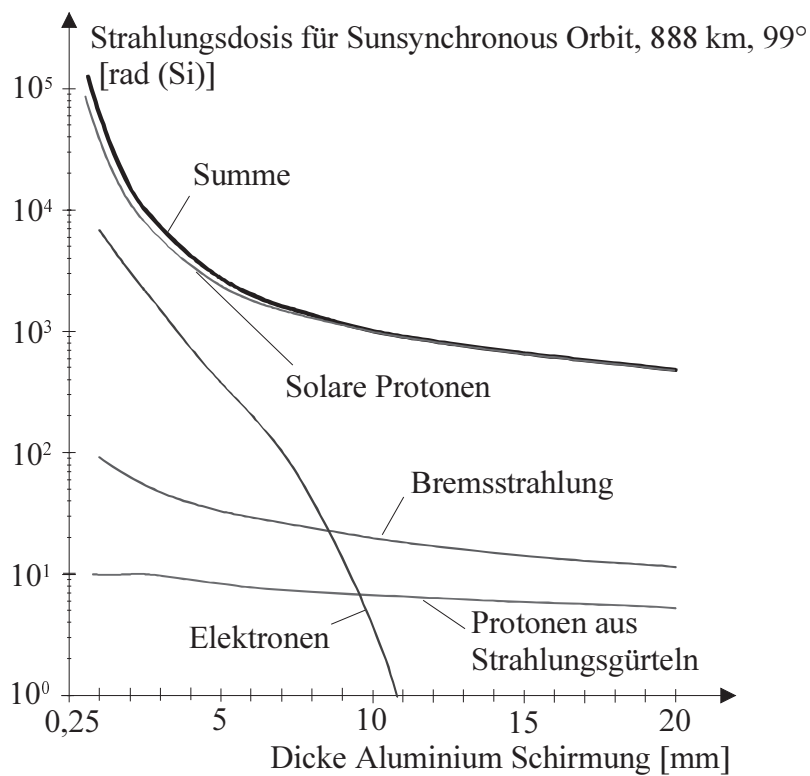


Bild 128: Dose-Depth-Kurve für ein Jahr Sonnensynchr. Orbit, 888 km, 99° Inklination /Tri95/

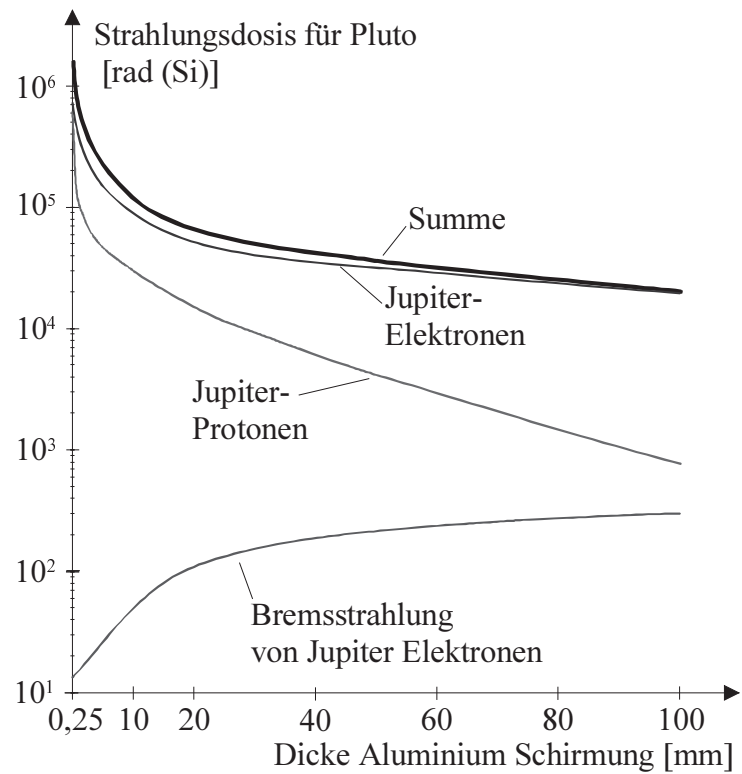


Bild 129: Dose - Depth - Kurve, der geplanten Pluto-Kuiper Express Mission /NAS99/

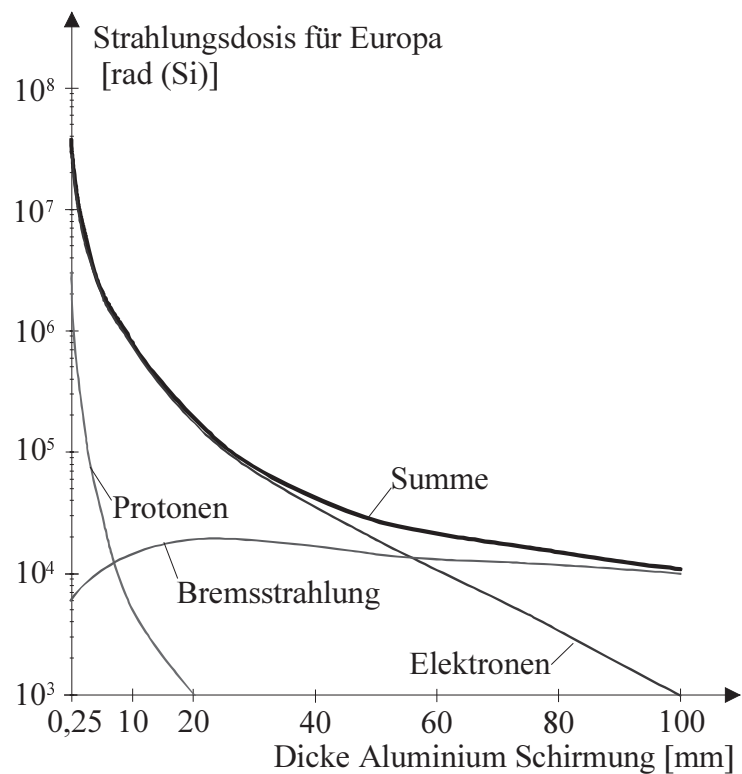


Bild 130: Dose - Depth - Kurve der geplanten Europa Mission /NAS99/



## A2 Massevergleich für verschiedene Missionen

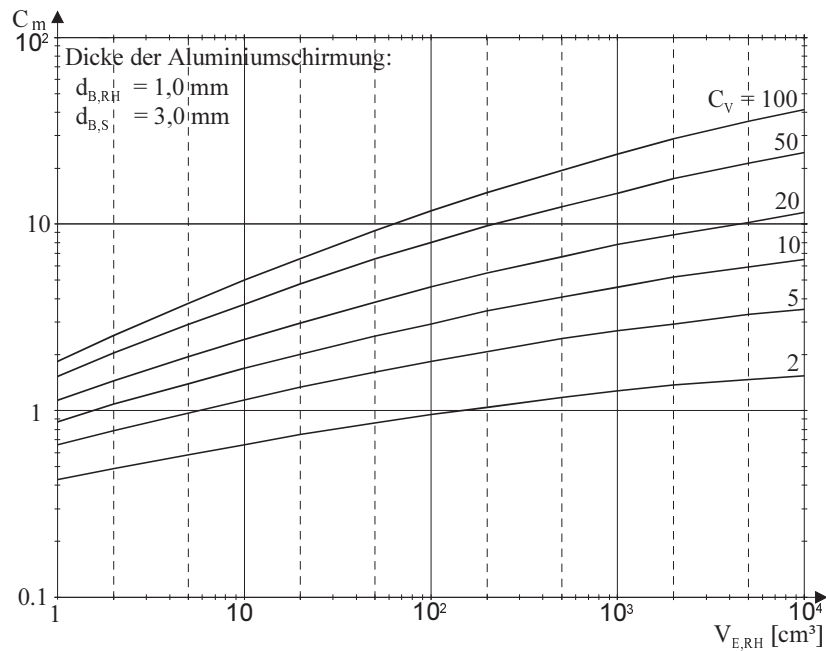


Bild 131: Massenverhältnis  $C_m = m_{RH} / m_S$  über dem Volumen der RH-Elektronik  $V_{E,RH}$  für verschiedene Volumenverhältnisse  $C_V = V_{RH} / V_S$ , Boxdicke  $d_{B,RH} = 1 \text{ mm Al}$ ,  $d_{B,S} = 3 \text{ mm Al}$ . Beispielmission: Envisat.

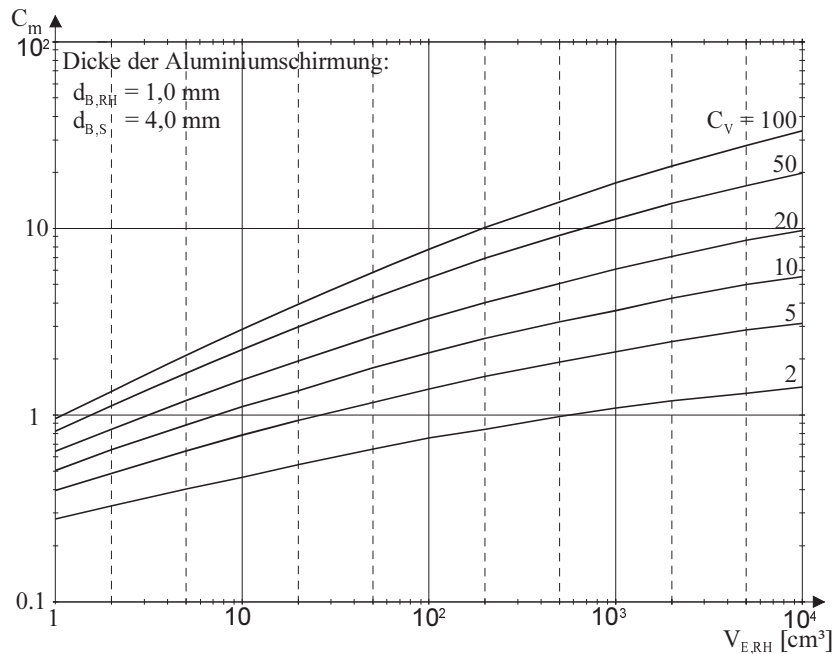


Bild 132: Massenverhältnis  $C_m = m_{RH} / m_S$  über dem Volumen der RH-Elektronik  $V_{E,RH}$  für verschiedene Volumenverhältnisse  $C_V = V_{RH} / V_S$ , Boxdicke  $d_{B,RH} = 1 \text{ mm Al}$ ,  $d_{B,S} = 4 \text{ mm Al}$ . Beispielmission: Cluster.

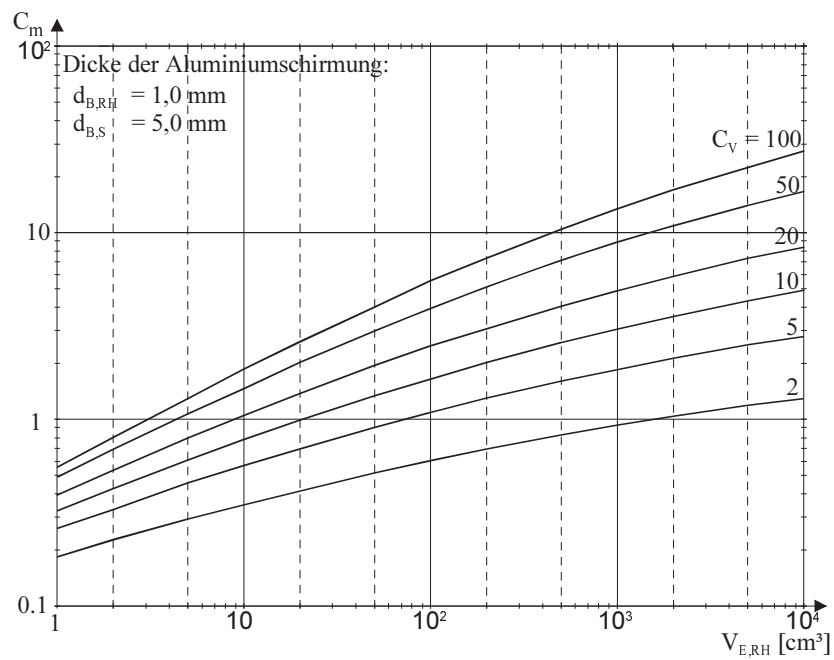


Bild 133: Massenverhältnis  $C_m = m_{RH} / m_S$  über dem Volumen der RH-Elektronik  $V_{E,RH}$  für verschiedene Volumenverhältnisse  $C_V = V_{RH} / V_S$ , Boxdicke  $d_{B,RH} = 1 \text{ mm Al}$ ,  $d_{B,S} = 5 \text{ mm Al}$ . Beispielmissionen: Solar Probe, bzw. 5 Jahre Sonnensynchroner Orbit, 888 km, 99° Inklination.

### A3 Liste der verwendeten Bausteine

Baustein	Hersteller	Bezeichnung	Anzahl Bausteine / $\mu$ DPU
DSP	Motorola	XC56302APV100	2
Gate Array	Actel	A14V60A-TQ176C	3
Logic	Toshiba	TC74LCX00FS	3
Logic	Toshiba	TCSZ04FUTE85L	26
Logic	National	74LCX245MTC	3
LVDS Dr.	National Semiconductor	DS90LV031	2
LVDS Rec.	National Semiconductor	DS90LV032	6
RS422 Dr.	National Semiconductor	DS26LV031TM	1
RS422 Rec.	National Semiconductor	DS26LV032ATM	3
SRAM 256k16	Samsung	KM616V4002BLT	4
FLASH 4M	Atmel	AT45DB041-TI	2
PROM 256k16	Atmel	AT27BV4096-15VI	2
DRAM 4M16	Samsung	KM16V4104AS-6	48
FIFO 1k9*2	IDT	IDT72V82L	1
Reset	Maxim	MAX809 EUR-T	1
Reset	Maxim	MAX6303CUA	2
Oszillator	Ecliptek	EC2625ETT-20.000	1
Quarz	Ecliptek	ECCM55EF-20.000	2
Comparator	Maxim	MAX985EUK-T	11
T-Sensor	National Semiconductor	LM75C1MM-3	2
Power-Switch	Micrel	MIC2506BM	7
Diode		JAN1N5712UR-1	3
C 22pF	AVX	CM05CG220J50AT	4
C 100nF	AVX	CM105X7R104K16VAT	43
C 470nF	AVX	CM21X7R474K16AT	70
Widerstandsdraht		200 $\Omega$ /m	11
R 100 $\Omega$ -680 k $\Omega$			57
R 100k $\Omega$		MCR01/100kOhm/5%	80
Stecker	Omnetics	NS-S-40-.050-SMV	3
Buchse	Omnetics	NP-S-40-0.50-W20.0"	3
Platine	Brockstedt	IDA9905	1
Summe			404

Tabelle 18: Liste der verwendeten Bausteine

## A4 Masse der IDA- $\mu$ DPU

Gehäusotyp	Anzahl Bausteine			Anzahl Bausteine	Masse / Baustein [mg]	Masse [mg]
	Speicher	Prozessor	Interfaces			
TQFP176		2	1	3	1800	5400
TQFP144		2		2	1260	2520
TSOP(II)50	48			48	480	23040
TSOP(II)44		4		4	510	2040
TSSOP40		2		2	350	700
TSSOP56				1	250	250
TSSOP28	2			2	275	550
TSSOP20			3	3	70	210
TSSOP14	1	1	1	3	50	150
SOP16			12	12	140	1680
SOP8	4	2	1	7	100	700
MSOP 8		4		4	30	120
SOT23			1	1	10	10
SOT23-5	8	2	1	11	15	165
SOT223-5				26	7	182
EC26			1	1	200	200
EC55		2		2	50	100
DO-213AA		2	1	3	60	180
SMD 0805	48	16	19	83	4	332
SMD 0603	16	36	35	87	2	174
SMD 0402	20	16	48	84	1	84
Draht	8	2	1	11	2	22
Stecker			3	3	270	710
Summe Baustene						39619
Platine				1	2640	26400
Summe Elektronik						66019
Box (6 mm Al)				1	204000	204000
Summe IDA- $\mu$ DPU				404		270019

Tabelle 19: Verteilung der Masse auf die einzelnen Bausteine der IDA- $\mu$ DPU

## A5 Verzeichnis der wichtigsten Formelzeichen

A	Anzahl der Protonen und Neutronen eines Ions
B	1. Magnetische Flußdichte, 2. Korrekturfaktor
BER	Bitfehlerrate ( <i>Bit Error Rate</i> )
$\beta$	Stromverstärkung
c	Lichtgeschwindigkeit
$C_G$	Gatekapazität
$C_m$	Masseverhältnis
$C_v$	Volumenverhältnis
D	Dosis
d	Wanddicke
DR	Dosisrate
$d_{S/C,av}$	durchschnittliche Dicke der schirmenden S/C-Struktur
$d_{S/C,min}$	minimal Dicke der schirmenden S/C-Struktur
E	Energie
F	Fluenz
$G_{EC}$	Verbesserungsfaktor bei Fehlerkorrektur
$\Phi$	Partikelfluß
I	Strom
LET	Massenbremsvermögen ( <i>Linear Energie Transfer</i> )
m	Masse
$m_0$	Elektronenruhemasse
$\mu_m$	Magnetischer Moment
$N_{SEU}$	Anzahl von <i>Single Event Upsets</i>
$p_b$	Überlebenswahrscheinlichkeit eins einzelnen Bits
$p_w$	Überlebenswahrscheinlichkeit eins einzelnen Datenwortes
Q	Ladung
$q_b$	Fehlerwahrscheinlichkeit eines einzelnen Bits
$\Theta$	Steigungswinkel
R	1. Widerstand, 2. Reichweite
$R_{SEU}$	SEU-Rate
$r_L$	Larmor Radius
$\rho$	Dichte
$T_{Scrub}$	Zeitintervall der Speicher-"Schrubb"-Zyklen
$T_{Stor}$	Zeitintervall der Datenspeicherung
$\sigma$	1. Fehlerrate, 2. Wirkungsquerschnitt ( <i>Crosssection</i> )
U	Spannung
V	Volumen
v	Geschwindigkeit
$w_c$	Zyklotronfrequenz
Z	Anzahl der Protonen

## A6 Abkürzungsverzeichnis

ASIC	<i>Application Specific Integrated Circuit</i>
AU	Bahnradius der Erde um die Sonne ( <i>Astronomical Unit</i> )
BER	Bitfehlerrate ( <i>Bit Error Rate</i> )
BGA	<i>Ball Grid Array</i>
CCD	<i>Charge Coupled Device</i>
CME	eruptiver Ausbruch solaren Plasmas ( <i>Coronal Mass Ejection</i> )
CMOS	<i>Complementary Metal Oxide Semiconductor</i>
COB	<i>Chip On Board</i>
COTS	<i>Commercial Off The Shelf</i>
CSP	<i>Chip Scale Package</i>
DIB	<i>Digital Interface Board</i>
DIP	<i>Dual In line Package</i>
DPU	<i>Data Processing Unit</i>
DRAM	<i>Dynamic Random Access Memory</i>
DSP	Digitaler Signal Prozessor
EFI	<i>External Flexible Interconnect</i>
FET	<i>Field Effect Transistor</i>
FPGA	<i>Field Programmable Gate Array</i>
GCR	Kosmische Strahlung, galaktischen Ursprungs ( <i>Galactic Cosmic Ray</i> )
GSE	Testgerät ( <i>Ground Support Equipment</i> )
GSO	Geostationäre Umlaufbahn
GTO	Transferorbit zur geostationären Umlaufbahn
High Rel	<i>High Reliability</i>
H/W	<i>Hardware</i>
IC	Integrierter Schaltkreis ( <i>Integrated Circuit</i> )
IDA	Institut für Datenverarbeitungsanlagen
I/F	<i>Interface</i>
JPL	<i>Jet Propulsion Laboratory</i>
KGD	Unverpackter, getesteter Chip ( <i>Known Good Die</i> )
LEO	Niedrige Erdumlaufbahn ( <i>Low Earth Orbit</i> )
LET	Massenbremsvermögen ( <i>Linear Energy Transfer</i> )
LU	<i>Latch Up</i>
MCB	<i>Mechanism Controller Board</i>
MCM	<i>Multi Chip Module</i>
MCP	<i>Multi Chip Package</i>
MIPS	<i>Mega Instructions Per Second</i>
MMB	<i>Mass Memory Board</i>
MOS	<i>Metal Oxide Semiconductor</i>
NAC	<i>Near Angular Camera</i>
NMI	<i>Non Maskable Interrupt</i>
PDIP	<i>Plastic Dual In line Package</i>
PE	<i>Polyethylen</i>
PEM	<i>Plastic Encapsulated Microcircuit</i>

---

PLL	<i>Phase Locked Loop</i>
POW	<i>Spannungsversorgungs-Subsystem (Power Subsystem)</i>
PROM	<i>Programmable Read Only Memory</i>
QFP	<i>Quad Flat Package</i>
RH	<i>Radiation Hardened</i>
RHU	<i>Radioisotope Heater Unit</i>
RT	<i>Strahlungstolerant (Radiation Tolerant)</i>
RTG	<i>Radioisotope Thermal Generator</i>
S/C	<i>Satellit, Sonde (Space Craft)</i>
SDIP	<i>Small Dual In line Package</i>
SDRAM	<i>Synchronized Dynamic Random Access Memory</i>
SEC	<i>Einzelfehlerkorrektur (Single Error Correction)</i>
SEE	<i>Single Event Effects</i>
SEGR	<i>Single Event Gate Rupture</i>
SEHE	<i>Single Event Hard Error</i>
SEL	<i>Single Event Latch Up</i>
SEP	<i>Solar Energetic Particles</i>
SEU	<i>Single Event Upsets</i>
SIF	<i>Sensor Interface</i>
SMD	<i>Bauteil für Oberflächenmontage (Surface Mounted Device)</i>
SOI	<i>Silicon On Insulator</i>
SOJ	<i>Small Outline package with "J" leads</i>
SOP	<i>Small Outline Package</i>
SOS	<i>Silicon On Sapphire</i>
SPE	<i>Solar Particle Event</i>
SRAM	<i>Static Random Access Memory</i>
S/W	<i>Software</i>
TCS	<i>Telemetry / Telecommand Subsystem</i>
TQFP	<i>Thin Quad Flat Package</i>
TSOP	<i>Thin Small Outline Package</i>
TSSOP	<i>Thin Shrink Small Outline Package</i>
WAC	<i>Wide Angular Camera</i>

## A7 Literaturverzeichnis

/3DP97: 3D-Plus, Datenblatt für ein 640 Mb Module.

/Act98. Actel Corporation, "Rad Tolerant RAD-PAK Field Programmable Gate Arrays", Datenblatt, Juni 1998.

/And01: Andus Electronic, Internetseite über Leiterplattenmaterialien, 2001, <http://www.andus.de/lpmat.htm>

- 
- /Atm00: Atmel Corporation, Datenblatt AT49BV320(T)/321(T), Oktober 2000, <http://www.atmel.com/atmel/acrobat/doc1494.pdf>
- /AW95-00: Aviation Week Magazine, verschiedene Ausgaben der Jahrgänge 1995-2000
- /Bac98: Frank Bachner, "New Japanese Developments in 3D Packaging", Proceedings of 3-D Packaging Advanced Technology Workshop Oct. 1998
- /Bor97: T. Borden, K. Yee, G. Bolotin, "Space Cube Package Development", 3D Packaging Workshop, JPL, November 1997
- /Brä89: Dietrich Bräuning, "Wirkung hochenergetischer Strahlung auf Halbleiterbauelemente", 1989, Springer-Verlag
- /Brö76: Bernhard Bröcker, "dtv-Atlas zur Atomphysik, Tafeln und Texte", August 1976, Deutscher Taschenbuch Verlag GmbH & Co. KG
- /Cam92: P.D. Campbell, "Crew Habitable Element Space Radiation Shielding for Exploration Missions, December 1992, <http://www-sn.jsc.nasa.gov/PlanetaryMissions/EXLibrary/docs/eic008.html>
- /Che99: Daniel Chen, "Memory MCP Evolution Hits the Industry", Advanced Packaging, September 1999
- /Cho97: Ki-Won Choi, et. al., Samsung "Development of 128M DRAM by Stacked Packaging Technology", Proceedings of 3-D Packaging Advanced Technology Workshop Oct. 1997
- /Den99: Dense-PAC Microsystems, Data Sheet M-Densus High Density Memory Device 512 Megabit CMOS DRAM.
- /Dyc99: Dyconex AG, "Selection of DYCOstrate Build up Proposals", November 1999
- /Mat97: Mattson et. al., Saab Ericson Space, Document SE/REP/0047/k 10/97
- /ESA97: ESA, "ROSETTA Experiment Interface Document Part A", Draft 2, 1. Feb. 1997 [ftp://ftp.estec.esa.nl/pub/rosetta/payload/eid\\_a\\_draft\\_2/pdf/complete\\_ro-est-rs-3001\\_draft\\_2.pdf](ftp://ftp.estec.esa.nl/pub/rosetta/payload/eid_a_draft_2/pdf/complete_ro-est-rs-3001_draft_2.pdf)
- /ESA99: ESA "ROSETTA-OSIRIS Experiment Interface Document Part B", 15. Januar 1999
- /ESA00: ESA "ROSETTA-ROSINA Experiment Interface Document Part B", RO-EST-RS-3013/EID B, 2000
- /Fey93: Feynman, J. et. al., Interplanetary proton Fluence model: JPL 1991, J. Geophysic. Res., 98, 13281, 1993



- /Fuj99: Fujipoly Company, Data Sheets und "Fujipoly Design Guidelines - ZEBRA Elastomeric Connectors" <http://fujipoly.com/>, 1999
- /Fic01: Torsten Fichna: Fehlerkorrektur mit Erweiterten Reed-Solomon-Codes in Weltraum-Halbleiterspeichern, Dissertation am Institut für Datenverarbeitungsanlagen, 2001
- /For95: Peter Fortescue , John Stark, "Spacecraft Systems Engineering, Second Edition", John Wiley and Sons 1995
- /Gar95: Ann Garrison, Harry Shaw, Nick Virmani, Richard Nace, "High Density Spaceflight Application of PEMs with Paryline Conformal Coating", NASA Electronic Parts an Packaging Program  
[http://nepp.nasa.gov/imd/eee\\_links/vol\\_02/no\\_01/eee2-1k.htm](http://nepp.nasa.gov/imd/eee_links/vol_02/no_01/eee2-1k.htm)
- /Gar96: John R. Gardner, "The Appropriateness of Plastic Encapsulated Microcircuits in a Specific Woode-Round Application", IEEE Transactions on Reliability, Vol 45, No. 1. March 1996
- /Gha97: Reza Ghaffarian, "Assembly and Reliability Test Results of JPL-LED BGA Consortium-II, ", NASA Electronic Parts an Packaging Program,  
[http://nepp.nasa.gov/imd/eee\\_links/vol\\_03/no\\_03/eee3-3d.html](http://nepp.nasa.gov/imd/eee_links/vol_03/no_03/eee3-3d.html)
- /Gla91: Karl-Heinz Glaßmeier, Manfred Scholer, "Plasmaphysik im Sonnensystem", BI Wissenschaftsverlag, 1991
- /Gli00: F. Gliem: Priv. Mitteilung
- /Gli01: F. Gliem: Influence of DRAM Scaling on SEU-Rate, TN MEMREL IDA 01/1
- /Gom98: Tamas I. Gombosi, "Physics of the Space Environment", Cambridge University Press, 1998
- /Gor91: D.J. Gorney et al in Space Mission Analysis and Design, Herausg. J.R. Werts, W.J. Larson, Aca. Publ., 1991
- /Hit00: Hitachi Ltd, Data Sheet HM5225165B/HM5225805B/HM52254405B-75/A6/B6, Februar 2000
- /Jen98: R. J. Jensen, M. A. Mitchell and S.L. Palmquist, "Designing for Reliability in Harsch Environments", Advanced Packaging, January 1998
- /JLRS95: Johnston, Lee, Rax, Shaw, "Using Commercial Semiconductor Technologies in Space", Arcachon, France, May 1995, Radiation Effects on Electronics,  
<http://jpltrs.jpl.nasa.gov/1995/95-0537.pdf>
- /Joh95: A. H. Johnston, G. M. Swift and D. C. Shaw "Impact of CMOS Scaling on Single-Event Hard Errors in Space Systems, IEEE Symposium on Low Power Electronics, San Jose, California, October 9-11, 1995, <http://jpltrs.jpl.nasa.gov/1995/95-0687.pdf>

- /Joh96: Bruce Johnson, Vani Verma, "Reliability Assessment of Fielded Plastic and Hermitically Packaged Microelectronics", IEEE Transactions on Reliability, Vol. 45, No1. March 1996
- /JPL96: Alan R. Hoffman, Cassini Orbiter Functional Requirements Book, Environmental Design Requirements, Rev. C, CAS-3-240, JPL, November 1996
- /Kat96: Richard Katz, "Notes on Radiation Shielding", November 1996, [http://rk.gsfc.nasa.gov/richcontent/General\\_Application\\_Notes/RadShielding1.htm](http://rk.gsfc.nasa.gov/richcontent/General_Application_Notes/RadShielding1.htm)
- /Kob68: E.J. Kobetich, Robert Katz, "Width of Heavy-Ion Tracks in Emulsion", Phys. Rev. 170, 405-411 (1968)
- /KS88: Sherra E. Kerns, B. D. Shafer "Design of Radiation-Hardened ICs for Space: A Compendium of Approaches", Proceedings of the IEEE, VOL. 76, No. 11, November 1988.
- /Las99: Charles L. Lassen, Mark V. Christensen, "The VIA Squeeze", IEEE Spectrum, Oktober 1999
- /Lay: Philippe Lay, et al, "La Transition Vers Les Pratiques Commerciales En Composants Electroniques: Une Voie D'Innovation Majeure"
- /Le97: Binh Le, Ann G. Darrin, Jong Kadesch, "Study of Conformal Coating on Chip-on-Board (COB) Technology for Space Applications", NASA Electronic Parts and Packaging Program, [http://nepp.nasa.gov/imd/eee\\_links/vol\\_03/no\\_02/eee3-2c.htm](http://nepp.nasa.gov/imd/eee_links/vol_03/no_02/eee3-2c.htm)
- /Lee97: Kyuchan Lee et al, "Low-Voltage, High-Speed Circuit Designs for Gigabit DRAM's, IEEE Journal of Solid-State Circuits, Vol. 32, No. 5, Mai 1997
- /Lex00: Jack Lexin, "Meeting the Challenges of Flexible circuits - How to Produce a good flex design", Printed Circuit Design Magazine, July 1992, Vol.9, No 7, Reprint: <http://www.leflex.com/lit1.html>
- /Ma89: T.P. Ma, Paul V. Dressendorfer, "Ionizing Radiation Effects in MOS Devices & Circuits", A Wiley-Interscience publication, 1989
- /Mar99: Martinelli, Stampanoni, Mitteilungen der Firma Dyconex, Dezember 1999.
- /Mav99: David G. Mavis, Paul H. Eaton, "Temporally Redundant Latch for preventing single event disruptions in sequential integrated circuits, Technical Report P8111.29, Mission Research Corporation, Oktober 1998.
- /McC99: Doug McClure: "Package Inspection", Advanced Packaging, September 1999.
- /Mea99: Joel Mearing, "Technology Advancements in TSOP Stacking", IMAPS99 Advanced Technology Workshop on 3D packaging, Oktober 1999

- /Mö100: Möller, Priv. Mitteilungen der Firma Brockstedt, Kiel
- /Mos98: Jean-Pierre Moscicki, "CSP-BGA-Gehäuse: Die Kleinsten der Kleinen", Elektronik 12/1998
- /NCRP89: NCRP Report No. 98, "Guidance on radiation received in space activities", 1989, National Council on Radiation Protection and Measurements
- /NASA96: NASA "Single Event Effect Criticality Analysis", 15. Feb. 1996  
<http://radhome.gsfc.nasa.gov/radhome/papers/seecai.htm>
- /NAS99: NASA, "Outer Planets Program, Environmental Requirements",  
[http://outerplanets.larc.nasa.gov/outerplanets/Envir\\_rqts.pdf](http://outerplanets.larc.nasa.gov/outerplanets/Envir_rqts.pdf)
- /NASA99: NASA, "Solar Probe Mission and Project Description", 1999  
[http://centauri.larc.nasa.gov/outerplanets/Solar\\_Probe\\_MPD.pdf](http://centauri.larc.nasa.gov/outerplanets/Solar_Probe_MPD.pdf)
- /Nor70: L. C. Northcliffe, R.F. Schilling, "Range and Stopping Power Tables for Heavy Ions, Academic Press, Orlando, FL, 1970, Nuclear Data A7
- /NSSDC: NASA "National Space Science Data Center", <http://nssdc.gsfc.nasa.gov/>
- /Ozg99: Volkan Ozgus, J. C. Carson, "Systems-In-A-Stack by Integration of Heterogeneous Components, IMAPS99 Advanced Technology Workshop on 3D packaging, Oktober 1999
- /Pan98: Peter V. Panetta, et al., "NASA-GSFC Nano-Satellite Technology Development. Proceedings of the 12<sup>th</sup> AIAA/USU Conference on Small Satellites.
- /Pat93: Bruno Pattan, "Satellite Systems Principles and Technologies", 1993 Van Nostrand Reinhold
- /Pec92: Michael Pecht, Edward Hakim, "The Future of Military Standards, A Focus on Electronics", IEEE AES Systems Magazine, Juli 1992
- /Pec97: Michael G. Pecht, John Fink, Edward Hakim, John Wyler, "An Assessment of the Qualified Manufacturer List (QML)", IEEE AES Systems Magazine, Juli 1997
- /PJA88: Ronald L. Pease, Allan H. Johnston, Joseph L. Azarewicz, "Radiation Testing of Semiconductor Devices for Space Electronics", Proceedings of the IEEE, VOL. 76, No. 11, November 1988.
- /Rei98: Herbert Reichel, Jürgen Wolf, Klaus-Dieter Lang, "Packaging-Trends: High Tech im Kleinstformat, Elektronik 12/1998.
- /Sam97: Samsung CSP (Chip Scale Package), 1997

- 
- /Sav98: Sergey Savastiouk, Oleg Siniaguine and Mark DiOrio, "The Next Dimension, Advanced Packaging" Advanced Packaging Magazine, Oktober 1998
- /Sav99: Sergey Savastiouk, Oleg Siniaguine, "3D Wafer Level Packaging", IMAPS 99 Advanced Technology Workshop on 3D packaging, Oktober 1999
- /Sie82: Daniel P. Siewiorek, Robert S. Swarz, "The Theory and Practice of Reliable System Design", Digital Equipment Corporation, Bedford, Massachusetts, 1982
- /Sin96: Nihal Sinnadurai, "Plastic Packaging is Highly Reliable", IEEE Transactions on Reliability, Vol. 45 No 2. June 1996.
- /Sro88: Joseph R. Srour, James M. Mc Garrity "Radiation Effects on Microelectronics in Space", Proceedings of the IEEE, VOL. 76, No. 11, November 1988
- /Tam95: Sun Man Tam "Demonstrated Reliability of Plastic-Encapsulated Microcircuits For Missile Applications", IEEE Transactions on Reliability, Vol. 44, No. 1, March 1995
- /Tho97: Patrick Thompson: "Chip-Scale packaging", IEEE Spectrum, August 1997
- /Tos99: TOSHIBA CORPORATION, Datenblatt "TH50BSF2480/2481 AASB" SRAM and FLASH memory mixed multi chip package, Mai 1999
- /Tri95: Alan C. Tribble "The Space Environment, Implications for Spacecraft Design", Princeton University Press 1995, ISBN 0-691-03454-0
- /UTMC00: UTMC, Datenblatt UT8Q512 512K x 8 SRAM, November 2000
- /Val97: C.M. Val, P. Baurice, S. Dejean, "3-D Technique Applied to Calculation Nodes, Pin to Pin Compatible with Embedded DSPs", Proceedings of 3-D Packaging Advanced Technology Workshop Oct. 1997
- /Val99: Christan Val, "3d Packaging Applications in Europe Perspectives", IMAPS 99, Advanced Technology Workshop on 3D packaging, Oktober 1999.
- /Val00: Homepage der Firma Valtronic, <http://www.valtronic.ch/skills/cob/index.html>
- /Wan97: J. J. Wang et. al., Antifuse FPGA for Space Applications , Proc. Radics 97
- /Wal97: J.W. (Bill) Walden, Actel Seminar in Bremen 1997
- /Wer96: James R. Wertz, Wiley J. Larson "Reducing Space Mission Cost" 1996 Space Tech. Library
- /Yam99: Yasuhisa Yamaji at all: "Stacked CSP Technologie", IMAPS 99, Advanced Technology Workshop on 3D packaging, Oktober 1999.





