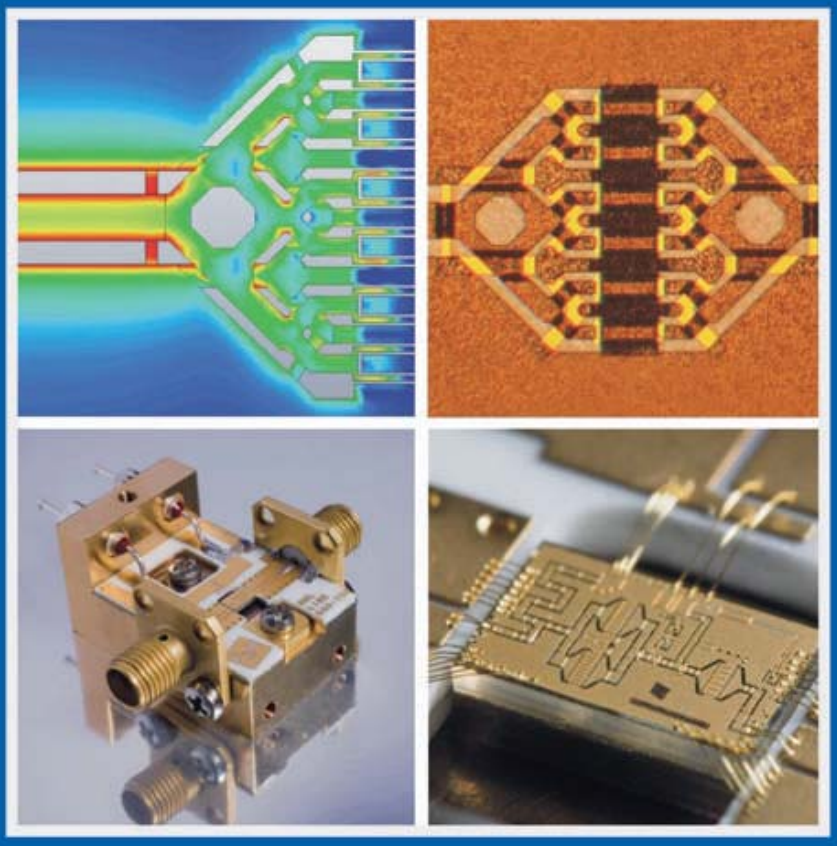
Leibniz
Ferdinand-Braun-Institut

11

Forschungsberichte aus dem
Ferdinand-Braun-Institut
Leibniz Institut
für Höchstfrequenztechnik

Innovationen mit Mikrowellen & Licht

Optimiertes Design von Mikrowellen-Leistungstransistoren und Verstärkern im X-Band



Harald Klockenhoff

aus der Reihe:

Innovationen mit Mikrowellen und Licht

Forschungsberichte aus dem Ferdinand-Braun-Institut Leibniz-Institut für Höchstfrequenztechnik

Band 14

Harald Klockenhoff

Optimiertes Design von Mikrowellen-Leistungstransistoren und Verstärkern im X-Band

Herausgeber: Prof. Dr. Günther Tränkle, Prof. Dr.-Ing. Wolfgang Heinrich

Ferdinand-Braun-Institut
Leibniz-Institut
für Höchstfrequenztechnik (FBH)
Gustav-Kirchhoff-Straße 4
12489 Berlin

Tel. +49.30.6392-2600
Fax +49.30.6392-2602

E-Mail fbh@fbh-berlin.de
Web www.fbh-berlin.de

Innovationen mit Mikrowellen und Licht

**Forschungsberichte aus dem Ferdinand-Braun-Institut,
Leibniz-Institut für Höchstfrequenztechnik**

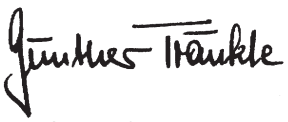
Vorwort der Herausgeber

Neue Ideen, Entwicklungen und Konzepte aus der Forschung sind die Basis von Fortschritt und Wettbewerbsfähigkeit. Als Inventionen erweitern sie den Stand des Wissens und der Technik, als innovative Produkte und Dienstleistungen schließlich findet ein Teil von ihnen Eingang in unsere Alltagswelt.

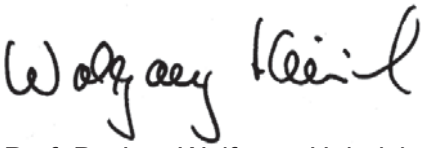
In diesem Sinne dokumentiert die Reihe *„Forschungsberichte aus dem Ferdinand-Braun-Institut, Leibniz-Institut für Höchstfrequenztechnik“* aktuelle Forschungen und Entwicklungen aus dem Institut. Wir möchten Ihnen diese Ergebnisse zugänglich machen und zur weiteren Diskussion anregen – nicht zuletzt, damit möglichst viele Entwicklungen zu einem Teil unseres Alltags werden.

Der vorliegende Beitrag beschäftigt sich mit monolithisch integrierten Leistungsverstärkern für das X-Band. Dabei geht es zum einen um die Optimierung der Transistorperipherie, wobei mithilfe von elektromagnetischen und Großsignal-Simulationen eine innovative Zuführungsstruktur für Multi-Finger-Transistoren entwickelt wird. Zum anderen werden – auf Basis des Gallium-Nitrid-Prozesses am FBH – koplanare Leistungs-MMICs mit mehr als 10 W Ausgangsleistung bei 8 GHz vorgestellt, die sich insbesondere durch ihre kompakte Realisierung auszeichnen.

Eine anregende Lektüre wünschen



Prof. Dr. Günther Tränkle
Direktor



Prof. Dr.-Ing. Wolfgang Heinrich
stellvertretender Direktor

Das Ferdinand-Braun-Institut

Das Ferdinand-Braun-Institut erforscht elektronische und optische Komponenten, Module und Systeme auf der Basis von Verbindungshalbleitern. Diese sind Schlüsselbausteine für Innovationen in den gesellschaftlichen Bedarfsfeldern Kommunikation, Energie, Gesundheit und Mobilität. Leistungsstarke und hochbrillante Diodenlaser, UV-Leuchtdioden und hybride Lasersysteme entwickelt das Institut vom sichtbaren bis zum ultravioletten Spektralbereich. Die Anwendungsfelder reichen von der Medizintechnik, Präzisionsmesstechnik und Sensorik bis hin zur optischen Satellitenkommunikation. In der Mikrowellentechnik realisiert das FBH hocheffiziente, multifunktionale Verstärker und Schaltungen, unter anderem für energieeffiziente Mobilfunksysteme und Komponenten zur Erhöhung der Kfz-Fahrsicherheit. Kompakte atmosphärische Mikrowellenplasmaquellen mit Niederspannungsversorgung entwickelt es für medizinische Anwendungen, etwa zur Behandlung von Hauterkrankungen.

Das FBH ist ein international anerkanntes Zentrum für III/V-Verbindungshalbleiter mit allen Kompetenzen: vom Entwurf, über die Fertigung bis hin zur Charakterisierung von Bauelementen.

Seine Forschungsergebnisse setzt das FBH in enger Zusammenarbeit mit der Industrie um und transferiert innovative Produktideen und Technologien erfolgreich durch Spin-offs. In strategischen Partnerschaften mit der Industrie sichert es in der Höchstfrequenztechnik die technologische Kompetenz Deutschlands.

Optimiertes Design von Mikrowellen-Leistungstransistoren und Verstärkern im X-Band

vorgelegt von
Dipl.-Ing. Harald Klockenhoff
aus Wiesbaden

Von der Fakultät IV
- Elektrotechnik und Informatik -
der Technischen Universität Berlin
zur Erlangung des akademischen Grades

Doktor der Ingenieurwissenschaften
- Dr.-Ing. -

genehmigte Dissertation

Promotionsausschuss:

Vorsitzender:	Professor Dr. H.-J. Grallert
Gutachter:	Professor Dr. W. Heinrich
	Professor Dr. G. Böck

Tag der wissenschaftlichen Aussprache: 07. April 2010

Berlin 2010
D83

Bibliografische Information der Deutschen Nationalbibliothek
Die Deutsche Nationalbibliothek verzeichnet diese Publikation in der Deutschen Nationalbibliografie; detaillierte bibliografische Daten sind im Internet über http://dnb.d-nb.de abrufbar.
1. Aufl. - Göttingen : Cuvillier, 2010
Zugl.: (TU) Berlin, Univ., Diss., 2010

978-3-86955-391-7

© CUVILLIER VERLAG, Göttingen 2010
Nonnenstieg 8, 37075 Göttingen
Telefon: 0551-54724-0
Telefax: 0551-54724-21
www.cuvillier.de

Alle Rechte vorbehalten. Ohne ausdrückliche Genehmigung des Verlages ist es nicht gestattet, das Buch oder Teile daraus auf fotomechanischem Weg (Fotokopie, Mikrokopie) zu vervielfältigen.
1. Auflage, 2010
Gedruckt auf säurefreiem Papier

978-3-86955-391-7

Kurzfassung

Für eine Vielzahl von Anwendungen werden Mikrowellenverstärker mit hoher Ausgangsleistung benötigt. Insbesondere bei tragbaren sowie bei luft- oder weltraumgestützten Sendern sind geringes Gewicht, geringe Größe und hohe Effizienz wichtige Kriterien. Darüber hinaus eröffnen sich im Bereich der Medizintechnik und in der allgemeinen mobilen Kommunikationstechnik immer neue Anwendungsfelder für derartige Verstärker. Der in dieser Arbeit besonders betrachtete Frequenzbereich ist das X-Band (8 bis 12 GHz), in dem vor allem Anwendungen wie Satellitenkommunikation und RADAR angesiedelt sind.

Es werden Leistungsverstärker als GaAs- und GaN-MMICs mit Ausgangsleistungen von bis zu 16 W im X-Band vorgestellt. Zum Zeitpunkt der Veröffentlichung dieser Werte im Jahre 2006 stellten diese einen internationalen Rekord in Bezug auf die Ausgangsleistung pro Chip-Fläche dar. Durch den erfolgreichen Aufbau der Verstärker zu Modulen wird ihre praktische Einsatzfähigkeit demonstriert. Die Verwendung derartiger Halbleiterverstärker eröffnet die Möglichkeit, die bisherigen Röhrenverstärker in einigen Anwendungen durch kleinere, leichtere und von der Betriebsspannung her wesentlich vorteilhaftere Verstärker zu ersetzen. Zusätzlich ergeben sich auf der Systemebene neue Möglichkeiten, wie z.B. die Verwendung von Active Phased Arrays.

Eine grundsätzliche Schwierigkeit der Halbleiterverstärker besteht darin, dass Verstärkung und Effizienz mit zunehmender Größe der Transistoren sinken. Auch bei der Kombination der Leistung mehrerer Transistoren treten ähnlich nachteilige Effekte auf. Durch Simulationen und Messungen wird nachgewiesen, dass diese Phänomene entscheidend von der Gestaltung der Transistor-Peripherie und den Leitungsstrukturen, insbesondere der Massemetallisierung, abhängen. Als Lösung für dieses grundlegende Problem wird eine Zuführungsstruktur entwickelt, die über eine baumartige Verzweigung der Signal- *und* Massemetallisierung dafür sorgt, dass zwei essenzielle Verbesserungen erzielt werden:

1. Alle Transistorzellen werden über elektrisch weitgehend identische Leitungslängen und -impedanzen angeschlossen, wodurch sie mit praktisch gleicher Phase und Amplitude arbeiten.
2. Die Massesträme von Eingangs- und Ausgangssignal werden getrennt, wodurch die Gegeninduktivität reduziert und die Verstärkung im kritischen Frequenzbereich erhöht wird.

Durch Messungen an GaAs-HBTs und GaN-HEMTs mit verschiedenen Varianten dieser neuen Struktur in koplanarer Umgebung werden die vorhergesagten positiven Effekte wie höhere Verstärkung und höhere Effizienz nachgewiesen.

Entsprechende Simulationen zeigen, dass bei Transistoren in Mikrostreifenleitungs-Umgebung zusätzlich der negative Effekt der Masse-Vias deutlich reduziert werden kann. Weiterhin lassen Simulationen darauf schließen, dass die durch die hier entwickelte Zuführungsstruktur erreichte gleichmäßige Verteilung der Leistung auf alle Transistorzellen zudem eine höhere Linearität zur Folge hat.

Basierend auf den gewonnenen Erkenntnissen werden Design-Empfehlungen für die Größe und Geometrie von Leistungstransistoren im X-Band sowohl in koplanarer Umgebung als auch in Mikrostreifenumgebung entwickelt und erläutert.

Die in der vorliegenden Arbeit präsentierten Erkenntnisse tragen dazu bei, das Leistungspotenzial der GaN- und GaAs-Technologie für Mikrowellenverstärker weiter auszuschöpfen.

Abstract

Microwave power amplifiers are used in a multitude of applications. Especially handheld, airborne and spaceborne transmitters have to be lightweight, small and highly efficient. Moreover, new fields in medical applications and general mobile communication technologies require such amplifiers. This thesis focuses on the X-Band frequency range (8 to 12 GHz), which is mainly used for RADAR and satellite communication.

GaAs and GaN MMIC power amplifiers with an output power of up to 16 W are presented. When these values were published in 2006, they represented an international record in terms of power per chip area. The amplifiers are assembled to modules and the practical usability is demonstrated.

In some applications, the classical tube amplifiers can be replaced by such semiconductor amplifiers, which are smaller, lighter, and allow for much more convenient supply voltages. Moreover, new system concepts like Active Phased Arrays become feasible.

A general problem with semiconductor amplifiers is that along with increasing transistor size, gain and efficiency decrease. Similar negative effects arise when several transistors are combined for higher output power. The simulations and measurements presented in this thesis show that these phenomena particularly depend on the geometry of the transistor periphery and the waveguide structure, especially the ground metallization.

As a solution to this fundamental problem, a novel manifold structure is developed. Using a treelike structure of the signal *and* ground metallization, two essential improvements are achieved:

1. All transistor cells are connected via approximately equal line lengths and impedances, thereby operating with virtually identical phase and amplitude.
2. The ground currents of the input and output signal are separated, leading to reduced mutual inductance and increased gain in the relevant frequency range.

Measurements of GaAs HBTs and GaN HEMTs with various CPW realisations of the novel manifold structure prove the predicted positive effects on gain and efficiency.

Simulations show that the same holds true for Transistors with a microstrip priphery and that in addition, the negative effects of the Via inductances can be significantly reduced.

As the power is evenly distributed between the transistor cells by the novel manifold structure, simulations also lead to the conclusion that this results in higher linearity and reliability.

Based on these findings, design recommendations regarding the size and geometry of X-Band power transistors are developed and explained.

The findings presented in this thesis will help to make better use of the potential of the GaN and GaAs technology in microwave amplifiers.

Inhaltsverzeichnis

Kurzfassung III
Abstract V

Kapitel 1 Einleitung 1

Kapitel 2 Grundlagen des Leistungsverstärker-Entwurfs im X-Band 5
2.1 Leistung 5
2.2 Verstärkung 8
2.3 Effizienz 9
2.4 Stabilität 11

Kapitel 3 Die verwendeten III-V Leistungstransistoren 13
3.1 GaAs-HBTs 13
3.2 GaN-HEMTs 15
3.3 Limitierende Faktoren 17
3.3.1 Temperatur 17
3.3.2 Hochfrequenz-Effekte 22

Kapitel 4 Load-Pull-Messtechnik 27

Kapitel 5 Optimierte Transistoren mit neuartiger Peripherie 31
5.1 Messtechnische Untersuchung der klassischen HBTs 32
5.2 Optimierung der Verteilstruktur 35
5.2.1 T-förmige Verteilstruktur 37
5.2.2 Delta-förmige Verteilstruktur 40
5.2.3 Neuartige PSG-Verteilstruktur 47
5.3 Messtechnischer Vergleich verschiedener Verteilstrukturen 58
5.3.1 Messergebnisse für GaN-HEMTs 58
5.3.2 Messergebnisse für GaAs-HBTs 65
5.4 Auswirkung der Verteilstruktur auf die Anpassung 71
5.5 Der optimale X-Band Leistungstransistor 72
5.6 Zusammenfassung 73

Kapitel 6 Leistungsverstärker-MMICs 75
6.1 GaAs-HBT-Verstärker 76
6.1.1 GaAs-HBT-Verstärker mit einem Transistor 76
6.1.2 GaAs-HBT-Verstärker mit zwei Transistoren 79
6.2 GaN-HEMT-Verstärker 83
6.2.1 GaN-HEMT-Verstärker mit einem Transistor 83
6.2.2 GaN-HEMT-Verstärker mit zwei Transistoren 87
6.2.3 Mehrstufige GaN-HEMT-Verstärker 91
6.3 Zusammenfassung 95

Kapitel 7 Aufbau von Verstärkermodulen 97
7.1 Allgemeines zum Aufbau von Hochfrequenzbauelementen 97
7.2 Verstärkermodule mit GaM-MMICs 98
7.3 Messung der aufgebauten GaN-Verstärkermodule 100

Kapitel 8 Zusammenfassung und Ausblick 103

Anhang A Symbole und Abkürzungen 107

Anhang B Extraktion von Ersatzschaltbild-Elementen 109

Literaturverzeichnis 111

Danksagung 113

Lebenslauf 115

KAPITEL 1

Einleitung

Der ideale Hochfrequenz-Leistungsverstärker hat eine hohe Ausgangsleistung, hohe Verstärkung und hohe Effizienz. Dabei ist er klein, leicht, temperatur-unempfindlich, breitbandig und linear. Außerdem kostet er fast nichts.

Die Realität ist jedoch weit von diesem idealen Hochfrequenz-Leisungsverstärker entfernt. Vielfach werden bei Frequenzen oberhalb von 10 GHz und bei Leistungen über 10 W noch immer Elektronenröhren als Verstärker-Bauelement eingesetzt. Diese Systeme sind aufgrund ihrer Bauform sowie der benötigten Hochspannung und Heizung groß, schwer und energieintensiv. Herkömmliche Halbleiter-Verstärker, die bei kleineren Leistungen und Frequenzen eingesetzt werden, bereiten wegen der niedrigen Betriebsspannungen von 3 V bis maximal 30 V Probleme. Bei niedriger Spannung ist zur Erzeugung hoher Leistungen ein großer Strom notwendig. Dies bedeutet starke ohmsche Verluste sowohl in der Gleichstromversorgung als auch in den Wellenleitern. Gleichzeitig sind dadurch die Impedanzen der Bauelemente sehr niedrig und die Anpassung an die üblichen 50 Ω Wellenleiter besonders schwierig. Selten werden Effizienzen über 30 % erreicht.

Die Anwendungsgebiete von Hochfrequenz-Verstärkern sind äußerst vielfältig. Über Jahrzehnte wurden Hochfrequenz-Leistungsverstärker vor allem für die Kommunikation und RADAR-Anwendungen in der Luft- und Raumfahrt sowie für militärische Anwendungen entwickelt, wo die Kostenfrage eine untergeordnete Rolle spielte. Obwohl diese Bereiche schon recht lange existieren, besteht aktuell sehr großes Interesse daran, das gesamte Konzept bestimmter Systeme durch neuartige kleine, leichte und effiziente Verstärker zu revolutionieren. So sind beispielsweise Hersteller und Nutzer bisheriger RADAR-Systeme, bestehend aus einem Röhrenverstärker und einer mechanisch geschwenkten Antenne, bestrebt, diese durch Active Phased Arrays zu ersetzen. Diese Systeme sind nicht nur kleiner, leichter und effizienter als die mechanischen Lösungen, sie sind zudem ausfallsicherer, können schneller geschwenkt werden und mehrere Ziele gleichzeitig verfolgen. Weiterhin

kann die Strahlcharakteristik der Antenne flexibel an die augenblicklichen Bedürfnisse angepasst werden.

Der erste Massenmarkt für Hochfrequenz-Verstärker entstand durch die zunehmende Verbreitung von Mobiltelefonen, wodurch die Nachfrage nach preiswerten Verstärkern rasch anstieg. Diese Entwicklung hat sich durch WLAN, WiMAX und ähnliche Standards weiter verstärkt. Hierdurch wurden in diesem Bereich Investitionen getätigt und Ideen gefördert.

Dass geringe Effizienz ein Problem darstellt, ist für die mobilen Endgeräte wegen der begrenzten Energieversorgung offensichtlich. Aber auch bei stationären Systemen beinhaltet geringe Effizienz einen enormen (vermeidbaren) Energieaufwand. Die Gesamteffizienz der Systeme liegt meist unter 10 %. Steigende Energiekosten und das Streben nach umweltfreundlicheren Technologien verstärkt laufend die Notwendigkeit, effizientere Verstärker zu entwickeln. Ein Beispiel sind Mobilfunk-Basisstationen, deren Betriebskosten zu einem erheblichen Anteil aus Energiekosten bestehen. Aufgrund der hohen und ständig steigenden Zahl der Basisstationen ließe sich durch effizientere Verstärker eine wirtschaftlich und gesellschaftlich relevante Menge an Energie einsparen.

Seit einigen Jahren hat Gallium-Nitrid (GaN) als Halbleitermaterial einen Reifegrad erreicht, mit dem erfolgreich Transistoren und Schaltungen hergestellt werden können. Seit 2007 sind einzelne Baulemente schon kommerziell erhältlich. Gallium-Nitrid (GaN) hat physikalisch das Potenzial und ist technologisch auf dem Weg, einerseits in den Bereich oberhalb von 10 W bei 10 GHz und mehr vorzustoßen und andereseits in den Bereichen bisheriger Halbleiter-Verstärker höhere Effizienzen zu erreichen. GaN wird also einerseits die Elektronenröhren (teilweise) ersetzen und die Systeme kleiner, leichter und effizienter machen. Andererseits wird es sicherlich auch manch andere Halbleiter durch technische Überlegenheit aus deren bisherigen Anwendungen verdrängen, sobald sein Preis ausreichend gering und die Lebensdauer ausreichend hoch ist. Vor allem aber wird es Anwendungen und Systeme ermöglichen, die bisher nicht realisierbar sind. Hier sind einige faszinierende Neuerungen in den klassischen Bereichen wie Luft- und Raumfahrt, aber auch in der Medizintechnik sowie im Automotive- und Consumer-Bereich zu erwarten. Durch die große Bandlücke von 3,4 eV ist GaN für mittlere und hohe Betriebsspannungen von 20 V bis über 100 V geeignet. Dadurch entstehen bei gleicher Ausgangsleistung geringere ohmsche Verluste. Außerdem ermöglicht dies eine leichtere Anpassung an 50 Ω bzw. eine größere Bandbreite als das bei anderen Baulementen wie beispielsweise GaAs-

PHEMTS bzw. Si-LDMOS-Transistoren der Fall ist. Seine hohe Elektronenbeweglichkeit erlaubt große Ströme bei hohen Betriebsfrequenzen. GaN ist zusätzlich temperaturstabiler und weniger strahlungsempfindlich als andere Halbleiter. Um das physikalisch vorhandene Potenzial von GaN technisch ausschöpfen zu können und zugleich eine hohe Lebensdauer zu erreichen, müssen jedoch auf allen Ebenen Verbesserungen erreicht werden, von der Bauelement-Technologie über das Bauelemente- und Schaltungs-Design bis hin zu den Konzepten der Sub-Systeme und Systeme.

Diese Situation bildet Hintergrund und Motivation der vorliegenden Arbeit. Sie liefert einen Beitrag zur Verbesserung des Peripherie-Designs von Leistungstransistoren und entsprechenden monolithisch integrierten Mikrowellenschaltungen (Monolithic Microwave Integrated Circuits, MMICs), insbesondere für den Frequenzbereich oberhalb von 5 GHz. Hieraus ergeben sich deutliche Verbesserungen der Verstärkung, der Effizienz und letztlich auch der Ausgangsleistung. Die Ergebnisse sind nicht auf eine Technologie beschränkt, sondern können beispielsweise genau so bei GaAs-HBTs wie bei GaN-HEMTs genutzt werden, um deren Leistungsfähigeit auszuschöpfen. Die positiven Effekte wirken sich direkt auf die erzielbaren Leistungsdaten wie Verstärkung und Effizienz konventioneller linearer Verstärker aus. Aber auch für Schaltverstärker sind die Neuerungen von großem Nutzen, da durch die höhere Grenzfrequenz der Bauelemente die Schaltgeschwindigkeit verbessert und damit die Effizienz bzw. die Bandbreite erhöht werden.

Die Arbeit gliedert sich in acht Kapitel: In Kap. 2 werden wesentliche Grundlagen und Schlüsselkriterien des Leistungsverstärker-Entwurfs im X-Band erläutert. Kap. 3 beschreibt die beiden Transistor-Technologien, GaAs-HBTs und GaN-HEMTs, die für diese Arbeit verwendet wurden. Im Kap. 4 wird die Load-Pull-Messtechnik vorgestellt, mit deren Hilfe die Ergebnisse der Leistungsmessungen in dieser Arbeit gewonnen wurden. Die Entwicklung der neuartigen Transistor-Peripherie, die zur signifikanten Verbesserung der Verstärkung und damit der Effizienz beiträgt, ist in Kap. 5 beschrieben. Ausgehend vom Vergleich vorhandener Transistoren werden mit Hilfe elektromagnetischer Simulation und Netzwerksimulation mögliche Optimierungen untersucht. Schließlich werden verschiedene Varianten der neuartigen Transistoren ausführlich messtechnisch charakterisiert und verglichen. Kap. 6 beschreibt den Entwurf und die Messergebnisse von monolithischen GaAs- und GaN-Verstärkern. Der Aufbau einiger dieser Verstärker zu Modulen, die z.B. als Messverstärker eingesetzt werden können, ist in Kap. 7 beschrieben. Die Arbeit schließt mit der Zusammenfassung und einem Ausblick auf

die Nutzung der Erkenntnisse und empfohlene weitere Untersuchungen in Kap. 8.

KAPITEL 2

Grundlagen des Leistungsverstärker-Entwurfs im X-Band

Dieses Kapitel beschreibt die grundlegenden Aspekte des Entwurfs linearer Leistungsverstärker im X-Band, also im Frequenzbereich von etwa 8 GHz bis 12 GHz, die entsprechenden Schlüsselkriterien sowie einige der daraus resultierenden Anforderungen an die verwendeten Transistoren. Auf die Eigenschaften der für diese Arbeit verwendeten Transistoren wird in Kap. 3 näher eingegangen.

Die im Zusammenhang mit dieser Arbeit entworfenen Verstärker dienen vor allem als Demonstratoren und zur Verifikation der Leistungsdaten der Transistoren in einer anwendungsnahen Umgebung. Daher wurden Schaltungen geringer Komplexität und guter Vergleichbarkeit sowohl mit den Messdaten der Einzelbauelemente als auch mit ähnlichen bekannten Verstärkern gewählt. Die grundlegenden Schaltungskonzepte wurden entsprechend eingeschränkt und als Betriebsart Klasse A bzw. AB gewählt (s. [1], [2]).

2.1 Leistung

Ein Ziel der hier dargestellten Arbeit war es, mit den am FBH hergestellten Transistoren hohe Ausgangsleistungen im Bereich um 10 GHz zu erzeugen, ohne dabei eine entscheidende Reduktion der Verstärkung oder der Effizienz in Kauf nehmen zu müssen.

Das einfachste Schaltungskonzept, das besonders bei Verstärkern, die eine hohe Linearität aufweisen sollen, immer wieder verwendet wird, ist der Klasse-A-Verstärker. Hierfür wird ein Arbeitspunkt in der Mitte des Ausgangskennlinienfeldes gewählt, so dass eine gleichmäßige Aussteuerung der positiven und negativen Halbwelle erfolgen kann (vgl. Abb. 2.1). Dabei werden, wie in Abb. 2.2 dargestellt, die Impedanzen des Transistor-Eingangs und Ausgangs mit Hilfe von Anpassungsnetzwerken an die Quell- und Lastimpedanzen angepasst. Eingangsseitig wird dabei grundsätzlich konjugiert-komplex auf S'_{11}, d.h. möglichst reflexionsfrei angepasst. Ausgangsseitig spielen

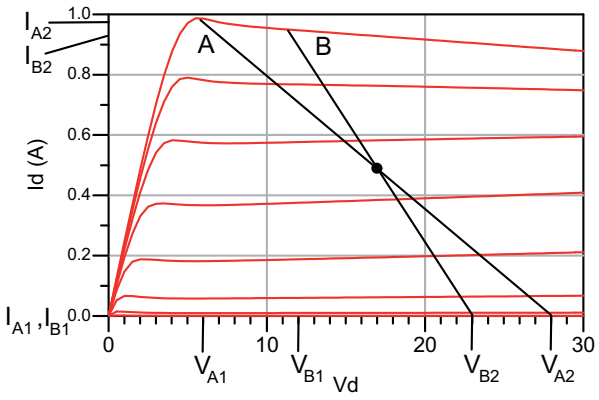


Abb. 2.1 Ausgangskennlinien eines GaN-HEMTs und schematische Darstellung zweier Lastlinien (A und B) in Abhängigkeit von der Lastimpedanz.

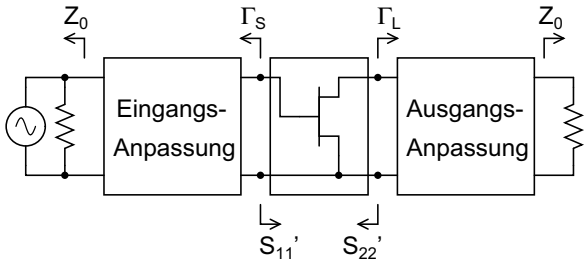


Abb. 2.2 Anpassung des Transistors mit Hilfe von Anpassungsnetzwerken zur Erreichung hoher Leistung und Verstärkung.

bei der Anpassung verschiedene Optimierungskriterien eine Rolle. Je nachdem, ob eine möglichst hohe Verstärkung, eine möglichst hohe Ausgangsleistung oder eine möglichst hohe Effizienz erzielt werden sollen, müssen dem Transistor verschiedene Lastimpedanzen angeboten werden. Für eine möglichst große Verstärkung wird auch ausgangsseitig konjugiert-komplex angepasst. Für maximale Ausgangsleistung wird in der Regel eine davon verschiedene Ausgangsimpedanz benötigt. Dabei steigt die maximale Ausgangsleistung, während die lineare Verstärkung sinkt (vgl. Abb. 2.3). Die Leistungskurve A zeigt eine höhere maximale Ausgangsleistung als Kurve B, jedoch im linearen Bereich eine geringere Verstärkung. Die Impedanz zur Erzielung der maximalen Ausgangsleistung hängt nicht in erster Linie von der Ausgangsimpedanz des Transistors ab, sondern vom Verhältnis des Spannungshubs ΔV zum Stromhub ΔI. In erster Näherung ergibt sich bei Vernachlässigung parasitärer Kapazitäten und Induktivitäten die Ausgangsleistung durch folgende Gleichung:

$$P_{OUT} = \frac{\Delta V \cdot \Delta I}{8} \tag{2.1}$$

In Abb. 2.1 sind beispielhaft zwei Lastlinien für verschiedene Lastimpedanzen eingezeichnet. Dabei gilt in Gl. 2.1 für die Lastlinie A:

$$\Delta V = V_{A2} - V_{A1} \tag{2.2}$$

$$\Delta I = I_{A2} - I_{A1} \tag{2.3}$$

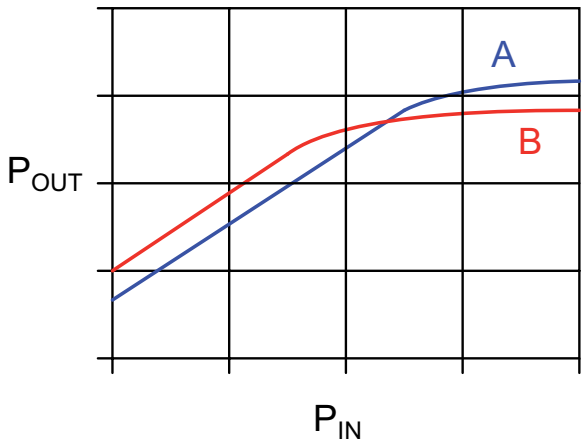


Abb. 2.3 Schematische Darstellung von Leistungkurven in Abhängigkeit von der Lastimpedanz bei Optimierung auf max. Leistung (A) bzw. max. Verstärkung (B).

Durch die Wahl der korrekten Lastimpedanz kann erreicht werden, dass sowohl der komplette Spannungshub als auch der komplette Stromhub ausgenutzt werden, wie es durch die Lastlinie A in Abb. 2.1 angedeutet ist. Bei zu geringer Lastimpedanz beispielsweise wird zwar der zur Verfügung stehende Stromhub voll ausgesteuert, nicht jedoch der volle Spannungshub, wie es in Abb. 2.1 durch die Lastlinie B angedeutet ist. Die hier stark vereinfachte Darstellung geht von reellen Impedanzen aus. Dies entspricht nur näherungsweise der Realität, reicht jedoch zum grundsätzlichen Verständnis der Verhältnisse aus. Insbesondere durch die parasitären Kapazitäten weitet sich die Lastlinie zu einer Form ähnlich einer „8“ auf. Eine ausführlichere Darstellung der Verhältnisse findet sich in [1], wo auch die Abschätzung der optimalen Lastimpedanz aus wenigen Ersatzschaltbildelementen abgeleitet wird.

Während sich die Lastimpedanz zur Erzielung der höchsten linearen Verstärkung aus den S-Parametern des Transistors errechnen lässt, sind zur Bestimmung der optimalen Lastimpedanz für höchste Ausgangsleistung Load-Pull-Messungen die sicherste Methode. Das recht aufwendige Messverfahren ist in Kap. 4 beschrieben. Wenn keine Load-Pull-Messungen zur Verfügung stehen, können nichtlineare Simulationen zur Bestimmung der optimalen Lastimpedanz herangezogen werden. Diese setzen jedoch ein sehr genaues nichtlineares Modell des Transistors voraus. Eine weitere interessante Methode zur Bestimmung von Γ_{opt} für möglichst hohes P_{-1dB} aus DC-Messungen und S-Parametern ist in [3] beschrieben. Diese Methode erscheint vielversprechend, wurde aber hier nicht verwendet.

2.2 Verstärkung

Die Verstärkung in Dezibel (dB) errechnet sich aus dem Verhältnis der Eingangs- und Ausgangsleistungen gemäß Gl. 2.4:

$$G_{P,dB} = 10 \cdot log\left(\frac{P_{OUT}}{P_{IN}}\right) \tag{2.4}$$

$$G_{PAV,dB} = 10 \cdot log\left(\frac{P_{OUT}}{P_{INAV}}\right) \tag{2.5}$$

Um die Verhältnisse differenziert zu betrachten, werden bis zu neun verschiedene Definitionen der Verstärkungen unterschieden, abhängig davon, ob Rückwirkungen betrachtet werden und ob die Ein- und Ausgänge angepasst sind. Eine genaue Auflistung hierzu findet sich in [4].

Für diese Arbeit ist lediglich die Unterscheidung zwischen Leistungsverstärkung (Power Gain, G_P) und verfügbarer Leistungsverstärkung (Available Power Gain, G_{PAV}) von Interesse. Bei der Leistungsverstärkung werden die tatsächliche an eine bestimmte Last gelieferte Leistung (P_{OUT}) und die tatsächliche Eingangsleistung (P_{IN}) miteinander ins Verhältnis gesetzt. Bei der verfügbaren Leistungsverstärkung wird nicht die tatsächliche Eingangsleistung, sondern die verfügbare Leistung der Quelle (P_{INAV}) zugrunde gelegt. Ist der Eingang des Verstärkers oder des Bauelements nicht angepasst, treten Reflexionen auf P_{IN} inst kleiner als P_{INAV}. Folglich ist G_{PAV} kleiner als G_P . Es stellt also G_P eine obere Grenze für G_{PAV} dar ($G_{PAV} \leq G_P$), die nur bei perfekter Eingangsanpassung erreicht wird. In der Praxis ist die verfügbare Leistung der Quelle bekannt bzw. mit einem Leistungsmesser zu bestimmen. Die tatsächliche Eingangleistung ist wesentlich schwieriger zu bestimmen. Sie kann entweder errechnet werden, wenn die Impedanzen der Quelle und des Verstärker- bzw. Transistoreingangs durch Messung genau bekannt sind, oder sie kann mit Hilfe von Reflektometern gemessen werden. Beide Methoden sind recht aufwendig. Zudem ist der praktische Nutzen gering, da der Power Gain ausdrückt, welche Verstärkung theoretisch bei perfekter Anpassung zwischen Quelle und Verstärkereingang erreichbar ist. Von höherem praktischen Interesse ist die verfügbare Leistungsverstärkung, also die Verstärkung, welche in der vorliegenden Anordnung tatsächlich erreicht wird. Außerdem sind bei weitgehend angepassten Verhältnissen, d.h. bei Reflexionen geringer als -10 dB, die Unterschiede zwischen G_P und G_{PAV} kleiner als 0,5 dB. In dieser Arbeit ist daher mit Verstärkung immer die verfügbare Leistungsverstärkung gemeint, solange nicht explizit etwas anderes zum Ausdruck gebracht wird.

Für Verstärkermodule sind Verstärkungen von 15 dB bis 40 dB üblich. Diese Verstärkung wird von einem einstufigen Verstärker – wenn überhaupt – nur bei relativ niedrigen Frequenzen erreicht. Daher werden Leistungsverstärker in der Regel mehrstufig aufgebaut. Aus der praktischen Erfahrung und den ausführlichen Erläuterungen in [1] ergibt sich, dass eine Leistungsendstufe kaum effizient eingesetzt werden kann, wenn ihre Verstärkung geringer als 10 dB ist. Bei geringerer Verstärkung muss die Vorstufe, der Treiberverstärker, eine nur geringfügig kleinere Ausgangsleistung als die Endstufe haben, was zu einem dramatischen Abfall der Gesamteffizienz führt. Durch Verluste und Kompromisse in der Beschaltung werden in der Schaltung die am einzelnen Bauelement gemessenen möglichen Verstärkungen normalerweise nicht erreicht. Um eine Endstufe mit mindestens 10 dB Verstärkung entwerfen zu können, werden folglich Bauelemente benötigt, die eine maximale verfügbare Verstärkung (Maximum Available Gain, MAG) bei der Betriebsfrequenz haben, die deutlich über 10 dB, also bei mindestens 13 bis 15 dB liegt.

Auf den Begriff der maximal verfügbaren Verstärkung wird im Zusammenhang mit den Eigenschaften der Baulemente in Kap. 3.3.2 noch einmal näher eingegangen.

2.3 Effizienz

Wie schon in der Einleitung ausführlich erläutert, spielt die Effizienz bei Hochfrequenzleistungsverstärkern eine große Rolle, gerade weil bisher oft nur Werte unterhalb von 30 % erreicht werden. Das am weitesten verbreitete Maß für Effizienz, das auch in dieser Arbeit verwendet wird, ist die sog. Power Added Efficiency (PAE). Gemäß Gl. 2.6 wird zur Berechnung der PAE die HF-Leistung, die durch den Verstärker zur Eingangs-HF-Leistung hinzugefügt wird, ins Verhältnis gesetzt zur aufgenommenen DC-Leistung:

$$PAE = \frac{P_{HF,OUT} - P_{HF,IN}}{P_{DC,IN}} = \frac{P_{HF,OUT} \cdot (1 - \frac{1}{G})}{P_{DC,IN}} \tag{2.6}$$

Gelegentlich wird in der Literatur auch die sog. Kollektor- oder Drain-Effizienz (η) verwendet, bei der entsprechend Gl. 2.7 nur die HF-Ausgangsleistung zur DC-Eingangsleistung ins Verhältnis gesetzt wird.

$$\eta = \frac{P_{HF,OUT}}{P_{DC,IN}} \tag{2.7}$$

Solange die HF-Eingangsleistung im Verhältnis zur Ausgangsleistung klein ist, und folgich die Verstärkung groß ist, unterscheiden sich die Werte für PAE und η nur geringfügig. Sinkt jedoch die Verstärkung unter 10 dB, was einem Faktor 10 entspricht, so werden die Zahlenwerte der Kollektor- oder Drain-Effizienz deutlich größer als die der PAE. Ist keine Verstärkung mehr vorhanden, so ist die PAE ebenfalls Null, während η immmer noch große Werte annehmen kann, die jedoch keine sinnvolle Information mehr darstellen.

Wie schon in der Einleitung zu Kap. 2 erwähnt, werden in der Hochfrequenztechnik verschiedene schaltungstechnische Maßnahmen ergriffen, um bei Verstärkern eine höhere Effizienz zu erreichen. Mit einem Klasse-A-Verstärker, wie er in Kap. 2.1 vorgestellt wurde, ist theoretisch eine maximale Effizienz von 50 % zu erreichen. Die maximale Ausgangleistung ergibt sich aus Gl. 2.1. Die aufgenommene DC-Leistung bei der Lage des Arbeitspunktes in der Mitte des Kennlinienfeldes, also vereinfacht auch in der Mitte der Spannungs- bzw. Stromhubes, ergibt sich aus Gl. 2.8. Selbst bei Vollaussteuerung ist also die abgegebene HF-Leistung nur halb so groß wie die aufgenommene DC-Leistung. Sind die Verhältnisse nicht ideal, so ergibt sich schon als maximale PAE ein Wert kleiner als 50 %. Ein zusätzlicher Nachteil ist die Tatsache, dass bei einem solchen Verstärker, die gesamte DC-Leistung in Wärme umgewandelt wird, wenn kein Eingangssignal anliegt. Diese Leistung geht erstens schlicht verloren und muss zweitens durch entsprechende Kühlung abgeführt werden. Bei geringer Aussteuerung stellt sich ein Zwischenzustand mit einer PAE kleiner als die maximale PAE ein.

$$P_{DC} = \frac{1}{2}\Delta V \cdot \frac{1}{2}\Delta I = \frac{1}{4}\Delta V \cdot \Delta I = 2 \cdot P_{OUT} \tag{2.8}$$

Durch die Wahl eines Arbeitspunktes, bei dem kein Ruhestrom fließt, können die oben genannten Nachteile reduziert und die maximale PAE erhöht werden. Allerdings wird dann nur noch maximal eine Halbwelle des Eingangssignals übertragen und verstärkt. Dann spricht man von Klasse-B- bzw. Klasse-C-Verstärkern. Bei Verstärkern, die zwischen 50 % und 100 % der Schwingung übertragen, spricht man von Klasse AB.

Klasse-B-Verstärker erzielen die gleiche Ausgangsleistung wie Klasse-A-Verstärker. Die aufgenommene DC-Leistung ist aber aufgrund des nicht vorhandenen Stromflusses während einer halben Periode um den Faktor $\pi/2$ reduziert. Dadurch erhöht sich die maximal erreichbare PAE auf $\pi/4 \approx 78.5\%$. Der große Nachteil ist jedoch, dass für die Vollaussteuerung eines Klasse-B-Verstärkers theoretisch ein um 6 dB höheres Eingangssignal notwendig ist. Dies bedeutet praktisch eine Reduzierung des Verstärkung um 6 dB. Folglich ist für den Betrieb einer Klasse-B-Endstufe eine Treiberstufe höherer Ausgangsleistung notwendig. Dabei wird der mögliche Effizienz-Gewinn in der Endstufe schnell durch die zusätzlichen Verluste in der Treiberstufe zunichte gemacht. Eine ausführliche Analyse hierzu ist in [1] zu finden.

Bei Klasse-C-Verstärkern steigt die Effizienz mit abnehmendem Übertragungswinkel weiter an. Allerdings reduziert sich dabei die erzielbare Ausgangsleistung und Verstärkung ebenfalls drastisch.

Eine weitere Methode zur Erhöhung der Effizienz besteht in der gezielten Gestaltung der Wellenform am Ausgang des Transistors. Beim sog. Klasse-F-Verstärker werden definierte Abschlüsse der Oberwellen realisiert, so dass bei gleicher Maximal-Aussteuerung der Leistungsanteil in der Grundwelle ansteigt.

Eine eigene Kategorie bilden die Schaltverstärker. Bei diesen Konzepten wird versucht, den Transistor ständig in Betriebszuständen geringer Verlustleistung zu halten, also das gleichzeitige Auftreten von Strom und Spannung am Bauelement zu vermeiden. Zwischen den beiden extremen Zuständen „hoher Strom mit geringer Spannung“ und „geringer Strom mit hoher Spannung“ wird nicht wie beim Klasse-A-Verstärker diagonal durch den verlustreichen Teil des Kennlinienfelds gefahren, sondern am Rande des Kennlinienfeldes entlang. Reale Bauelemente haben jedoch Verluste und endliche Schaltzeiten, so dass das die theoretisch mögliche Effzienz von 100 % auch bei Schaltverstärkern nicht erreicht wird. Es können jedoch gegenüber den linearen Konzepten erheblich höhere Effizienzen erzielt werden. Prominente Vertreter dieser Kategorie sind die Klasse-D- und Klasse-E-Verstärker. Da sie in dieser Arbeit keine Anwendung finden, wird hier jedoch nicht weiter darauf eingegangen. Eine ausführliche Beschreibung findet sich in [1] sowie in vielen aktuellen Veröffentlichungen.

2.4 Stabilität

Neben den Optimierungszielen für HF-Verstärker wie Leistung, Verstärkung und Effizienz gibt es eine weitere wichtige Randbedingung zu beachten: die Stabilität.

Durch die Beschaltung der Transistoren zur Erreichung der oben genannten Optimierungsziele und die innere Rückwirkung der Transistoren kann es zu Situationen kommen, in denen der Verstärker schwingt. Sind in der Endstufe mehrere Transistoren parallel geschaltet, so schwingen diese im einfachsten Fall synchron. Die Methoden zur Untersuchung dieses Problems sind die gleichen wie bei einem Verstärker mit nur einem Transistor. Hier ist zunächst das Rollet-Kriterium (oder K-Faktor) zu nennen [5], bei dessen Verwendung weitere Randbedingungen überprüft werden müssen, um absolute Stabilität zu gewährleisten. Dies wird u.a. ausführlich von Edwards [6] erläutert, der das μ-Kriterium einführt, dessen Wert ohne weitere Nebenbedingungen eine Aussage über die Stabiltät macht.

Es können aber bei der Parallelschaltung mehrerer Transistoren auch Moden auftreten, in denen die Transistoren gegenphasig schwingen, sie sog. Odd-Mode-Oscillations. Je größer die räumliche Ausdehnung des Verstärkers ist und je mehr Transistoren beteiligt sind, um so komplexer werden die Untersuchungen auf mögliche Schwingungsprobleme. Struble und Platzker schlagen hierfür die Methode der Normalized Determinant Function (NDF) vor [7], während Ohtomo über die Zerlegung der Schaltung und Nyquist-Plots ebenfalls die Stabilität der verschiedenen Moden einer Schaltung aus mehreren aktiven Elementen nachweist [8].

In der Regel lässt sich bei nicht zu aggressivem Design durch einige gezielte Maßnahmen die Gefahr von Instabilität deutlich reduzieren. Auf derartige Maßnahmen wird bei der Beschreibung des Entwurfs diverser Verstärker in Kap. 6 näher eingegangen.

Es gibt durchaus auch komplexere Situationen, in denen durch die Aussteuerung mit einem Eingangssignal Betriebszustände erzeugt werden, die zu Schwingungen bei einer anderen als der Eingangsfrequenz führen. Diese Vorgänge werden beispielsweise von Almudena Suarez in [9] und [10] eingehend untersucht.

KAPITEL 3

Die verwendeten III-V Leistungstransistoren

Dieses Kapitel beschreibt die für diese Arbeit verwendeten Leistungstransistoren, GaAs-HBTs und GaN-HEMTs, und ihre für die Verwendung in Hochfrequenz-Leistungsverstärkern wesentlichen physikalisch-technischen Eigenschaften.

3.1 GaAs-HBTs

Hetero-Biploar-Transistoren (HBTs) sind vertikale Bauelemente, d.h. der Stromfluss findet senkrecht zur Wafer-Ebene durch die epitaktisch gewachsenen Kollektor-, Basis-, und Emitter-schichten statt. Ein vereinfachter Querschnitt ist in Abb. 3.1 dargestellt.

Wie schon in Kap. 2 und Kap. 3.3.2 erläutert, sind eine hohe Grenzfrequenz und hohe Verstärkung eine unerlässliche Voraussetzung für die Verwendung von Transistoren in Hochfrequenz-Verstärkern. Beim HBT wird die Erhöhung beider Parameter im Vergleich zum ursprünglichen Bipolar-Transistor (BJT) ermöglicht, in dem durch einen Hetero-Übergang zwischen Basis und Emitter der Löcherstrom unterdrückt wird. Das Emitter-Material (hier InGaP) hat dabei einen höheren Bandabstand als das Basismaterial (GaAs), so dass der kleine Sprung im Leitungsband von den Elektronen leicht überwunden wird, während der große Sprung im Valenzband von den Löchern schwerer überwunden wird [11], [12]. Durch diese Maßnahme ist es möglich, eine höher dotierte Basisschicht zu verwenden, die wiederum die Reduzierung der Basis-Schichtdicke und des Basiswiderstandes erlauben, wodurch kürzere Basislaufzeiten und somit höhere Grenzfrequenzen erreicht werden. Beim BJT ohne Heteroübergang senkt die Erhöhung der Basisdotierung die Verstärkung, so dass sich hier kein Vorteil gegenüber einer gering dotierten Basis ergibt.

Die Technologie der für diese Arbeit verwendeten HBTs basiert auf einem am FBH etablierten InGaP/GaAs-HBT-Prozess, der für Leistungsanwendungen im Frequenzbereich um 2 GHz und Betriebsspannungen von bis

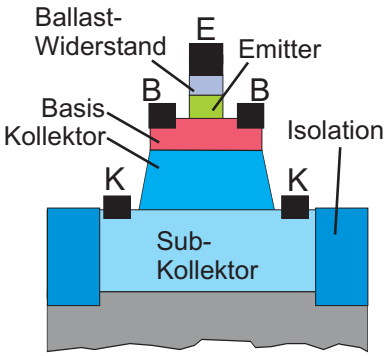


Abb. 3.1 Schematischer Querschnitt einer einzelnen HBT-Zelle.

Abb. 3.2 REM-Bild einer einzelnen HBT-Zelle, im Vordergrund die Zusammenführung der beiden Basis-Kontakte.

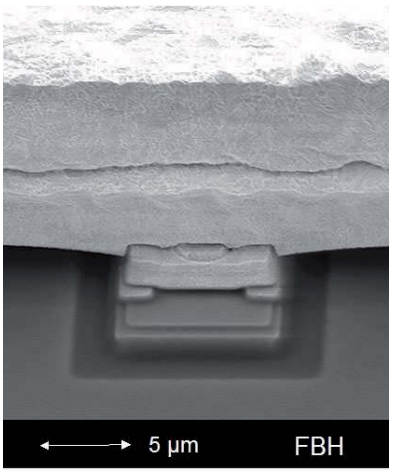


Abb. 3.3 REM-Bild einer HBT-Zelle eines Multizellen-Transistors mit Emitter-Brücke.

zu 28 V ausgelegt ist [13]. Hierauf aufbauend wurden die Epitaxie-Schichten und die Prozess-Details angepasst und optimiert, um den nutzbaren Frequenzbereich der Transistoren in das X-Band auszudehnen. Gleichzeitig reduziert sich hierdurch die Durchbruchspannung BV_{CB0} auf 24 V, so dass ein sicherer Betrieb bei 9 bis 10 V Betriebsspannung möglich ist [14]. Außerdem werden Widerstandsschichten im Emitter verwendet, die als verteilter Ballast-Widerstand dienen und die elektrische und thermische Stabilität der Bauelemente erhöhen. Hierauf wird in Kap. 3.3.1 im Detail eingegangen.

Die Schichten der für diese Arbeit verwendeten HBTs werden am FBH auf 100 mm GaAs-Substraten in einem MOVPE (Metal-Organic Vapor Phase Epitaxy) Planeten-Reaktor gewachsen.

Im Prozess wird eine doppelte Mesa-Ätzung verwendet, um den Kollektor und die Basis zu kontaktieren. Außerdem wird zweifach implantiert, um die Bauelemente elektrisch voneinander zu isolieren und die externe Basis-Kollektor-Kapazität zu reduzieren [13].

Die Technologie-Kontrolltransistoren bestehend aus einer Transistorzelle mit einer Emitter-Fläche von 3x30 µm^2 zeigen ein f_T von ca. 35 GHz und ein f_{max} von über 100 GHz (vgl. Abb. 3.6). Die konkreten Leistungsdaten wie Verstärkung, Leistung, maximale Betriebsfrequenz und Effizienz der hier verwendeten Transistoren werden im Kap. 5 eingehend behandelt. Die Modellierung von HBTs wird ausführlich in [15] behandelt. Die Thematik wird im

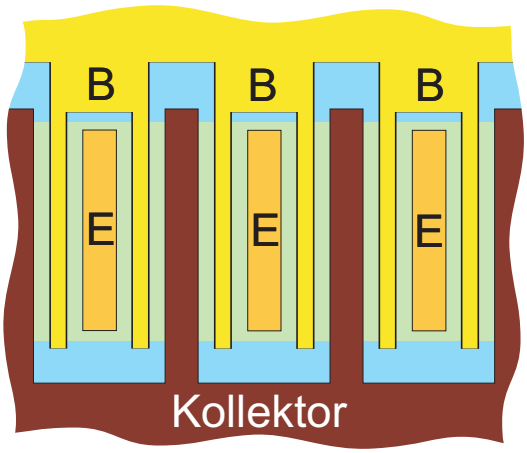


Abb. 3.4 Verschaltung mehrerer HBT-Zellen.

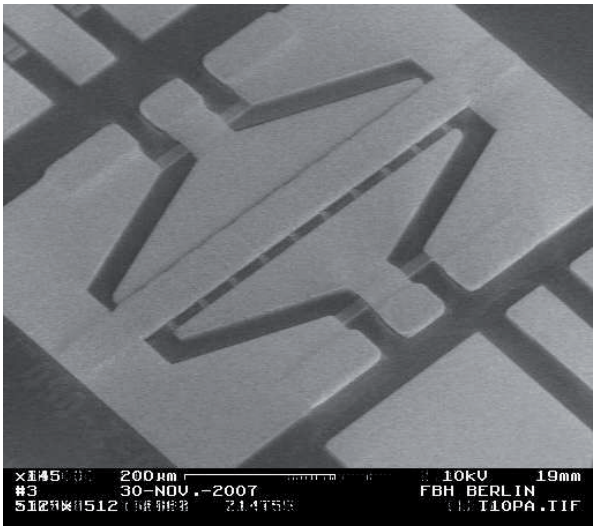


Abb. 3.5 REM-Bild eines Leistungstransistors aus mehreren HBT-Zellen.

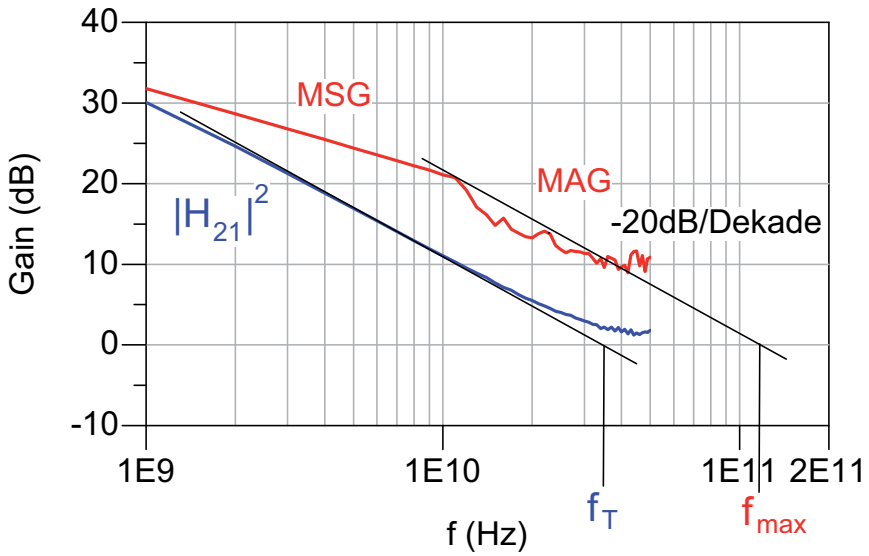


Abb. 3.6 Typische Werte für f_T und f_{max} eines gmx GaAs-HBTs mit 1x3x30 µm^2 Emitter-Fläche.

Zusammenhang mit dem optimierten Design der Peripherie von Transistoren im Kap. 5 noch einmal aufgegriffen.

3.2 GaN-HEMTs

HEMTs (High Electron Mobility Transistors) sind eine spezielle Form von Feldeffekt-Transistoren mit Schottky-Gates (MESFETs).

In MESFETS findet der Stromfluss parallel zur Wafer-Ebene im dotierten Halbleitermaterial statt, wo jedoch die Beweglichkeit der Elektronen durch die Coulomb-Streuung an den Dotier-Rümpfen begrenzt ist. Im Gegensatz dazu werden beim HEMT zwei Materialien mit verschieden großer Bandlücke verwendet, so dass an der Grenzfläche ein Potenzialtopf entsteht, in

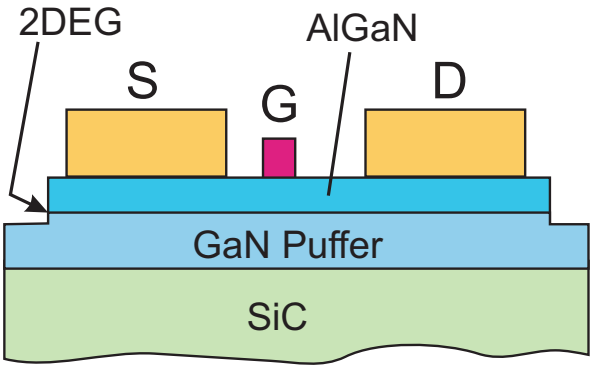


Abb. 3.7 Schematischer Querschnitt eines HEMT.

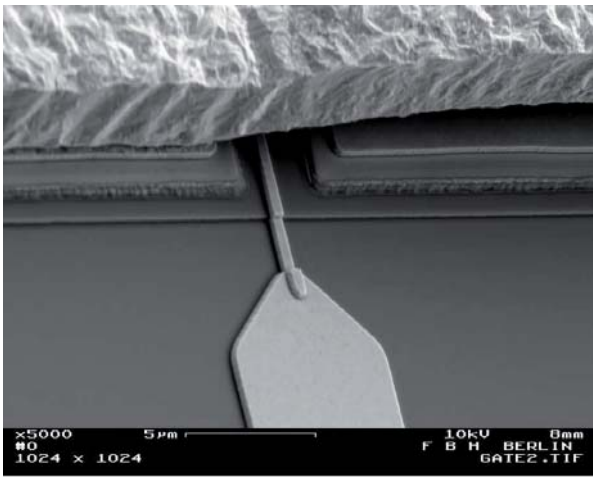


Abb. 3.8 REM-Bild einer HEMT-Zelle in einem Multizellen-Transistor mit Source-Brücke, im Vordergrund der Gate-Anschluss.

dem sich die freien Ladungsträger sammeln, dort ein zweidimensionales Elektronengas (2DEG) bilden und hier – räumlich getrennt von den Streuzentren – hohe Beweglichkeiten und Driftgeschwindigkeiten erreichen [16].

Die in dieser Arbeit verwendeten HEMTs sind AlGaN/GaN-HEMTs, deren Schichtstruktur am FBH auf 2-Zoll semi-isolierendem Silizium-Carbid (s.i. SiC) Substraten gewachsen wurde. Die Struktur besteht aus einem 2,6 µm dicken GaN-Puffer, einem wenige Atomlagen (< 1 nm) dicken AlN-Spacer, der AlGaN-Barriere mit 26 % Aluminium-Gehalt ($Al_{0,26}Ga_{0,74}N$) und einer Si-dotierten GaN-Cap-Schicht ($n = 7 \cdot 10^{18}$ cm^{-3}). Bei einigen Wafern wurde auf den Spacer und die Cap-Schicht verzichtet.

Der Prozess zur Herstellung der Bauelemente und der monolithisch integrierten Mikrowellenschaltungen (MMICs) verwendet für alle Prozess-Schritte Stepper-Lithographie. Lediglich die Gate-Strukturen werden mit Hilfe eines Elektronenstrahls geschrieben und weisen am Fußpunkt eine Länge von etwa 0,4 µm auf. Vervollständigt wird der MMIC-Prozess durch Nickel-Chrom Widerstände und MIM-Kondensatoren (Metal Insulator Metal) hoher Durchbruchspannung, wobei Silizium-Nitrid Si_3N_4 als Isolator verwendet wird.

Die Technologie-Kontrolltransistoren mit 2 Gate-Fingern und 50 µm Einzel-Gate-Weite haben in der Regel ein f_T von ca. 23 GHz und ein f_{max} von ca. 100 GHz (vgl. Abb 3.9).

Die konkreten Leistungsdaten wie Verstärkung, Leistung, maximale Betriebsfrequenz und Effizienz der hier verwendeten Transistoren werden in

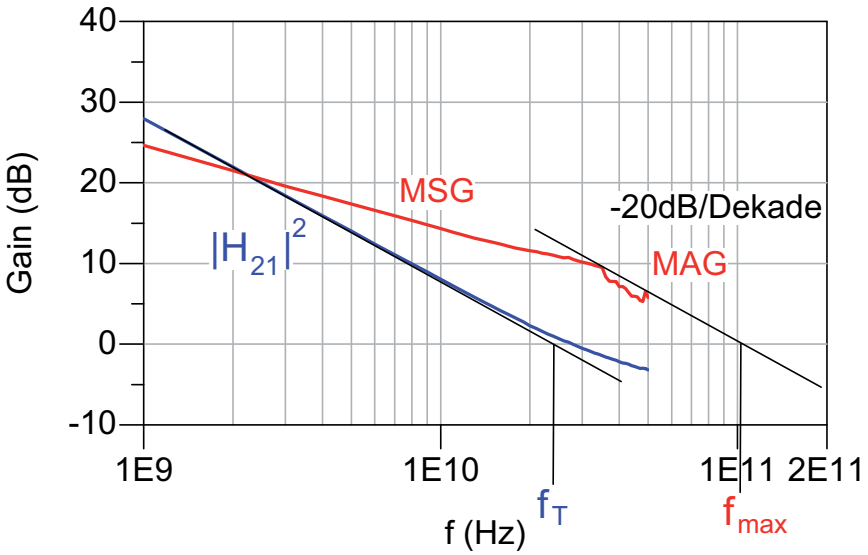


Abb. 3.9 Typische Werte für f_T und f_{max} eines GaN-HEMTs mit 2x50 µm Gate-Weite.

Kap. 5 eingehend behandelt. Auf die Modellierung der HEMTs wird im Zusammenhang mit dem optimierten Design der Peripherie von Transistoren ebenfalls in Kap. 5 genauer eingegangen.

3.3 Limitierende Faktoren

Nachfolgend werden die für die vorliegende Arbeit wichtigen limitierenden Faktoren der zuvor beschriebenen Transistoren und entsprechende Lösungsansätze erläutert.

3.3.1 Temperatur. Wie in jedem elektronischen Bauelement wird in den Transistoren ein Teil der zugeführten elektrischen Leistung in Wärme umgewandelt, die zur Selbsterwärmung der Bauelemente führt. Die erzeugte Verlustleistung P_{DISS} ergibt sich aus der Differenz von zugeführter und abgegebener elektrischer Leistung. Die elektrische Leistung setzt sich aus DC- und Hochfrequenz-Leistung zusammen (vgl. Gl. 3.1):

$$P_{DISS} = P_{DC} + P_{IN,HF} - P_{OUT,HF} \tag{3.1}$$

In der Regel trägt die HF-Eingangsleistung $P_{IN,HF}$ wenig zur Erwärmung bei, weil sie im sinnvollen Verstärkerbetrieb mindestens eine Größenordnung kleiner ist als die DC-Eingangsleistung P_{DC} und die HF-Ausgangsleistung $P_{OUT,HF}$. Für die hier vorrangig betrachteten linearen Verstärker der Klassen A und AB (vgl. Kap. 2) ist also bei festem DC-Arbeitspunkt die

Verlustleistung und damit die Erwärmung dann am größten, wenn die HF-Eingangsleistung am geringsten und damit auch die PAE am geringsten ist, da dann die gesamte DC-Eingangsleistung in Verlustwärme umgewandelt wird (vgl. Gl. 2.6).

Die Verlustwärme wird durch das Substrat auf der Unterseite oder z.B. bei Flip-Chip Montage über die Metallisierung auf der Oberseite an eine Wärmesenke abgeführt. Wie groß der entstehende Temperaturunterschied ΔT zwischen der Wärmequelle, also dem aktiven Bereich des Transistors, und der Umgebung bzw. der Wärmesenke ist, hängt dabei vom thermischen Widerstand R_{TH} des Weges zwischen Wärmequelle und Wärmesenke ab. In Analogie zum elektrischen Widerstand wird hier Gl. 3.2 formuliert, wobei P_{DISS} als thermische Stromquelle und ΔT als thermischer Spannungsabfall betrachtet werden kann.

$$\Delta T = R_{TH} \cdot P_{DISS} \tag{3.2}$$

Die entstehende Temperaturerhöhung führt bei GaN-HEMTs zu anderen Effekten als bei GaAs-HBTs.

In GaN-HEMTs wird durch die zunehmende Temperatur die Beweglichkeit der Elektronen im zweidimensionalen Elektronengas reduziert. Das bedeutet, dass der Strom bei konstanter Gate-Spannung mit zunehmender Temperatur abnimmt. Hierdurch sinkten wiederum die Verlustleistung und folglich die Temperatur. Es liegt also eine Gegenkopplung vor, die den Vorgang stabilisiert, so dass sich bezüglich Stromfluss und Temperatur ein stabiles Gleichgewicht einstellt.

GaAs-HBTs zeigen im Gegensatz zu HEMTs ein problematisches Temperaturverhalten. Einerseits sinkt die Stromverstärkung linear mit zunehmender Temperatur, was eine Gegenkopplung darstellt. Andererseits steigt jedoch bei konstanter Basis-Spannung V_{BE} der Strom in der Basis-Emitter-Diode mit zunehmender Temperatur exponenziell an, was eine Mitkopplung darstellt. Wie in [15] ausführlich beschrieben wird, dominiert ab einer bestimmten Temperatur der exponenzielle Anstieg des Basis-Stroms gegenüber der linearen Abnahme der Stromverstärkung, was durch die Mitkopplung zur thermischen Instabilität des Transistors führt. Die Temperaturerhöhung bewirkt also eine Stromerhöhung, die eine weitere Temperaturerhöhung zur Folge hat. Dieser Prozess setzt sich in der Regel bis zur Zerstörung des Transistors fort. Daher wird der Arbeitspunkt von HBTs möglichst mit einer Stromquelle an der Basis eingestellt, so dass der exponenzielle Anstieg des Basis-Stroms

nicht zum Tragen kommt. Bei Leistungstransistoren, die aus vielen parallelgeschalteten Einzel-Transistoren bestehen, kann aber nur der Gesamtstrom kontrolliert werden, nicht aber der Strom durch den Einzel-Transistor. Auf diese Weise sind also die parallelen Einzel-Transistoren spannungsgesteuert und es besteht die Gefahr der thermischen Instabilität. Dabei steigt der Strom durch den heißesten Finger immer stärker an, bis er den an der Stromquelle eingestellten Gesamtstrom erreicht, während der Stom in den anderen Fingern immer weiter zurückgeht [17]. Wenn der eingestellte Gesamtstrom größer ist als der Wert, den der einzelne Finger zerstörungsfrei tragen kann, wird dabei dieser Finger und damit der gesamte Transistor zerstört. Wird er nicht zerstört, so ist der Transistor zumindest in diesem Betriebszustand unbrauchbar. Ein ähnliches Problem kann auch schon bei einem Transistor auftreten, der nur aus einem Finger besteht. Im Prinzip ist auch dieser eine Finger eine Parallelschaltung vieler schmaler Fingersegmente, die durch Inhomogenitäten verschiedene Temperaturen aufweisen können. Durch die oben beschriebene Mitkopplung kann es dazu kommen, dass der gesamte Strom sich auf einen kleinen Bereich des Fingers konzentriert. Dieses Phänomen wird als Bildung von Hot-Spots bezeichnet.

Gegen dieses inherent problematische Verhalten der HBTs lassen sich verschiedene thermische und elektrische Maßnahmen ergreifen. Zu den thermischen Maßnahmen gehören neben einer möglichst guten Kühlung jene, deren Ziel es ist, die Temperaturunterschiede über den gesamten Transistor so gering wie möglich zu halten, also möglichst einen thermischen Kurzschluss aller Bereiche des Transistors zu erzeugen. Wegen der schlechten thermischen Leitfähigkeit des GaAs kann dieser thermische Kurzschluss nicht durch das Substrat erreicht werden, sondern wird in Form einer dicken Gold-Brücke auf der Oberseite realisiert. Eine weitere Verbesserung ist durch die Montage des Transistors mit dieser Brücke auf einer guten Wärmesenke zu erreichen, was als Flip-Chip-Montage bezeichnet wird. Abb. 3.10 zeigt einen schematischen Querschnitt durch einen Transistor mit vier Emitter-Fingern, die über eine Brücke an Masse angeschlossen sind. Das Bild zeigt einerseits die zur elektrischen Kontaktierung verwendete Brücke geringer Dicke, hier hell dargestellt, und andererseits die speziell für die gute thermische Leitfähigkeit darüber aufgebrachte dicke Gold-Schicht, hier dunkel dargestellt.

Die thermischen Verhältnisse sind in Abb. 3.11 in Form eines Ersatzschaltbildes dargestellt. Dabei stellen die Stromquellen die in den einzelnen Transistorzellen erzeugte Verlustleistung dar. Die Widerstände R_Q bezeichnen die thermischen Widerstände zwischen den einzelnen Transistorzellen,

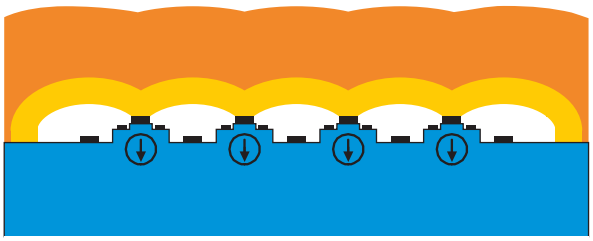


Abb. 3.10 Schematischer Querschnitt durch einen HBT mit vier Zellen. Die dicke Emitter-Brücke aus Gold dient als thermischer Kurzschluss.

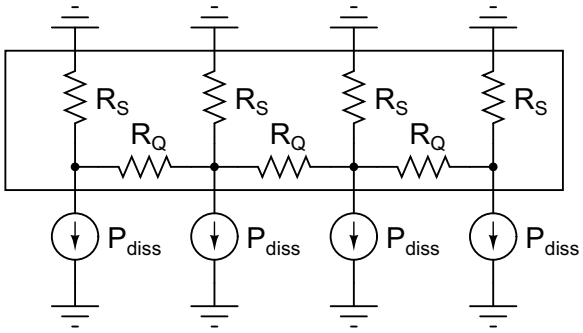


Abb. 3.11 Vereinfachtes thermisches Ersatzschaltbild eines Transistors mit vier Zellen. R_Q: Thermischer Widerstand zwischen den Zellen, R_S: Thermischer Widerstand zwischen jeder Zelle und der Wärmesenke.

die durch das Substrat und die Goldbrücke gebildet werden und um so geringer sind, je dicker die Goldbrücke ist. Die Widerstände R_S bezeichnen den thermischen Widerstand zwischen jeder Zelle und der Wärmesenke, die als Masse dargestellt ist. Ihr Wert R_S lässt sich beispielsweise reduzieren, indem das Substrat abgedünnt wird oder indem der Transistor mit Hilfe der Flip-Chip Technologie aufgebaut wird, also die Goldbrücke direkt und gut wärmeleitend mit der Wärmesenke verbunden wird.

Als elektrische Maßnahme zur Verhinderung der thermischen Instabilität werden Ballast-Widerstände eingesetzt, die als Gegenkopplung dienen und die elektrisch-thermische Mitkopplung des Stromanstiegs unterbinden. Diese Widerstände können entweder als konzentrierte Elemente oder verteilt eingesetzt werden. Außerdem können sie entweder im Basiszweig des Transistors oder im Emitter-Zweig eingesetzt werden. Ein entsprechendes Ersatzschaltbild für die Realisierung in Form von Emitter-Ballast-Widerständen ist in Abb. 3.12 dargestellt. Am FBH bewährt hat sich die Verwendung einer bei der Epitaxie gewachsenen Schicht im Bereich des Emitters, die einen gleichmäßig verteilten Widerstandsbelag erzeugt. Dieser gleichmäßige Belag hat den Vorteil, dass sowohl die Überhitzung einzelner Finger gegenüber dem Rest des Transistors als auch die Bildung von Hot-Spots entlang eines Fingers verhindert werden. Der Nachteile dieser Realisierung ist jedoch, dass durch diese zusätzlichen Verluste die Verlustwärme erhöht wird und damit die Ausgangsleistung und die Effizienz der Transistoren reduziert werden. Sowohl die hohen ausgangsseitigen Gleichströme als auch die hohe ausgangsseitige Hochfrequenzleistung tragen hier zur Verlustleistung in den Widerständen bei.

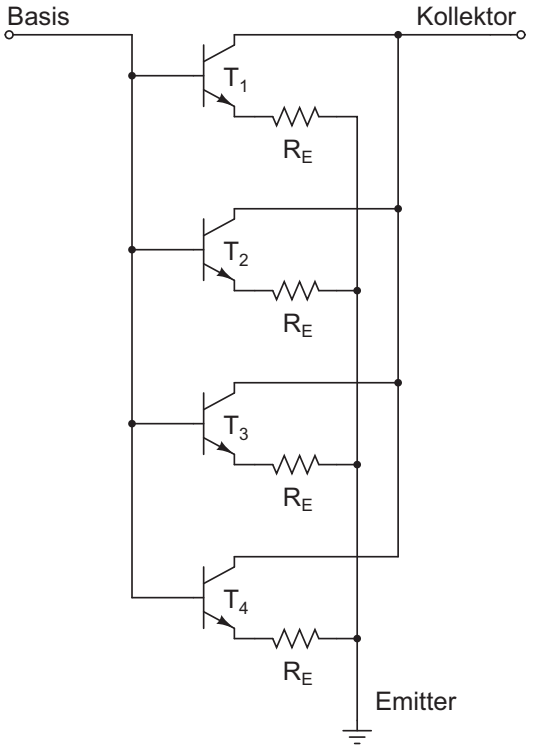


Abb. 3.12 Ersatzschaltbild eines Multizellen-Transistors mit Emitter-Ballast als Gegenkopplung.

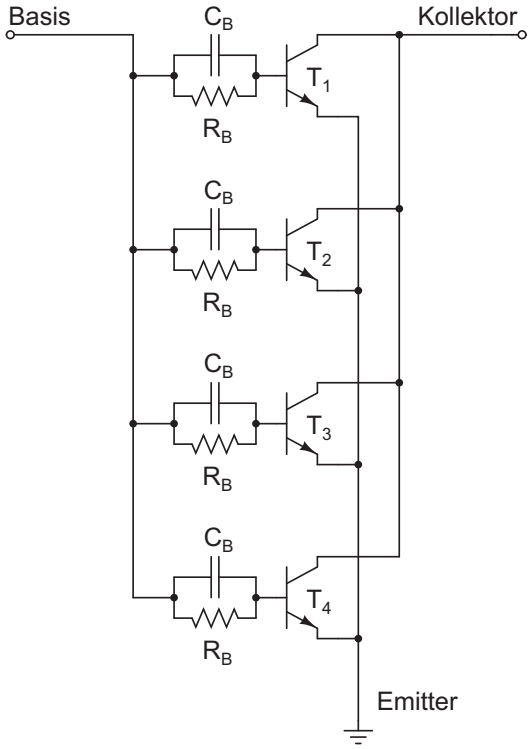


Abb. 3.13 Ersatzschaltbild eines Multizellen-Transistors mit R/C-Basis-Ballast als Gegenkopplung.

Eine mögliche rein eingangsseitige Realisierung ist in Abb. 3.13 dargestellt. Für Gleichstrom und für niedrige Frequenzen sind die Widerstände R_B wirksam. Sie sind kleinen Teilbereichen des Gesamttransistors vorgeschaltet, normalerweise jeweils einem Finger oder einem Paar von Fingern. Diese Maßnahme verhindert die Überhitzung einzelner Finger gegenüber den restlichen, da durch den Vorwiderstand praktisch eine Stromsteuerung erzeugt wird. Jedoch müssen die Teilbereiche klein genug sein, um durch weitere Maßnahmen wie die oben beschriebenen dicken Gold-Brücken thermisch kurzgeschlossen zu sein, so dass keine Hot-Spots entstehen können. Ein großer Vorteil dieser Realisierung ist die Möglichkeit, die Widerstände mit Hilfe von Kondensatoren zu überbrücken, so dass sie im Idealfall für hohe Frequenzen nicht wirksam sind und keine Hochfrequenz-Verluste entstehen. Im Gegensatz zu der oben beschriebenen Emitter-Ballast-Variante wird hier also theoretisch weder die Verstärkung noch die Ausgangsleistung der Transistoren reduziert. Auch sind die entstehenden DC-Verluste gering, da eingangsseitig Spannung und Strom gering sind.

Die beschriebene Lösung hat einen weiteren elektrischen Vorteil: Die Neigung der Transistoren, bei niedrigen Frequenzen aufgrund der hohen Verstärkung instabil zu sein und zu schwingen, wird durch die Vorwiderstände wirksam bekämpft. Durch geschickte Dimensionierung der Widerstände und Kapazitäten können also mehrere Ziele gleichzeitig erreicht werden: Temperatur- und Gleichstromstabilität, Reduktion der Schwingneigung bei niedrigen Frequenzen und schließlich keine zusätzlichen Verluste in Bezug auf Verstärkung und Leistung bei der Betriebsfrequenz. Die Kombination der eingangsseitigen und ausgangsseitigen Gegenkopplung ist natürlich ebenfalls möglich und wurde zum Teil eingesetzt. Verschiedene Beispiele hierzu mit entsprechenden Messdaten werden in Kap. 5.3.2 vorgestellt.

3.3.2 Hochfrequenz-Effekte. Zur Erzeugung hoher Ausgangsleistung werden große Transistoren benötigt, die aus vielen parallel geschalteten kleinen Transistoren bestehen. Die Zusammenschaltung der kleinen Transistoren bringt vielfältige – meist ungünstige – Effekte mit sich. Diese Effekte müssen bei der Modellierung und beim Schaltungsdesign beachtet werden. Manche dieser Effekte resultieren aus der Zusammenschaltung an sich und wären auch bei idealer Parallelschaltung vorhanden, andere sind durch die mangelnde Idealität der Zusammenschaltung bedingt. Einige der Effekte lassen sich kompensieren oder durch eine geschickte Art der Zusammenschaltung reduzieren. Auf diese Optimierung wird im Kap. 5 näher eingegangen. Hier sollen zunächst die Effekte grundsätzlich erläutert werden.

Meist liegen die Eingangs- und Ausgangsimpedanzen der kleinen Transistoren, aus denen ein Leistungstransistor zusammengesetzt werden soll, zumindest im X-Band bereits unterhalb von 50 Ω. Durch die Parallelschaltung der Bauelemente sinken diese Impedanzen noch weiter. Eine Anpassung an 50 Ω wird folglich mit zunehmender Transistorgröße immer schwieriger und damit – abhängig vom schaltungstechnischen Aufwand – auch immer schmalbandiger. Da die Leistungszunahme bei der Parallelschaltung über die Zunahme des Stromes erfolgt, nehmen aber gleichzeitig die ohmschen Verluste sowohl der zugeführten DC-Leistung als auch der abgegebenen HF-Leistung in den angeschlossenen Leitungen zu. Dieser Tatsache kann grundsätzlich entgegengewirkt werden, indem die Bauelemente für höhere Betriebsspannungen ausgelegt werden, so dass die Leistungszunahme über die Spannung erfolgt. Dies reduziert die ohmschen Verluste und erhöht gleichzeitig das Impedanzniveau, was die HF-Anpassung erleichtert. Jedoch stellt die Erhöhung der Betriebsspannung eine große Herausforderung für die Bauelemente-Technologie dar und ist nicht ohne Weiteres zu realisieren.

Für Bauelemente, die in Gehäuse montiert und dann in hybriden Schaltungen eingesetzt werden sollen, muss der Einfluss der Gehäuse-Parasitäten beachtet werden. Das niedrige Impedanz-Niveau eines Leistungstransistors führt dazu, dass seine Eigenschaften durch die Gehäuse-Parasiäten bis zur Unbrauchbarkeit degradiert werden können. Daher müssen solche Transistoren mit einer Vor-Anpassung im Gehäuse versehen werden.

Für monolithisch integrierte Mikrowellenschaltkreise (Monolithic Integrated Microwave Circuits, MMICs) gestaltet sich die Entwicklung der Anpassungsnetzwerke mit zunehmender Ausgangsleistung ebenfalls aufwendiger. Entweder müssen für große Transistoren mehr Anpassungsstufen verwendet werden oder es wird eine größere Anzahl vorangepasster kleiner Transistoren verwendet.

Ein gängiges Maß für die Tauglichkeit zum Betrieb bei hohen Frequenzen ist f_{max}. Bei dieser Frequenz ist definitionsgemäß die Verstärkung des beidseitig angepassten Transistors im Kleinsignalbetrieb auf den Faktor 1, also 0 dB abgesunken. Oberhalb dieser Frequenz ist es nicht mehr möglich, eine Verstärkung oder Oszillation zu erzielen. Bei den hier betrachteten Transistoren liegt f_{max} zwischen 10 GHz und 50 GHz.

Die Verstärkung des beidseitig angepassten Transistors im Kleinsignalbetrieb ist die maximal verfügbare Verstärkung (Maximum Available Gain, MAG), die aus den gemessenen S-Parametern mit Hilfe von Gl. 3.3 [18] berechnet wird. MAG kann nur oberhalb der Frequenz bestimmt werden, ab der der Transistor unbedingt stabil ist, d.h. wenn Gl. 3.4 erfüllt ist. Die verschiedenen Kriterien zur Bestimmung der Stabilität wurden bereits in Kap. 2.4 erläutert. Unterhalb dieser Frequenz wird als charakteristischer Parameter die maximale Verstärkung angegeben, bei der der Transistor gerade noch stabil ist (Maximum Stable Gain, MSG).

$$MAG = (K - \sqrt{K^2 - 1})\frac{|S_{21}|}{|S_{12}|} \tag{3.3}$$

$$K = \frac{1 - |S_{11}|^2 - |S_{22}|^2 + |\Delta|^2}{2|S_{12}S_{21}|} \geq 1 \tag{3.4}$$

$$\Delta = det\{S\} = S_{11}S_{22} - S_{12}S_{21} \tag{3.5}$$

Bei kleinen und hinreichend idealen Transistoren fällt MSG mit 10 dB pro Dekade und MAG mit 20 dB pro Dekade ab. Werden MSG und MAG im gleichen Diagramm über der Frequenz auftragen, entsteht also am Übergang

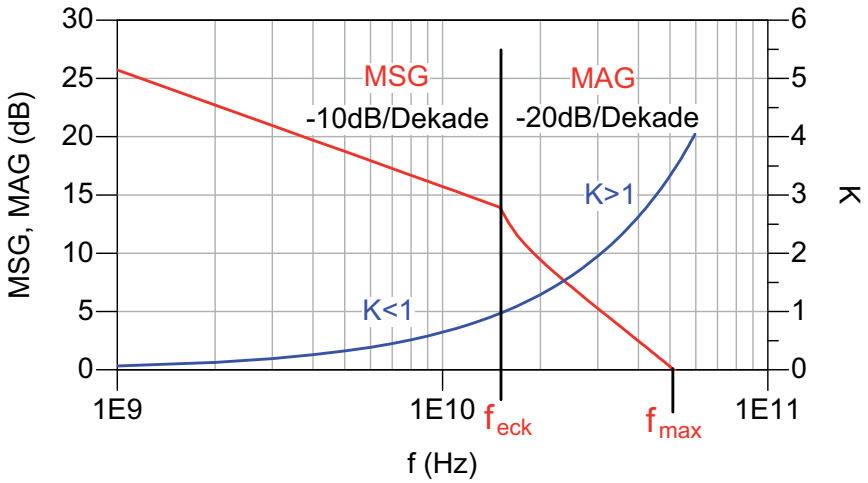


Abb. 3.14 Verlauf von MSG/MAG eines Beispieltransistors über der Frequenz, Eckfrequenz f_{eck} am Übergang von MSG zu MAG (bei Stabilitätsfaktor $K = 1$), f_{max} für MAG = 0 dB.

von MSG nach MAG eine charakteristische Ecke. Daher wird die zugehörige Frequenz als Eckfrequenz bezeichnet. Ein typischer Verlauf von MSG/MAG ist in Abb. 3.14 zusammen mit dem K-Faktor dargestellt. Bei der Eckfrequenz wird der K-Faktor größer als 1, MSG geht in MAG über. Dieses Diagramm wurde durch Simulation mit einem Transistormodell erzeugt, weshalb die Kurven – anders als bei Messwerten – glatt sind.

Zur direkten messtechnischen Bestimmung von f_{max} ist es also notwendig, die S-Parameter bis einschließlich f_{max} zu messen. Da jedoch besonders für kleine Transistoren f_{max} meist deutlich über 50 GHz liegt, wäre hierfür ein sehr hoher messtechnischer Aufwand notwendig. Daher wird f_{max} in der Regel durch Extrapolation von MAG bestimmt. Jedoch weicht der Verlauf von MAG mit zunehmender Größe der Transistoren immer stärker von dem idealen Abfall von 20 dB pro Dekade ab und nimmt verschiedene gekrümmte Verläufe an. Zusätzlich ergibt sich dadurch eine Schwierigkeit, dass MAG abhängig ist von S_{12}, dessen Werte wiederum durch die geringe absolute Größe sehr verrauscht sein können. Dies führt zu unsicheren oder mehrdeutigen Ergebnissen ohne Aussagekraft. Beispiele für MAG/MSG Kurven, die aus Messungen entstanden sind, zeigen die Abbildungen 3.6 und 3.9. Hier stellt sich die Frage, auf welche Weise die Extrapolation vorgenommen werden soll, da sich je nach Methode verschiede Werte ergeben können. Es lassen sich folgende Methoden unterscheiden:

1. Extrapolation mit -20 dB / Dekade ab Eckfrequenz
2. Extrapolation mit -20 dB / Dekade und Mittelwertbildung
3. -20 dB-Suche mit Extrapolation
4. Lineare Regression und Extrapolation

Die Methode Nr. 1 extrapoliert mit -20 dB pro Dekade ab der Eckfrequenz. Diese Methode macht daher im Grunde eine Aussage über den Wert der Verstärkung bei der Eckfrequenz, nicht aber über das tatsächliche f_{max}. Die Methoden Nr. 2 und 3 versuchen eine Annäherung an den realen Wert, in dem das Verhalten des Bauelements oberhalb der Eckfrequenz noch mitbetrachtet wird. Methode Nr. 2 extrapoliert mit -20 dB pro Dekade für viele Punkte oberhalb der Eckfrequenz und bildet aus den Ergebnissen den Mittelwert. Dabei hängt das Ergebnis vom gewählten Frequenzbereich ab. Diese Methode ist also vom Benutzer abhängig und daher nicht eindeutig.

Methode Nr. 3 sucht den Punkt im Bereich oberhalb der Eckfrequenz, an dem der Abfall der Verstärkung tatsächlich 20 dB pro Dekade beträgt, und extrapoliert ab diesem Punkt mit -20 dB pro Dekade. Diese Methode ist unsicher und nicht unbedingt eindeutig, da nicht gewährleistet ist, dass es immer einen und nur einen Punkt gibt, bei dem der Abfall tatsächlich 20 dB pro Dekade beträgt. Besonders bei großen Transistoren ist der Abfall meist im gesamten Bereich größer als 20 dB pro Dekade, da sich dem Verhalten des inneren Transistors das Tiefpass-Verhalten der Anschlussstruktur überlagert. Es kann also kein Punkt mit einem Abfall von 20 dB pro Dekade gefunden werden. Stark verrauschte Messungen können dazu führen, dass gleich mehrere solcher Punkte existieren.

Während die oben genannten Methoden Nr. 1, 2 und 3 davon ausgehen, dass der Abfall von MAG konstant mit etwa -20 dB pro Dekade erfolgt, setzt Methode Nr. 4 nur voraus, dass der Abfall etwa konstant erfolgt. Es wird dann über einen Bereich oberhalb der Eckfrequenz eine lineare Regression durchgeführt und mit dieser extrapoliert. Bei den im Zusammenhang mit der vorliegenden Arbeit durchgeführten Messungen lag der Abfall von MAG in der Regel zwischen 18 und 30 dB pro Dekade. Methode Nr. 4 liefert also eine Aussage über die Verstärkung bei der Eckfrequenz mal Abfall der Verstärkung. Der gefundene Wert liegt bei den im Zusammenhang mit dieser Arbeit durchgeführten Messungen sehr nahe an den durch Messung bestimmten Werten und bietet gleichzeitig den Vorteil, dass nicht zwingend bis f_{max} gemessen werden muss. Ähnlich wie bei Methode Nr. 2 gibt es eine Abhängigkeit vom gewählten Frequenzbereich, die allerdings wesentlich schwächer ist, da der tatsächliche Abfall berücksichtigt wird. Der durch lineare Regression ermittelte Abfall der Verstärkung oberhalb der Eckfrequenz bietet auch die Möglichkeit, prinzipielle Aussagen über die Qualität der Peripherie von Transistoren zu machen.

Aufgrund der erläuterten Unsicherheiten bei der Bestimmung von f_{max}, speziell bei großen Transistoren, wird in dieser Arbeit auf diese Angabe weitgehend verzichtet. Für eine praxisbezogene Einschätzung der Verwendbarkeit von Transistoren für Verstärker sind die Eckfrequenz und die Verstärkung bei der Eckfrequenz am aussagekräftigsten. Wird in der vorliegenden Arbeit f_{max} gelegentlich angegeben, so wird daher der nach Methode Nr. 1 bestimmte Wert verwendet.

KAPITEL 4

Load-Pull-Messtechnik

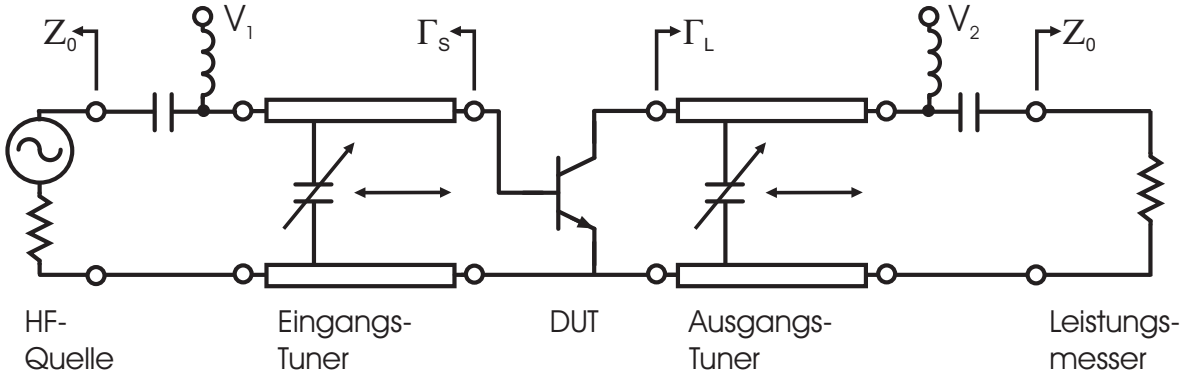


Abb. 4.1 Source- und Load-Pull-Messanordnung zur Leistungsmessung von Transistoren.

Die Verstärkung, Leistung und Effizienz, die mit einem gegebenen Transistor erreicht werden können, hängen u.a. von den Quell- und Lastimpedanzen ab, mit denen der Transistor beschaltet wird (vgl. Kap. 2.1). Zur Gewinnung experimenteller Daten über das Verhalten von Transistoren bei verschiedenen Quell- und Lastimpedanzen wird ein Load-Pull-Messplatz verwendet, wie er schematisch in Abb. 4.1 dargestellt ist.

Die HF-Quelle kann dabei in der praktischen Realisierung einen Verstärker beinhalten, um die zur vollen Aussteuerung des Transistors notwendige Leistung zur Verfügung zu stellen. An dem für diese Arbeit verwendeten Messplatz besteht die Quelle aus dem Generator eines Netzwerkanalysators mit einem nachgeschalteten Wanderfeld-Röhrenverstärker. Die verfügbare Eingangsleistung beträgt damit im Frequenzbereich von 2 GHz bis 18 GHz ca. 10 W. Über jeweils ein Bias-Tee am Eingang und Ausgang wird die Versorgungsspannung für den Transistor (Device Unter Test, DUT) zugeführt. Der Transistor wird mit koplanaren HF Messspitzen kontaktiert, die dann über Koaxial-Kabel von wenigen Zentimetern Länge an Tuner angeschlossen sind. Mit Hilfe dieser Tuner können verschiedene Quell- und Lastimpedanzen bzw. die zugehörigen Reflexionsfaktoren (Γ_S, Γ_L) erzeugt werden. Dabei

sind beliebige Phasen von 0° bis 360° einstellbar. Der Betrag der Reflexionsfaktoren ist jedoch aufgrund der Verluste in den Tunern und den Zuleitungen (Kabel, Messspitze, Kontaktwiderstand) abhängig von der Frequenz auf einen Maximalwert von etwa 0,85 begrenzt. Zur Leistungsmessung wird am Ausgang ein kleiner Teil des Signals über einen Richtkoppler ausgekoppelt und zur Messung dem zweiten Port des Netzwerkanalysators zugeführt, während der größte Teil der Ausgangsleistung in einem für diese Leistungen ausgelegten Abschlusswiderstand in Wärme umgewandelt wird.

Die gesamte Messanordnung ist rechnergesteuert. Frequenz, Leistung, Versorgungsspannungen und Reflexionsfaktoren werden über eine entsprechende Software eingestellt und die Messdaten wie Versorgungsströme und Ausgangsleistung ebenfalls vom Rechner eingelesen. In der Regel werden dann zur Charakterisierung des Transistors jeweils mehrere Parameter konstant gehalten, ein Parameter geändert und die aufgenommenen Daten der Messreihe in einer entsprechenden Datei gespeichert. Auf entsprechende Details wird weiter unten eingegangen.

Die Messapparatur muss in einem recht aufwendigen Verfahren kalibriert werden. Für jede bei der Messung zu verwendende Tuner-Stellung müssen die Zweitor S-Parameter der Tuner ermittelt werden. Auch die S-Parameter der Zuleitungen, Bias-Tees und Messspitzen sowie die tatsächliche Impedanz der Quelle und der Last müssen gemessen werden. Für jede Tunerstellung und jede Frequenz wird aus diesen Daten die am Transistor sichtbare Impedanz und die jeweilige Dämpfung zwischen Quelle und Transistor bzw. zwischen Transistor und Last ermittelt. So können aus der am Transistor gewünschten Eingangsleistung die notwendige Quellleistung und aus der an der Last gemessenen Leistung die vom Transistor abgegebene Leistung bestimmt werden.

Bei starker Transformation zur Erzielung hoher Reflexionsfaktoren steigt die Dämpfung in den Tunern stark an. Sie kann dort leicht mehrere dB betragen. Eingangsseitig kann das dazu führen, dass die von der Quelle verfügbare Leistung nicht mehr ausreicht, um die am Transistoreingang gewünschte Leistung zur Verfügung zu stellen. Ausgangsseitig ist zu beachten, dass die unter Umständen hohe, im Tuner absorbierte Leistung zu dessen Erwärmung führt und Beschädigungen hervorrufen kann.

Ein weiterer kritischer Faktor der Messanordnung sind die Messspitzen. Sie vertragen nur einen begrenzten Gleichstrom von maximal etwa 2 A und auch nur eine begrenzte HF-Leistung, da die Erwärmung zu ihrer Zerstörung führt. Die Grenze für die HF-Leistung hängt stark vom eingestellten Reflexionsfaktor ab. Wird ein hoher Reflexionsfaktor eingestellt, so bildet sich auf

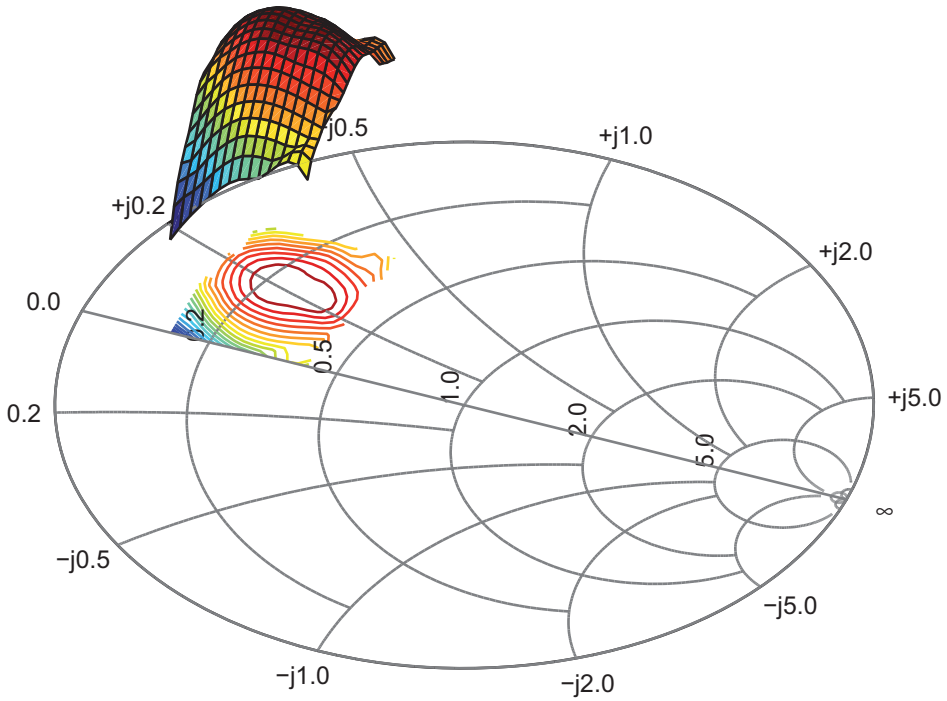


Abb. 4.2 Durch Load-Pull-Messungen ermittelte Ausgangsleistung, aufgetragen als Gebirge und Konturlinien über dem komplexen Ausgangsreflexions-Faktor.

der Leitung zwischen Tuner und Transistor also auch in der Messspitze eine stehende Welle großer Amplitude aus. An den Stellen maximalen Stromes findet eine starke Erwärmung statt, die zur Zerstörung der Messspitze führen kann.

Bei einer Load-Pull-Messung werden zunächst verschiedene Werte für den Lastreflexionsfaktor Γ_L nacheinander automatisch eingestellt und die Messdaten aufgenommen, während der Eingangsreflexionsfaktor, die Eingangsleistung und die Versorgungsspannungen konstant gehalten werden. Die Werte für Leistung, Verstärkung und PAE können dann als Gebirge oder als Konturen über dem Smith-Chart dargestellt werden, wie dies in Abb. 4.2 am Beispiel der Ausgangsleistung zu sehen ist.

Sind auf diese Weise optimale Eingangs- und Ausgangs-Reflexionsfaktoren ermittelt worden, wird bei diesen Tuner-Stellungen die Eingangsleistung

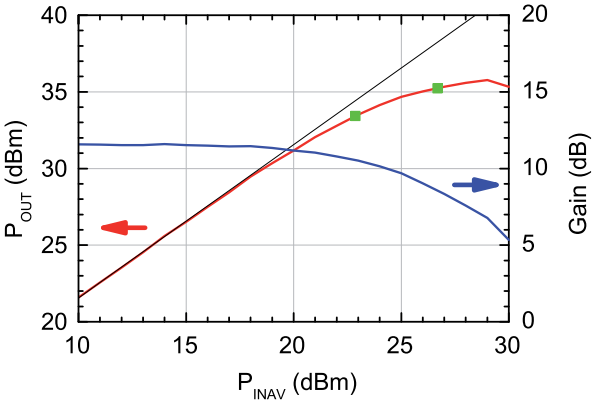


Abb. 4.3 Ausgangsleistung und Verstärkung aufgetragen über der verfügbaren Eingangsleistung.

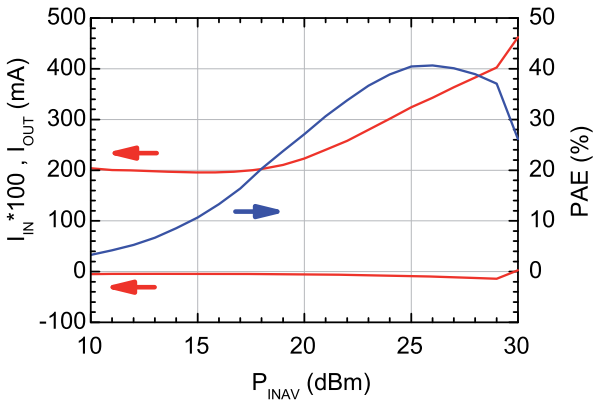


Abb. 4.4 Gate- und Drain-Strom sowie PAE aufgetragen über der verfügbaren Eingangsleistung.

von geringen zu hohen Leistungen durchfahren und eine $P_{IN} - P_{OUT}$ Kurve aufgezeichnet. Die zugehörigen Messwerte lassen sich dann in Diagrammen entsprechend Abb. 4.3 und Abb. 4.4 darstellen. Die hier gezeigte Messung wurde an einem GaN-HEMT mit 12x125 µm Gate-Weite im AB-Betrieb durchgeführt. Zunächst steigt die Ausgangsleistung linear mit der Eingangsleistung an, d.h. die Verstärkung ist konstant. Der Drain-Strom bleibt zunächst ebenfalls praktisch konstant. Da also die aufgenommene DC-Leistung konstant bleibt und die Ausgangsleistung steigt, steigt auch die Effizienz. Dann beginnt der Transistor, in die Begrenzung zu gehen. Das hierbei auftretende Absinken der Verstärkung wird als Kompression bezeichnet. Durch den Self-Bias Effekt verschiebt sich der Arbeitspunkt, der aufgenommene DC-Strom steigt. Der Punkt, an dem die Verstärkung gegenüber dem Anfangswert um 1 dB abgefallen ist, wird als P_{-1dB} Punkt bezeichnet. Bei ca. P_{-3dB} erreicht die PAE-Kurve ihr Maximum. Wird die Eingangsleistung noch weiter erhöht, steigt die Ausgangsleistung praktisch nicht mehr, während die aufgenommene DC-Leistung weiter zunimmt. Die Effizienz und die Verstärkung nehmen folglich rasch ab.

Interessant ist auch der Verlauf des (negativen) Gate-Stromes. Er bleibt lange konstant, dann wächst der Betrag geringfügig, bevor er recht plötzlich kurz hinter dem P_{-3dB} Punkt seine Richtung umkehrt und sehr schnell in den positiven Bereich steigt. In der Regel werden die Transistoren bei weiterer Erhöhung der Eingangsleistung zerstört, weshalb bei den Messungen die Kompression in der Regel auf etwa 4 dB begrenzt wird. Die Transistoren oder Verstärker werden also nicht bis in die absolute Sättigung getrieben. Für einen eindeutigen Vergleich wird daher in dieser Arbeit bei Leistungsmessungen in der Regel die Leistung bei P_{-3dB} angegeben.

KAPITEL 5

Optimierte Transistoren mit neuartiger Peripherie

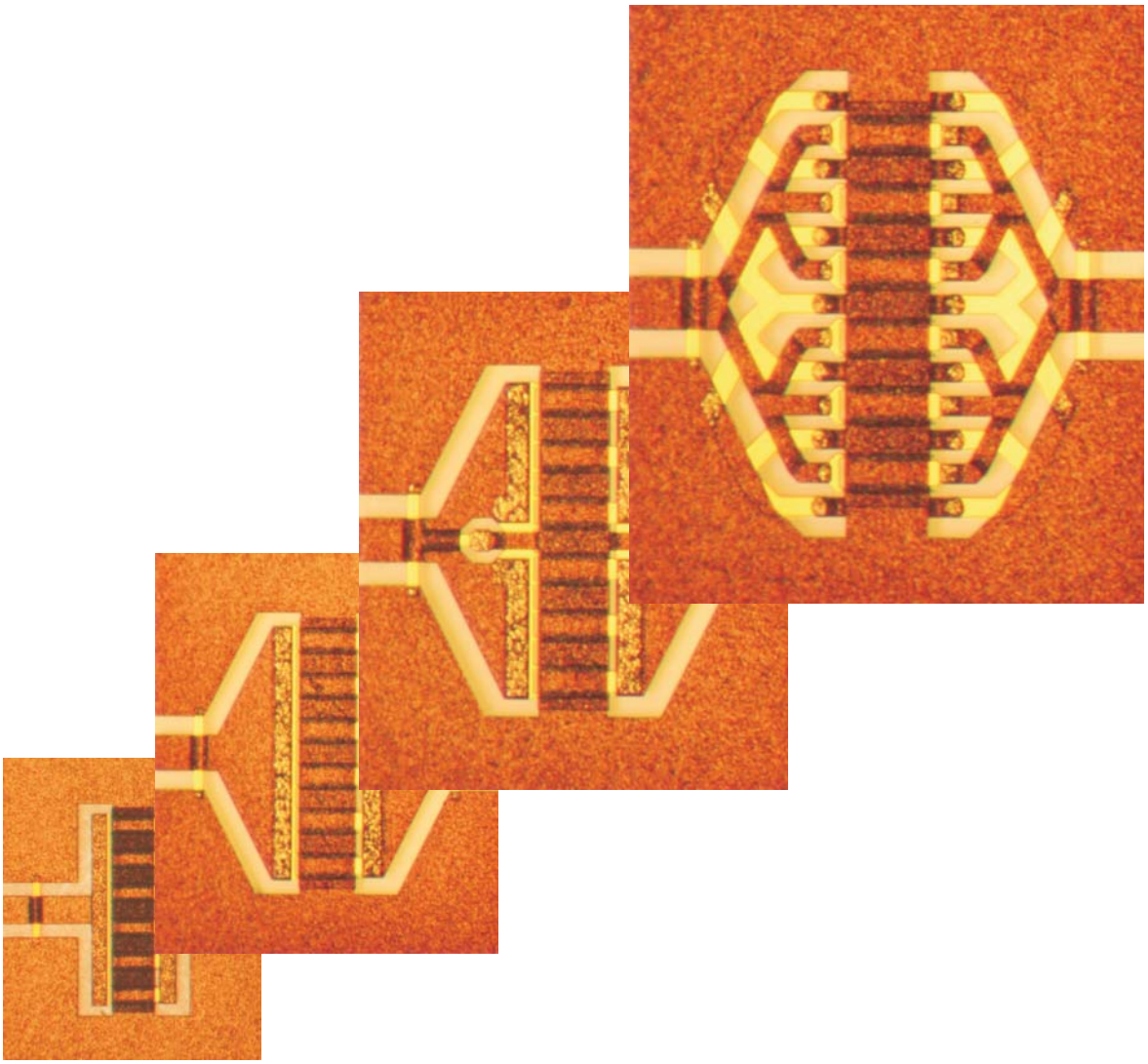


Abb. 5.1 Entwicklungsschritte der optimierten Transistor-Peripherie.

Um in Verstärkerschaltungen hohe Ausgangsleistungen zu erreichen, wird in der Endstufe eine große Gesamt-Emitter-Fläche (bei HBTs) bzw. eine große Gesamt-Gate-Weite (bei FETs) benötigt. Hierzu werden in der Regel mehrere Transistoren kombiniert. Dabei können prinzipiell entweder wenige große Transistoren oder viele kleine Transistoren verwendet werden. Beide

Varianten haben Vor- und Nachteile [19]. Die Verwendung von vielen kleinen Transistoren hat den Nachteil, dass die benötigte Fläche für die Schaltung durch die Leistungsteiler und -kombinierer sehr groß wird und die ohmschen Verluste in den Strukturen die Verstärkung und die Leistung reduzieren. Große Transistoren haben den Nachteil, dass die Grenzfrequenz (f_{max}), die Eckfrequenz und der Gain (MAG) sinken (vgl. Kap. 3.3.2). Auch die Stromtragfähigkeit der Leitung am Ausgang des Transistors begrenzt die maximale Transistorgröße, denn hier wird der DC-Strom zusammen mit der HF-Leistung über dieselbe CPW- oder Mikrostreifen-Leitung geführt. Diese kann wiederum aus HF-technischen Gründen nicht beliebig breit gewählt werden. Hier ist eine hohe Betriebsspannung hilfreich, die bei gleicher Leistung geringere DC-Ströme erlaubt. Die am besten geeignete Transistorgröße und das am besten geeignete Peripherie-Design muss also in Abhängigkeit von der Betriebsfrequenz und sonstigen Spezifikationen wie Leistung und Verstärkung ermittelt werden.

Bei allen messtechnisch untersuchten Transistoren und Strukturen handelt es sich um koplanare Strukturen. Bei einigen prinzipiellen Untersuchungen werden aber auch Mikrostreifenstrukturen mit Hilfe von EM-Simulation untersucht. In Kap. 5.1 werden zunächst Transistoren in Fischgräten-Geometrie und Parallel-Geometrie verschiedener Größe messtechnisch miteinander verglichen. In Kap. 5.2.1 und 5.2.2 werden dann elektromagnetische Simulationen und Großsignalsimulationen der klassischen Transistor-Geometrien dargestellt, ausgewertet und eine Optimierung der Signalleiter-Geometrie vorgestellt. Da sich die Optimierung des Signalleiters allein als unbefriedigend erweist, wird in Kap. 5.2.3 die Entwicklung der neuen Plaited-Signal-Ground (PSG) Struktur vorgestellt, die durch völlige Umgestaltung sowohl der Signal- als auch der Masse-Zuführung erreicht wird. Um die gewonnenen Erkenntnisse an realen Transistoren zu verifizieren und weitere Messdaten für ihre Verwendung in Schaltungen zu gewinnen, wurden diverse Varianten der in Kap. 5.2.1 bis 5.2.3 vorgestellten Geometrien hergestellt und gemessen. In Kap. 5.3 werden diese Ergebnisse ausführlich dargestellt und ausgewertet.

5.1 Messtechnische Untersuchung der klassischen HBTs

Um für die Verwendung in X-Band Leistungsverstärkern die optimale Geometrie und Größe von GaAs-HBTs der FBH-Technologie zu finden, werden diverse Varianten messtechnisch miteinander verglichen. Im L-Band werden für hohe Leistungen am FBH bisher vor allem Transistoren in der Fischgräten-Geometrie eingesetzt, wie sie in Abb. 5.2 dargestellt ist. Für kleine Leistungen und höhere Frequenzen kommen bisher Transistoren in Parallel-

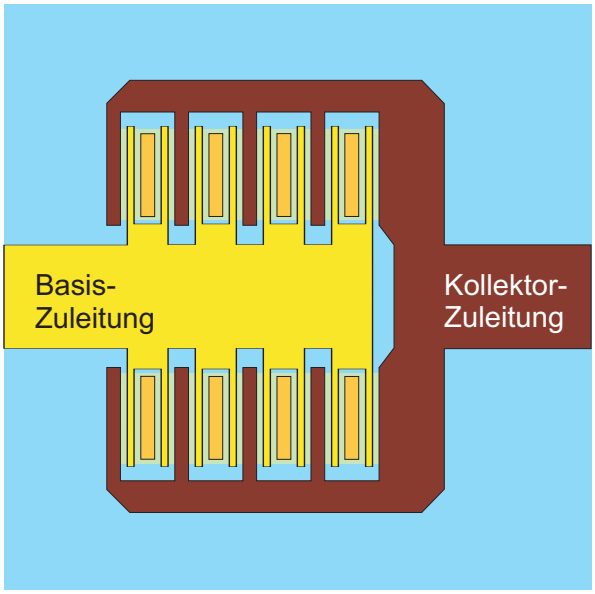


Abb. 5.2 Schematische Draufsicht des Fischgräten-HBTs ohne Emitter-Brücke.

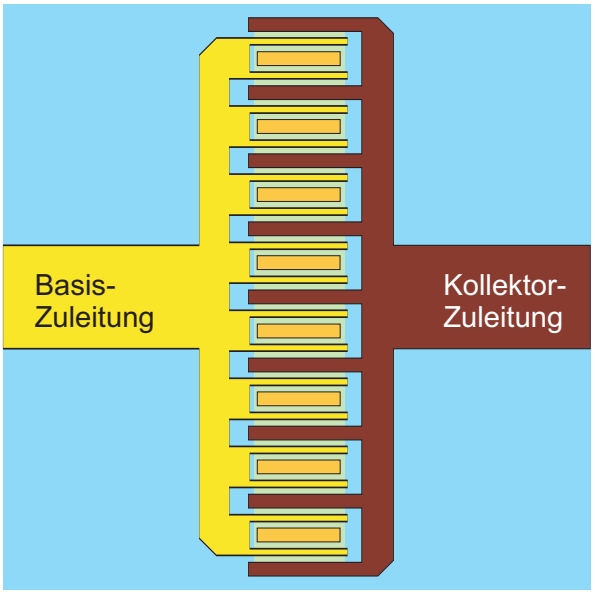


Abb. 5.3 Schematische Draufsicht des Parallel-HBTs ohne Emitter-Brücke.

Geometrie zum Einsatz, wie sie in Abb. 5.3 dargestellt ist. Um die Eignung für hohe Leistungen im X-Band zu untersuchen, werden beide Varianten mit verschiedener Anzahl von Emitter-Fingern (4, 8, 12) und verschiedener Länge der Emitter-Finger (70 µm, 100 µm, 150 µm) verglichen.

Abb. 5.4 zeigt den Verlauf der MSG-MAG-Kurve über der Frequenz für Parallel-Transistoren mit vier Emitter-Fingern und verschiedener Fingerlänge. Die maximale stabile Verstärkung (Maximum Stable Gain, MSG) ist hier von der Länge der Finger unabhängig. Jedoch hat die Fingerlänge einen deutlichen Einfluss auf die Eckfrequenz. Für 70 µm liegt sie bei 8 GHz, für 100 µm und 150 µm bei ca. 6 GHz bzw. bei 5 GHz. Da also die Eckfrequenz mit zunehmender Fingerlänge abnimmt, nimmt auch MAG mit zunehmender Fingerlänge ab. Bei 10 GHz liegt MAG für die genannten Fingerlängen bei ca. 12, 10 und 9 dB.

Abb. 5.5 zeigt den Verlauf der MSG-MAG-Kurve über der Frequenz für Parallel-Transistoren mit 150 µm Fingerlänge und verschiedener Fingeranzahl. Hier zeigt sich, dass die Anzahl der Finger MSG beeinflusst. Für 12 Finger liegt der Wert ca. 2 dB niedriger als für vier Finger. In Bezug auf die Lage der Eckfrequenz dominiert der Einfluss der großen Fingerlänge und legt diese auf ca. 5 GHz fest. Wiederum ist MAG für die kleineren Transistoren größer, allerdings ist der Unterschied nicht so deutlich wie bei verschiedener Fingerlänge.

Abb. 5.6 zeigt den Verlauf der MSG-MAG-Kurve über der Frequenz für Parallel-Transistoren mit 70 µm Fingerlänge und verschiedener Fingeranzahl.

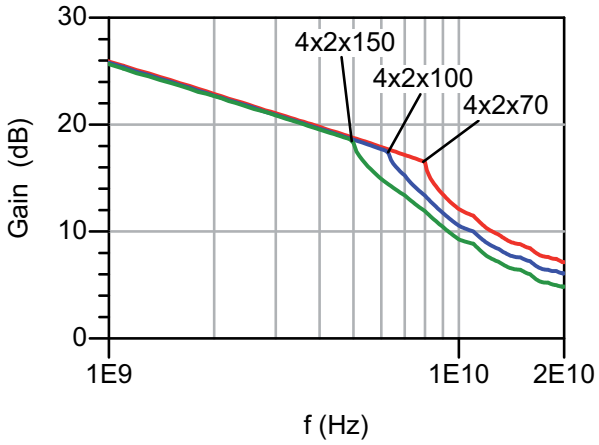


Abb. 5.4 MSG/MAG von 4-Finger Parallel-HBTs mit 70, 100, 150 µm Fingerlänge: zunehmende Eckfrequenz mit abnehmender Fingerlänge.

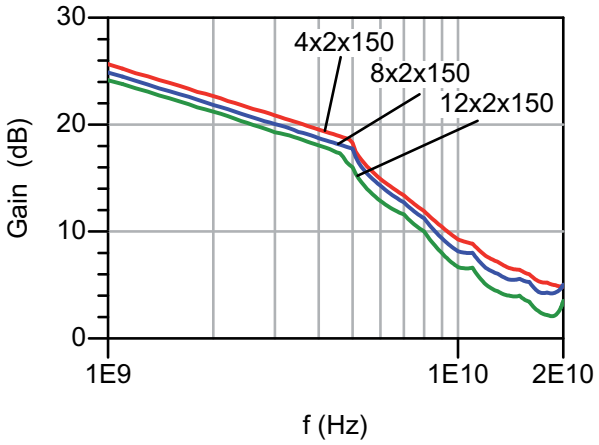


Abb. 5.5 MSG/MAG von Parallel-HBTs mit 150 µm Fingerlänge und 4, 8, 12 Fingern: Eckfrequenz durch große Fingerlänge begrenzt; leicht höheres MSG bei weniger Fingern.

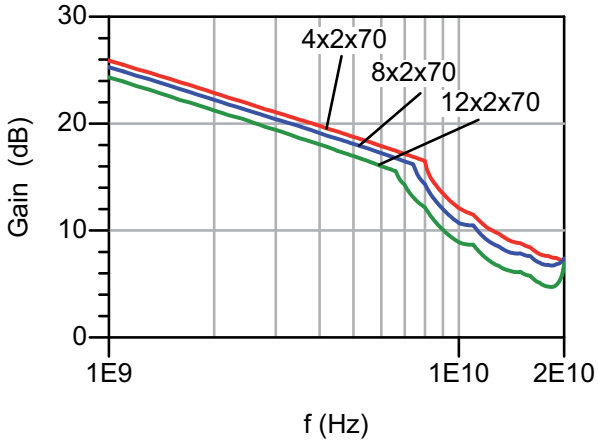


Abb. 5.6 MSG/MAG von Parallel-HBTs mit 70 µm Fingerlänge und 4, 8, 12 Fingern: MSG und Eckfrequenz höher für weniger Finger.

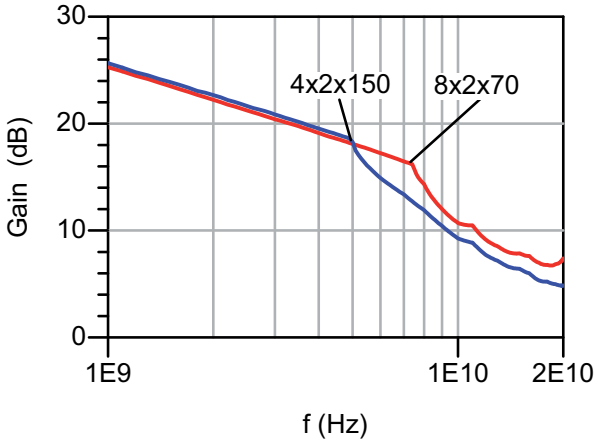


Abb. 5.7 MSG/MAG von Parallel-HBTs mit fast gleicher Emitter-Fläche: etwas geringeres MSG, aber deutlich höhere Eckfrequenz bei 8x70 µm als bei 4x150 µm.

Bei dieser kürzeren Fingerlänge wird die Eckfrequenz nicht vollständig durch die Fingerlänge bestimmt, sondern hängt auch von der Fingeranzahl ab.

Besonders interessant ist jedoch der Vergleich von Transistoren, die bei verschiedener Fingeranzahl die gleiche Emitter-Fläche aufweisen. In Abb. 5.7 sind die Werte für einen Transistor mit vier Fingern und 150 µm Fingerlänge und für einen Transistor mit acht Fingern und 70 µm Fingerlänge dargestellt. Beide Transistoren haben praktisch die gleiche Emitter-Fläche. Der 4-Finger-Transistor zeigt ein etwas höheres MSG, bedingt durch die große Fingerlänge jedoch eine deutlich niedrigere Eckfrequenz und dadurch ein niedrigeres MAG. Für einen Verstärker bei 10 GHz ist also der 8-Finger-Transistor mit kürzeren Fingern zu bevorzugen.

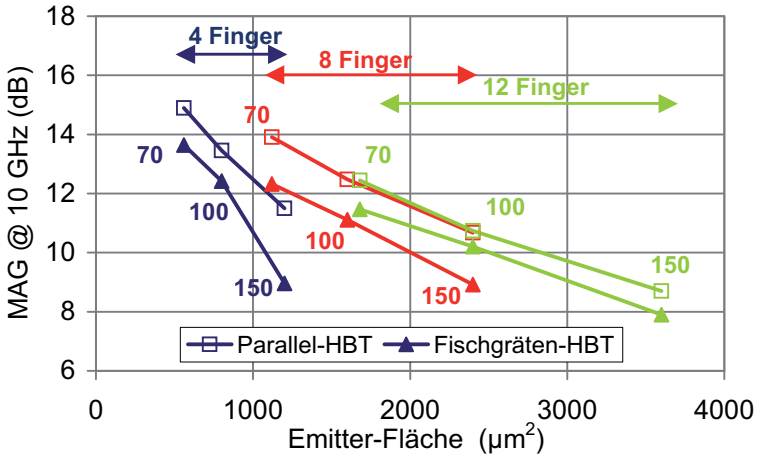


Abb. 5.8 MAG verschiedener HBTs bei 10 GHz, Vergleich der Varianten mit 4, 8 und 12 Fingern und jeweils 70, 100 und 150 µm Fingerlänge. Die Fischgräten-HBTs haben ein etwas geringeres MAG als die Parallel-HBTs.

Die MAG-Werte bei 10 GHz für alle zum Vergleich herangezogenen Transistoren, sowohl in Fischgräten- als auch in Parallelgeometrie sind in Abb. 5.8 zusammengefasst. Bei den 8- und 12-Finger-Transistoren in Parallel-Geometrie ist im hier untersuchten Bereich der Fingerlängen die Gesamtgröße des Transistors entscheidend und weniger die Kombination aus Fingeranzahl und -länge. Die Transistoren mit 150 µm Fingerlänge und 8 Fingern liefern beispielsweise die gleichn Werte wie die Transistoren mit 100 µm Fingerlänge und 12 Fingern. Bei den 4-Finger-Transistoren macht sich jedoch die negative Wirkung großer Fingerlängen deutlich stärker bemerkbar, wie auch schon in Abb. 5.7 gezeigt wurde. Auffällig ist, dass die Transistoren mit Fischgräten-Geomietrie grundsätzlich geringere MAG Werte zeigen als die Vergleichstransistoren mit Parallel-Geometrie.

Aufgrund dieser Untersuchungen werden für den in Kap. 6 beschriebenen Entwurf von GaAs-Leistungsverstärkern Transistoren im Parallel-Layout mit 8 und 12 Fingern mit 75 µm Fingerlänge ausgewählt.

5.2 Optimierung der Verteilstruktur

Die in Kap. 5.1 beschriebenen Messungen dienten der Auswahl der am besten geeigneten Transistoren für die Verwendung in X-Band MMIC Leistungsverstärkern, wobei nur die bisher am FBH verwendeten Geometrien am Beispiel von GaAs-HBTs betrachtet wurden, also Fischgräten-Geometrie (Fishbone) und Parallel-Geometrie mit T-förmiger Verteilstruktur. Im Folgenden werden nun allgemeine Erkenntnisse zur Gestaltung von optimalen

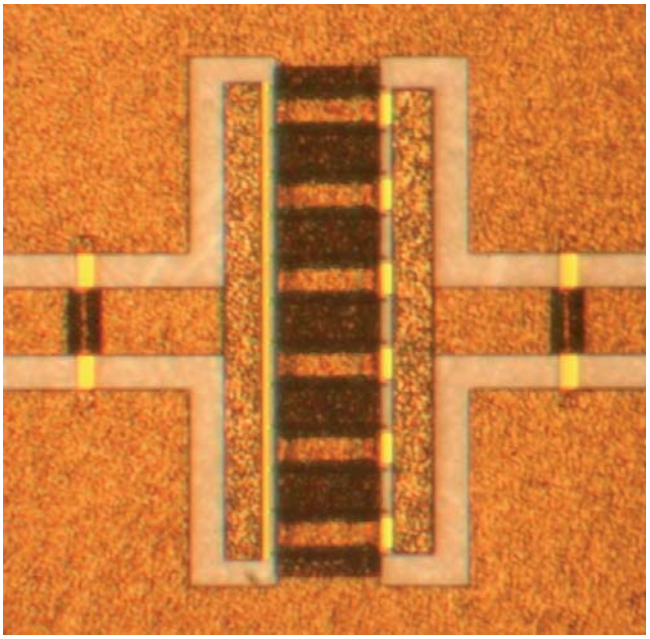


Abb. 5.9 Transistor mit T-förmiger Zuleitungsstruktur mit koplanaren Zuleitungen.

Zuleitungsstrukturen vorgestellt. Hierfür wurden dreidimensionale elektromagnetische (3D-EM) Feldsimulationen durchgeführt. Aus den so gewonnenen S-Parametern wurden Netzwerk-Ersatzschaltbilder entwickelt und die entsprechenden Werte der Ersatzschaltbildelemente extrahiert. Die dabei verwendeten Methoden sind in Anhang B näher erläutert. Auf diese Weise ist es möglich, jeden Transistor-Finger – jede Transistorzelle – als konzentriertes, aktives, nichtlineares Bauelement zu simulieren und die Zuleitungen jeweils in Form eines passiven, linearen Netzwerkes darzustellen. Mit Hilfe dieser Simulationen lässt sich dann das Verhalten großer Transistoren mit vielen Zellen und verschiedenen Zuleitungsgeometrien untersuchen, verstehen und vorhersagen. In Unterkapitel 5.2.1 werden die Ergenisse für die klassische T-förmige Verteilstruktur und die dabei vorliegenden Probleme vorgestellt. Im Unterkapitel 5.2.3 werden die Änderungen beschrieben, die durch eine ällmähliche, Delta- bzw. Taper-förmige Aufweitung des Signalleiters erreicht werden. Es zeigt sich, dass zur Beseitigung der genannten Schwierigkeiten eine völlige Umgestaltung der Verteilstruktur notwendig ist. Die neugestaltete PSG-Verteilstruktur und die daraus resultierenden Vorteile gegenüber den zuvor erwähnten Varianten werden im Unterkapitel 5.2.3 vorgestellt. Zur messtechnischen Verifikation wurden einige der hier simulationstechnisch untersuchten Varianten hergestellt und gemessen. Die entsprechen Ergebnisse werden in Kap. 5.3 vorgestellt und diskutiert.

5.2.1 T-förmige Verteilstruktur. Im Folgenden werden Transistoren mit T-förmiger Verteilstruktur untersucht. Ein entsprechender realer Transistor mit koplanarer Zuleitung ist in Abb. 5.9 dargestellt. Die EM-Simulationen wurden sowohl für koplanare Strukturen als auch für Mikrostreifen-Zuleitungen durchgeführt.

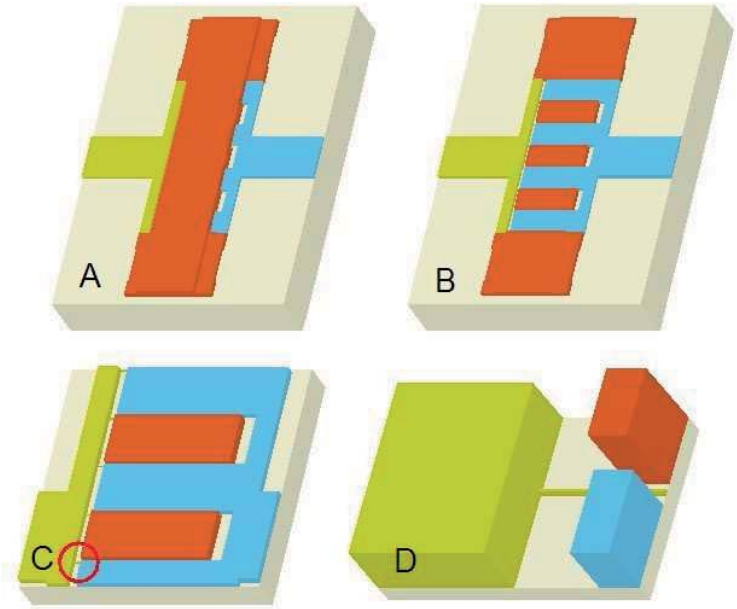
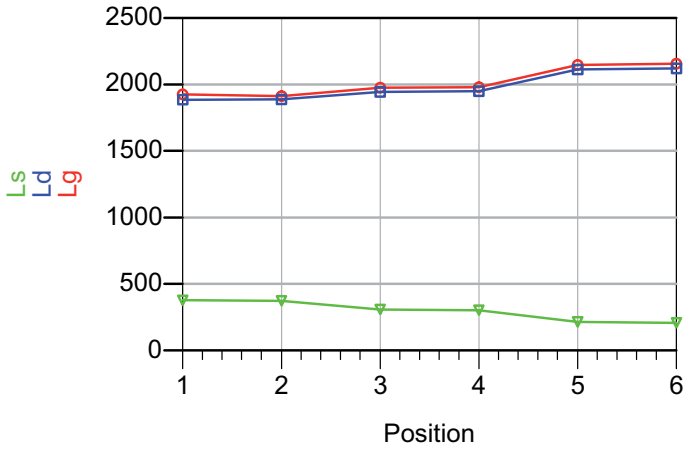


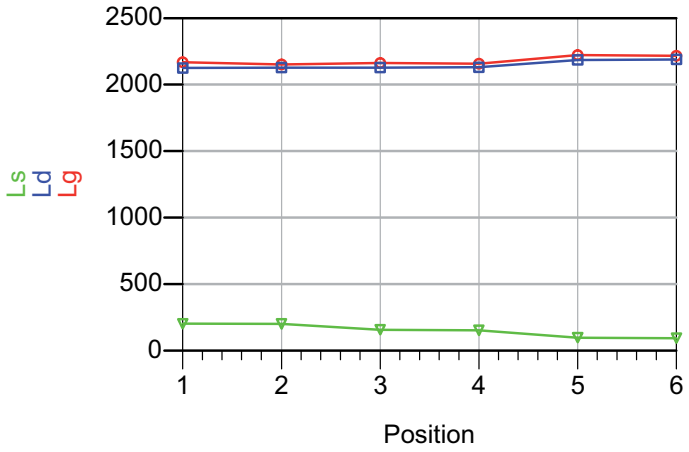
Abb. 5.10 Details der simulierten T-förmigen Zuleitungs-/ Verzweigungsstruktur mit Mikrostreifen-Zuleitungen; A: Vollständiger Transistor, B: Luftbrücke entfernt, Source-Anschlüsse und Drain-Verzweigung erkennbar, C und D: Detail zur Darstellung der Größenverhältnisse von Gate, Source und Drain.

Abb. 5.10 zeigt die Details der untersuchten T-förmigen Zuleitungs- und Verteilstruktur. Teilbild A zeigt den gesamten Transistor, hier als Mikrostreifen-Variante, links die Gate-Seite, rechts die Drain-Seite. In der Mitte verläuft von oben nach unten die Masse-Brücke. Mit dieser werden die Source-Kontakte, die gleichzeitig als Brückenpfeiler dienen, an Masse angeschlossen. In Teilbild B ist die Brücke entfernt, die Source-Kontakte sowie die Verzweigung der Drain-Zuleitung sind erkennbar. Die Teilbilder C und D zeigen den inneren Bereich des Transistors vergrößert. In Teilbild D ist auch einer der im Verhältnis zu den Source- und Drain-Kontakten sehr kleinen Gate-Finger zu erkennen. Für die 3D-EM Simulation wurde diese Feldeffekt-Transistor-Geometrie gewählt, die den HEMTs am FBH entspricht. Die Erkenntnisse über die Eigenschaften der Zuleitungsstruktur lassen sich aber ebenso auf die HBTs anwenden, da die passiven Strukturen praktisch identisch sind.



POS	Lg	Ld	Ls
1	1924	1884	376
2	1912	1887	373
3	1976	1943	309
4	1978	1949	303
5	2146	2113	214
6	2156	2120	207

Abb. 5.11 Induktivitätswerte (in pH) der Zuleitungen zu den Transistorzellen bei T-förmiger Zuleitungsstruktur in Mikrostreifen-Umgebung; POS 1: Innerste Transistorzelle, POS 6: Am Rand gelegene Transistorzelle.



POS	Lg	Ld	Ls
1	2167	2125	202
2	2152	2127	200
3	2164	2127	156
4	2157	2130	152
5	2221	2185	96
6	2217	2189	93

Abb. 5.12 Induktivitätswerte (in pH) der Zuleitungen zu den Transistorzellen bei T-förmiger Zuleitungsstruktur in Koplanar-Umgebung.

Die aus der 3D-EM Simulation extrahierten Induktivitätswerte für die T-förmige Zuleitung der Mikrostreifen-Variante entsprechend den Ersatzschaltbildern in Abb. B.2 und Abb. B.3 sind im Diagramm Abb. 5.11 dargestellt. Die Methode zur Extraktion der Induktivitätswerte ist in Anhang B beschrieben. Aufgetragen ist jeweils die *gesamte* Induktivität von der Bezugsebene auf der Leitung bis zur jeweiligen Bezugsebene der einzelnen Zelle. Position 1 bezeichnet dabei die Gate-Position in der Mitte des Transistors. Position 6 bezeichnet das am weitesten außen liegende Gate. Deutlich erkennbar ist, dass die Induktivität für die Gate- und Drain-Zuführung von innen nach außen zunimmt. Dies bestätigt die anschauliche Betrachtung, dass die Zellen von innen, wo sich der Signalleiter befindet, bis nach außen immer durch kurze Leitungsstücke verbunden sind, die sich als Induktivität darstellen lassen. Für die über die Brücke angeschlossenen Source-Kontakte gilt das Gleiche wie für die Gate- und Drain-Anschlüsse. Jedoch wächst die hier dargestellte

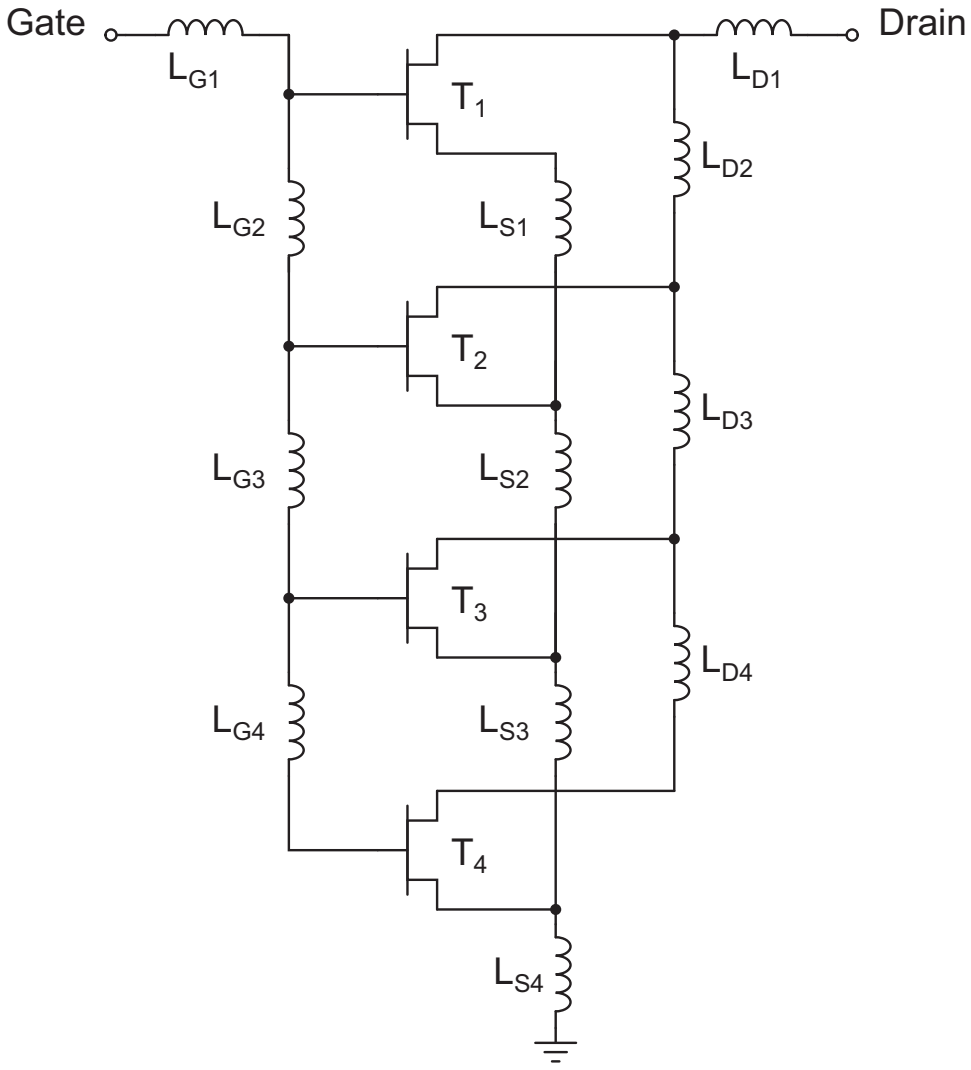


Abb. 5.13 Netzwerk-Topologie bei T-förmiger Zuleitungsstruktur.

Gegeninduktivität in umgekehrter Richtung, also von außen nach innen, da sich der Masse-Anschluss außen befindet.

Abb. 5.12 zeigt die Induktivitätswerte für einen entsprechenden Transistor, hier jedoch in koplanarer Umgebung. Die Differenz der Gate- bzw. Drain-Induktivitäten zwischen innen und außen ist hier geringer als bei der Mikrostreifen-Anordnung. Die Werte für die Source-Gegeninduktivitäten sind in hier nur etwa halb so groß wie in der Mikrostreifen-Umgebung, da die Induktivität der Vias, die bei der Mikrostreifen-Anordnung notwendig sind, entfällt.

Die beschriebenen Verhältnisse lassen sich durch ein Netzwerk realisieren, wie es in Abb. 5.13 dargestellt ist. Die Tatsache, dass die Anschlussinduktivitäten für alle Transistorzellen verschieden sind, erklärt, warum bei zunehmender Fingeranzahl die maximale Ausgangsleistung nicht mehr entsprechend der Anzahl der Finger bzw. entsprechend der Gesamt-Gate-Weite steigt und warum die Verstärkung abnimmt: Die Finger arbeiten nicht in einer echten Parallelschaltung, weshalb die Ausgangsleistungen der einzelnen

Zellen sich nicht vollständig konstruktiv überlagern. Ebenso kann nicht mehr jede Zelle mit ihrer optimalen Quell- und Lastimpedanz abgeschlossen werden, da zu der tatsächlich an der Zuleitung angeschlossenen Impedanz für jede Zelle eine andere Induktivität addiert wird. Für den gesamten Transistor existiert dann also nur noch eine mittlere optimale Impedanz, bei der die Abschlussimpedanz jeder einzelnen Zelle mehr oder weniger stark von ihrem tatsächlichen Optimum abweicht.

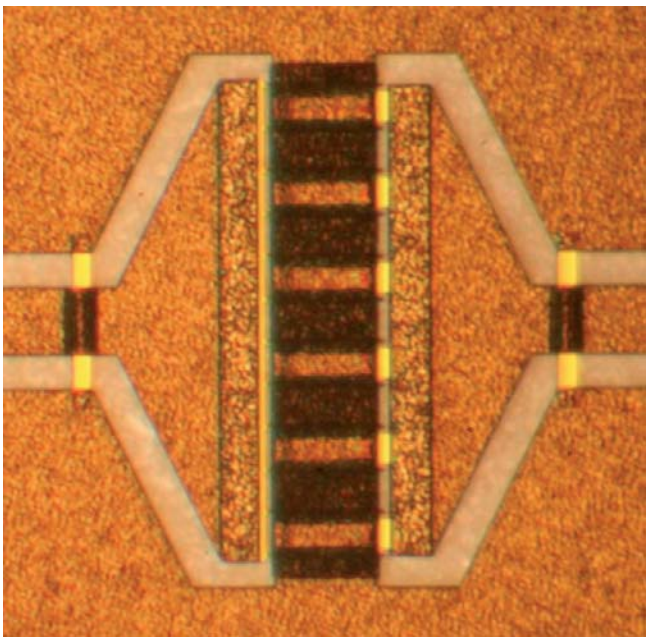
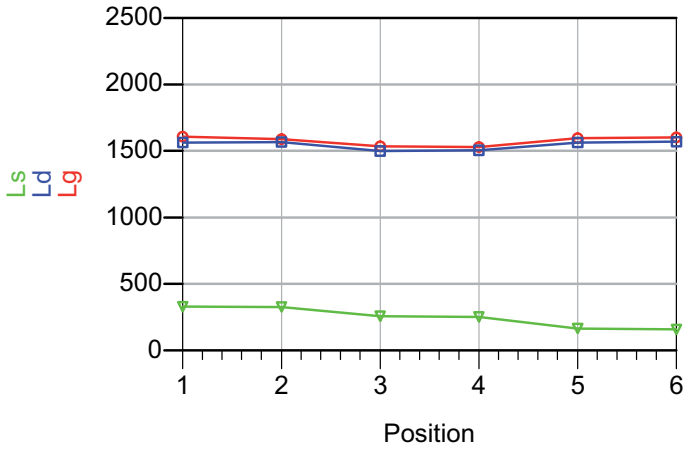


Abb. 5.14 Transistor mit Taper-förmiger Zuleitungsstruktur in Koplanar-Umgebung.

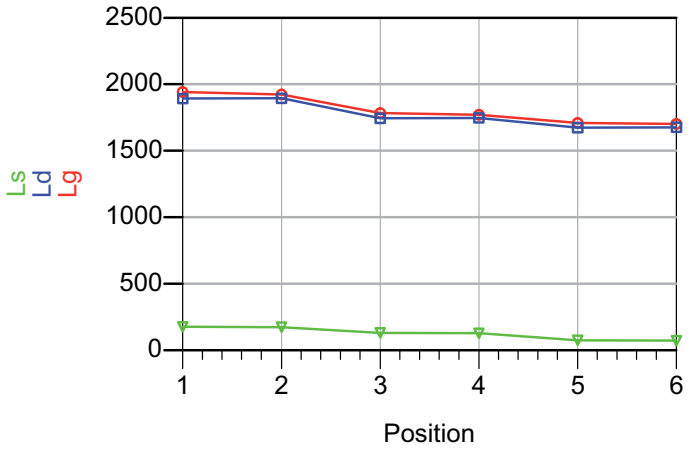
5.2.2 Delta-förmige Verteilstruktur. Die Untersuchungen in Kap. 5.2.1 ergaben, dass die T-förmige Verteilstruktur aus hochfrequenztechnischer Sicht aufgrund der unterschiedlichen Anschlussimpedanz der einzelnen Transistorzellen ungünstig ist. Als Verbesserung wurde die Delta- oder Taper-förmige Struktur vorgeschlagen, bei der sich die Breite der Zuleitung allmählich auf die Breite des Transistors vergrößert. Ein entsprechender realer Transistor in koplanarer Umgebung ist in Abb. 5.14 dargestellt.

Das Diagramm in Abb. 5.15 zeigt die extrahierten Induktivitätswerte für die Simulation einer Delta-förmigen Zuleitungsstruktur mit Mikrostreifen-Zuleitung. Deutlich erkennbar ist, dass die Induktivitäten für die Gate- und Drain-Zuführung insgesamt kleiner sind als bei der T-förmigen Zuleitung. Insbesondere sind sie aber auch nahezu unabhängig von der Position der Finger innen und außen in etwa gleich groß. Die Gegeninduktivitäten der Source-Anschlüsse sind allerdings im Vergleich zur T-förmigen Verteilstruktur nahezu unverändert.



POS	Lg	Ld	Ls
1	1607	1563	329
2	1589	1566	326
3	1534	1499	256
4	1529	1504	251
5	1596	1563	164
6	1601	1569	157

Abb. 5.15 Induktivitätswerte (in pH) bei Delta-förmiger Zuleitungsstruktur in Mikrostreifen-Umgebung.



POS	Lg	Ld	Ls
1	1940	1893	175
2	1921	1895	173
3	1782	1743	130
4	1769	1747	126
5	1709	1673	74
6	1700	1677	71

Abb. 5.16 Induktivitätswerte (in pH) bei Delta-förmiger Zuleitungsstruktur in Koplanar-Umgebung.

Das Diagramm in Abb. 5.16 zeigt die entsprechenden Werte für den Transistor in koplanarer Umgebung. Bei der hier gewählten speziellen Konfiguration sinkt sogar die Induktivität der Gate- und Drain-Anschlüsse von innen nach außen. Dies ist dadurch zu erklären, dass die jeweils als Längsinduktivität wirkenden Anteile der der Source-Metallisierung den Eingangs- bzw. Ausgangsinduktivitäten zugeschlagen werden. Diese Anteile sinken aufgrund der Geometrie von innen nach außen. Durch entsprechende Optimierung des Taper-Winkels muss eine Lösung zwischen der rein T-förmigen Struktur mit ansteigenden Induktivitätswerten und dieser Struktur mit sinkenden Induktivitätswerten existieren, bei der die Induktivitäten praktisch unabhängig von der Position sind. Die Werte der Source-Gegeninduktivitäten steigen jedoch weiterhin von außen nach innen auf mehr als das Doppelte an.

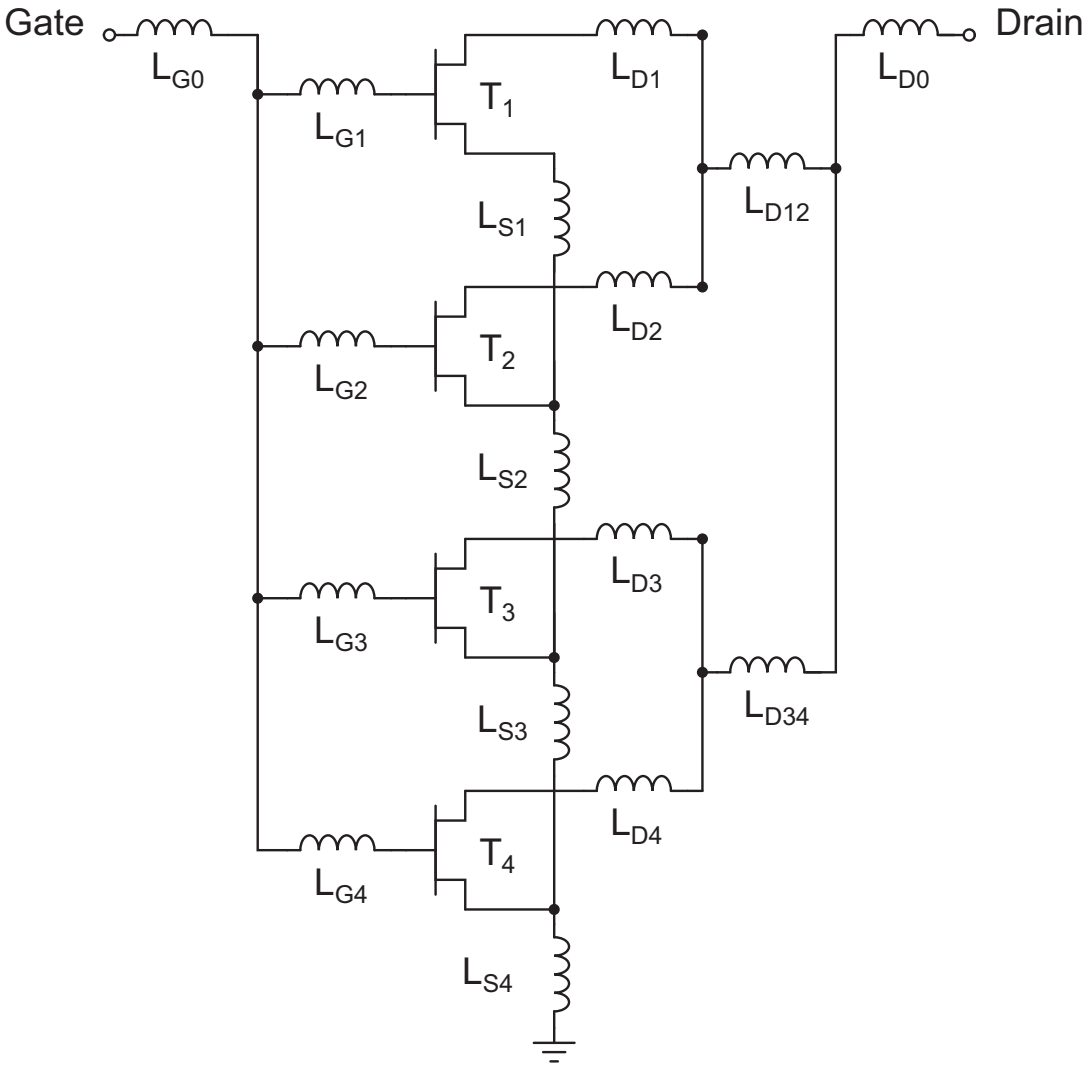


Abb. 5.17 Netzwerk-Topologie bei Delta-förmiger Zuleitungsstruktur.

Durch die Verwendung einer Taper-förmigen Verteilstruktur können also die Zuleitungsinduktivitäten zu den einzelnen Zellen verändert und so optimiert werden, dass praktisch alle Gates und Drains über identische Induktivitäten angeschlossen sind. Der optimale Taper-Winkel ist dabei offenbar für Transistoren in einer Mikrostreifenumgebung ein anderer als für Transistoren in koplanarer Umgebung.

Diese Verhältnisse können durch eine Topologie gemäß Abb. 5.17 nachgebildet werden. Die Gate-Finger sind nahezu ideal parallel geschaltet. Die Anschlüsse der Drain-Finger werden durch eine baumartige Struktur modelliert. Die Zuleitung zu jedem Drain-Finger wird durch eine Induktivität repräsentiert, an die jeweils zwei weitere Induktivitäten angeschlossen sind, welche die Verbindungen zu den zwei Transistorzellen darstellen, an die jeder Drain-Finger angeschlossen ist.

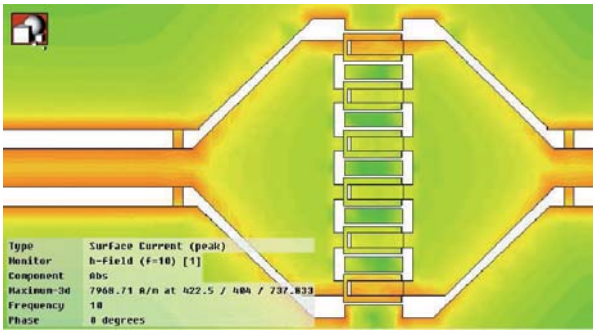


Abb. 5.18 Darstellung der Stromdichte im Taper-förmigen Layout. grün: geringe Stromdichte bei den inneren Zellen, rot: hohe Stromdichte in den äußeren Zellen.

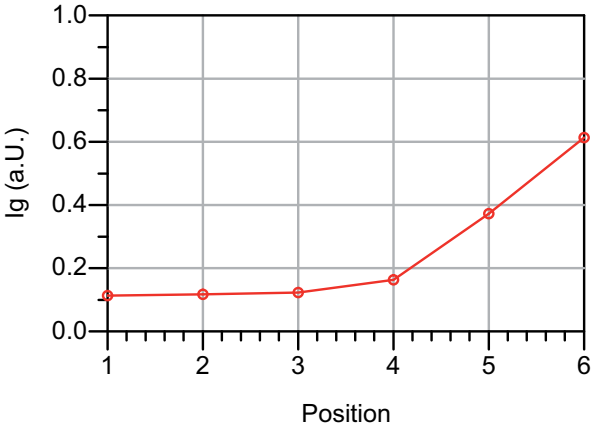


Abb. 5.19 Gate-Ströme im Taper-förmigen Layout aufgetragen über der Position. 1: innen, 6: außen. Deutlich höhere Stromdichte im Randbereich (Faktor 6).

Allerdings sind die Source-Anschlüsse der Transistorzellen weiterhin über die Source-Brücke an eine Reihenschaltung von Induktivitäten angeschlossen. Dies bewirkt eine unterschiedliche Gegenkopplung der einzelnen Zellen und damit die bekannten Probleme bei Zunahme der Transistorgröße.

Die Maßnahmen zur Erreichung einer Parallelschaltung an der Source und damit einer weitgehend gleichmäßigen Anschlussiduktivität und Leistungsaufteilung auf alle Transistorzellen werden in Kap. 5.2.3 beschrieben.

Eine anschauliche Darstellung, wie sich die vorliegende Topologie auf die Verteilung der Welle auf die einzelnen Transistorzellen auswirkt, ist in Abb. 5.18 zu sehen. Die abgebildete Struktur ist allerdings rein passiv. Dort, wo sich beim realen Transistor der aktive Bereich befindet, sind in dieser Simulation der eingangsseitige und der ausgangsseitige Signalleiter galvanisch verbunden. Auch wenn hierdurch der Einfluss der Impedanzen der aktiven Transistorzellen vernachlässigt wird, ergibt sich ein anschauliches Bild der prinzipiellen Stomverteilung. Die hellen grünen Flächen im Zentrum des Transistors repräsentieren eine geringe Stromdichte. Die rötlichen dunklen Flächen im Bereich der CPW-Zuleitung und im Bereich der äußersten Transistorzellen zeigen hohe Stromdichten. Die Welle konzentriert sich also in den äußeren Bereichen des Transistors, während der Beitrag der inneren Zellen gering ist. Dies ist noch einmal als Diagramm in Abb. 5.19 dargestellt. Aufgetragen ist der Strom in den einzelnen Gate-Fingern über der Position. Auch hier ist die deutliche Überhöhung des Stroms zum Rand des Transistors hin zu erkennen.

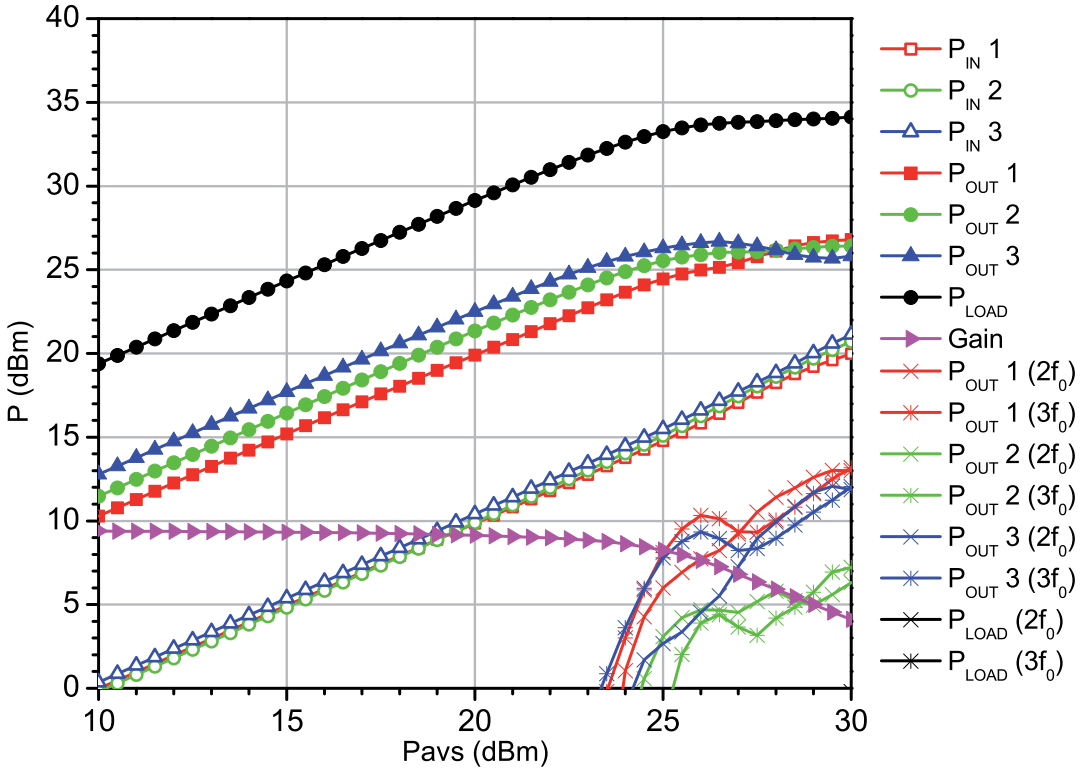


Abb. 5.20 Simulierte Eingangs- und Ausgangsleistungen von drei Transistorzellen in einem Multizellen-HBT mit Taper-förmiger Verteilstruktur und einem Ersatzschaltbild gemäß Abb. 5.17: deutlich ungleichmäßige Leistungsverteilung.

Nun wird mit Hilfe der Harmonic-Balance-Simulation untersucht, welches Großsignal-Verhalten die einzelnen Transistorzellen unter den gegebenen Anschlussbedingungen zeigen.

Abb. 5.20 zeigt die simulierten Eingangs- und Ausgangsleistungen eines GaAs-Transistors mit dem hier beschriebenen Delta-förmigen Taper und dem in Abb. 5.17 gezeigten Ersatzschaltbild, aufgetragen über der verfügbaren Quelleistung am Eingang des Transistors.

In dem Diagramm sind die Werte für drei repräsentative Zellen des Transistors dargestellt: eine in der Mitte des Transistors (Zelle 1), eine ganz außen (Zelle 3) und eine mittig zwischen diesen beiden (Zelle 2). In dem Diagramm sind bei der Grundfrequenz f_0 die Eingangsleistungen der drei Zellen des Transistors ($P_{IN}1$ bis $P_{IN}3$), die Ausgangsleistung jeder der drei Zellen ($P_{OUT}1$ bis $P_{OUT}3$), die Summe der Ausgangsleistungen (P_{LOAD}) sowie die Gesamtverstärkung (Gain) aufgetragen. Zudem sind die Leistungen der ersten beiden Oberwellen ($2f_0$, $3f_0$) am Ausgang der Transistorzellen und der Gesamtleistung an der Last aufgetragen.

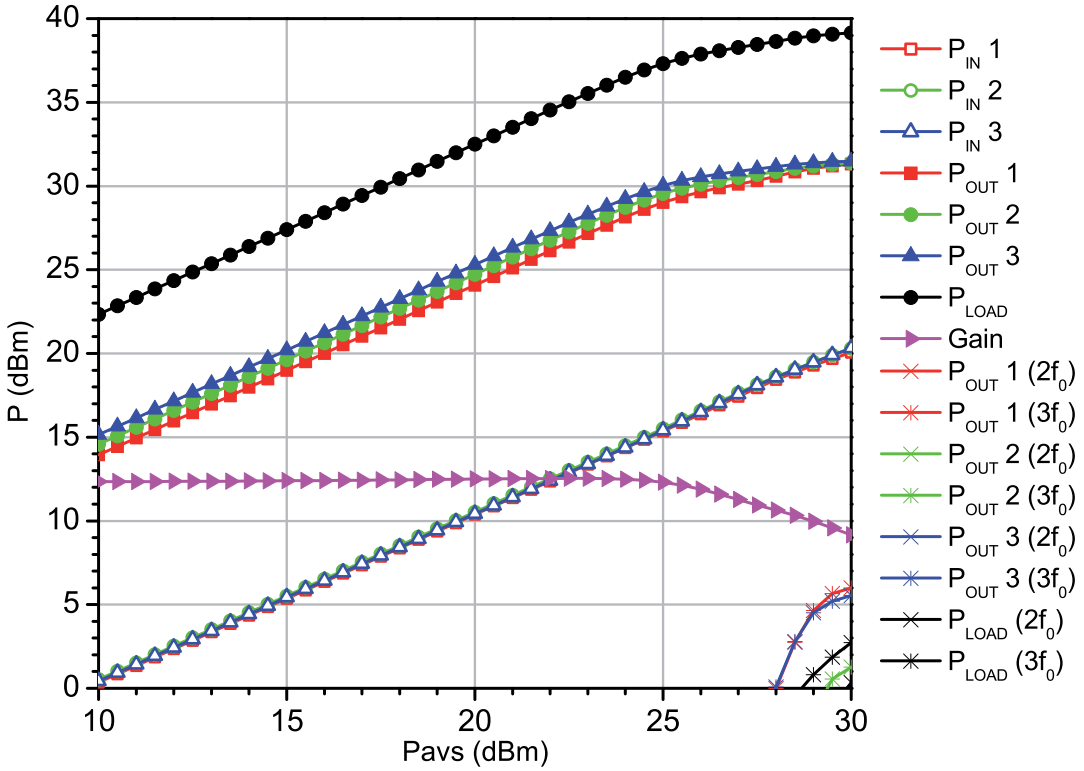


Abb. 5.21 Simulierte Eingangs- und Ausgangsleistungen von drei Transistorzellen in einem Multizellen-HEMT mit Taper-förmiger Verteilstruktur und einem Ersatzschaltbild gemäß Abb. 5.17: ungleichmäßige Leistungsverteilung.

Das Diagramm illustriert, wie unterschiedlich die Ausgangsleistungen sind, die die einzelnen Zellen zur Gesamtleistung beitragen. Die Transistorzellen sehen durch die Zuleitungsgeometrie verschiedene Abschlussimpedanzen – sowohl am Eingang als auch am Ausgang – abhängig von ihrer Position im Gesamttransistor. Folglich verteilt sich die Eingangsleistung zunächst ungleichmäßig auf die verschiedenen Zellen. Durch die unterschiedlichen Ausgangsimpedanzen wird dieser Effekt ausgangsseitig weiter verstärkt. Dies führt schon im linearen Bereich zu einer geringeren Ausgangsleistung und damit zu einer geringeren Verstärkung als bei ideal gleichmäßiger Leistungsverteilung. Dieser Zusammenhang wird im auch noch einmal im nachfolgenden Kapitel deutlich. Weiterhin beginnt bei zunehmender Eingangsleistung die Zelle mit der größten Ausgangsleistung als erste in die Sättigung zu gehen, während die anderen Transistorzellen erst bei höherer Gesamtleistung nacheinander in die Sättigung gehen. Dies führt dazu, dass auch die Gesamtleistung zu sättigen anfängt, sobald die erste Zelle beginnt, in die Sättigung zu gehen. Außerdem ist bei Erreichen der Gesamtsättigungsleistung die Transistorzelle, die als erste in die Sättigung gegangen ist, so weit in der Kompression, dass erhebliche Oberwellen entstehen. Durch die starke Übersteuerung dieser Zelle ist auch die Gefahr ihrer Zerstörung oder

ihrer vorzeitigen Alterung größer als bei gleichmäßiger Aussteuerung aller Transistorzellen.

Zum Vergleich der Technologien wurden in der Simulation bei gleichem passivem Zuleitungsnetzwerk die einzelnen GaAs-HBT-Zellen durch GaN-HEMT-Zellen ersetzt. Abb. 5.21 zeigt die Ergebnisse der entsprechenden Simulation. Auch hier sind die Unterschiede in der Aussteuerung der Transistorzellen zu erkennen. Die Auswirkungen der unterschiedlichen Abschlussimpedanzen sind hier jedoch weniger ausgeprägt als beim GaAs-Transistor, was mit den günstigeren Impedanzverhältnissen an den einzelnen Zellen zu begründen ist. Außerdem liegt sowohl die Verstärkung als auch die Sättigungsleistung erwartungsgemäß höher als bei GaAs. Die Oberwellen sind bei GaN weniger stark ausgeprägt als bei GaAs.

Im folgenden Kapitel wird eine neu entwickelte Zuleitungsgeometrie vorgestellt, die eine gleichmäßige Verteilung der Leistungen auf alle Transistorzellen ermöglicht und somit die hier angesprochenen Probleme beseitigt.

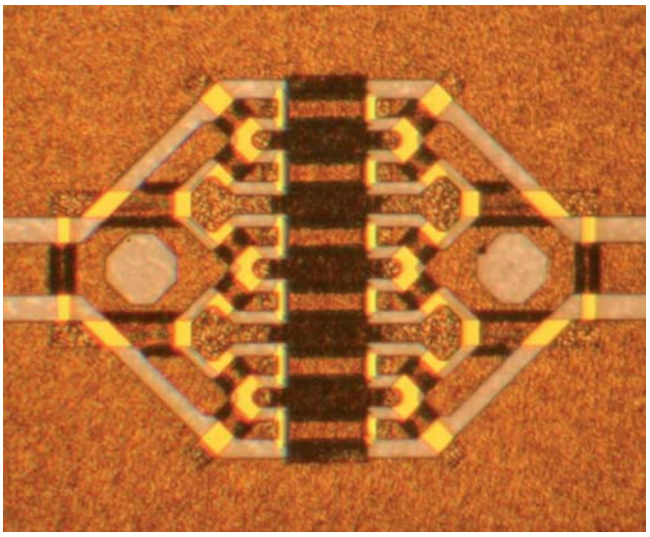


Abb. 5.22 Transistor mit PSG-Verteilstruktur.

5.2.3 Neuartige PSG-Verteilstruktur. In Kap. 5.2.1 und Kap. 5.2.2 wurde gezeigt, dass durch eine allmähliche Verbreiterung des Signalleiters anstelle einer T-förmigen Verzweigung und durch entsprechende Optimierung erreicht werden kann, dass die Gate- und Drain-Anschlüsse alle Transistorzellen über praktisch identische Induktivitäten an die Signalleiter angeschlossen sind. Es ist jedoch wünschenswert, die Größe dieser Induktivitäten insgesamt zu senken. Außerdem wurde das Problem der deutlich verschiedenen Source-Induktivitäten für die unterschiedlichen Transistorzellen nicht gelöst.

Anhand von Großsignal-Simulationen wurde gezeigt, dass die unterschiedlichen Source-Impedanzen trotz identischer Gate- und Drain-Zuleitungsimpedanzen zu den einzelnen Zellen, eine deutlich unterschiedliche Aussteuerung der Transistorzellen zur Folge haben. Im Folgenden wird eine völlig neue Zuleitungsstruktur vorgestellt, die es durch Verflechtung von Signal- und Masseleitern ermöglicht, alle Zellen des Transistors über praktisch identische Zuleitungsinduktivitäten an allen drei Anschlüssen mit dem Wellenleiter zu verbinden. Hierbei wird außerdem die Gegeninduktivität in der Masse-Zuführung, die als Gegenkopplung wirkt und daher unerwünscht ist, quasi auf Null zu reduziert. Dieses Design reduziert also einige der in Kap. 3.3.2 beschriebenen negativen Hochfrequenzeigenschaften großer Transistoren, so dass diese bei höheren Frequenzen eingesetzt werden können bzw. bei gleicher Frequenz eine größere Verstärkung und bessere Linearität aufweisen als die klassischen Geometrien.

Wie schon in Kap. 5.2.1 und Kap. 5.2.2 erläutert, sind zur Verbesserung der HF-Anbindung der einzelnen Transistorzellen Änderungen des Masse-Anschlusses an Source bzw. Emitter notwendig. Die Gegeninduktivität der

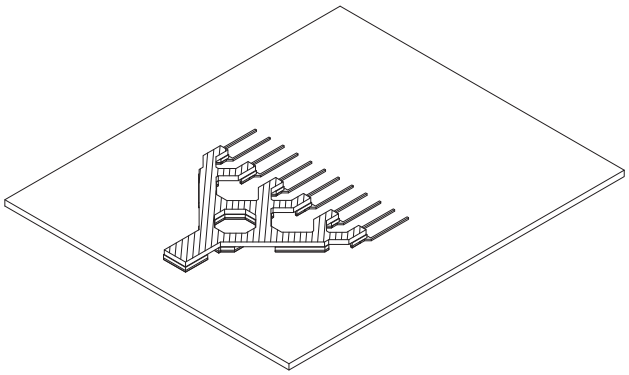


Abb. 5.23 Zeichnung der eingangsseitigen PSG-Verteilstruktur des Signalleiters.

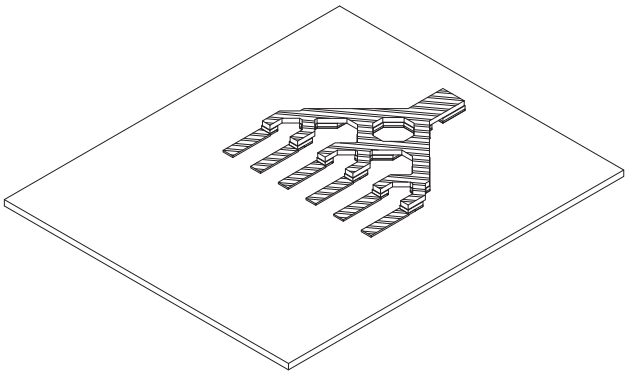


Abb. 5.24 Zeichnung der ausgangsseitigen PSG-Verteilstruktur des Signalleiters.

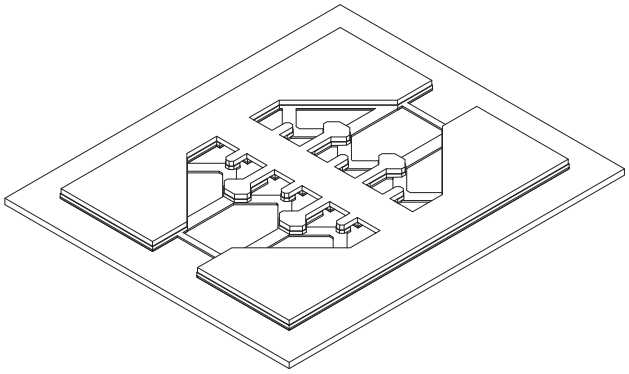


Abb. 5.25 Zeichnung der PSG-Verteilstruktur der Massemetallisierung.

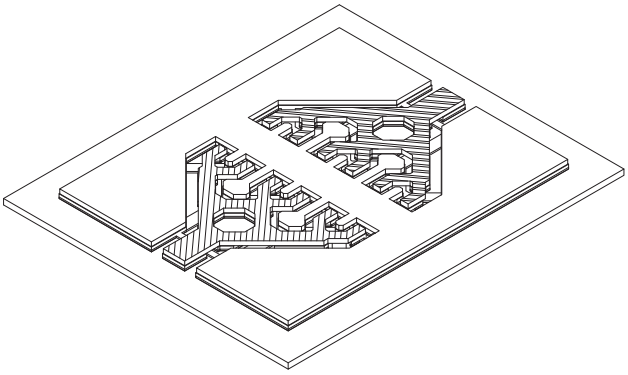


Abb. 5.26 Zeichnung der kompletten PSG-Verteilstruktur.

Masseverbindung muss reduziert und eine Parallelschaltung der Zellen erreicht werden.

Eine allgemeine Regel zur Realisierung dieses Ziels in einem Layout könnte wie folgt formuliert werden: „Jede Transistorzelle wird sowohl eingangsseitig als auch ausgangsseitig über je eine Signal- und Masse-Zuführung angeschlossen. Diese Signal- und Masse-Zuführung bilden gemeinsam einen Wellenleiter und werden möglichst parallel geführt. Diese Zuführungsleitungen sollen für alle Transistorzellen gleiche elektrische Längen und gleiche Leitungswellenwiderstände haben."

Als gute Näherung bietet es sich an, von der CPW- oder Mikrostreifen-Leitung kommend den Signalleiter baumartig immer weiter aufzuspalten, so dass schließlich jede Zelle oder jede Doppelzelle an einen der Signal-Äste angeschlossen ist. Bei der CPW-Leitung werden aus den Masseflächen Masseleiter heraus geführt und dann in ähnlicher Weise wie der Signalleiter immer weiter verzweigt und mit den Signalleiter-Ästen gekreuzt, so dass jede Zelle oder Doppelzelle an einen Masse-Ast angeschlossen ist. Abb. 5.22 zeigt das Foto einer möglichen Realisierung einer solchen Struktur. Zunächst

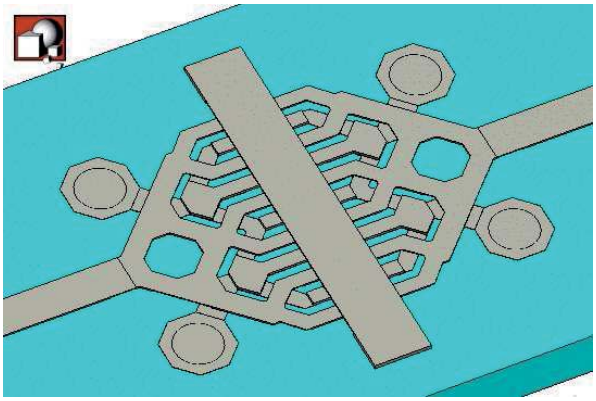


Abb. 5.27 Transistor mit PSG-Verteilstruktur in Mikrostreifen-Umgebung mit großer Distanz zwischen Signalleiter und Vias.

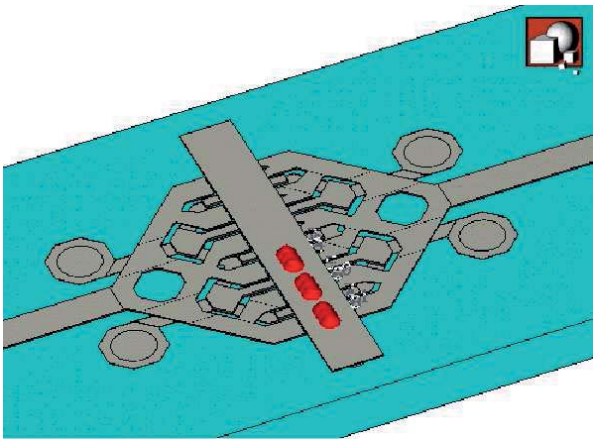


Abb. 5.28 Transistor mit PSG-Verteilstruktur in Mikrostreifen-Umgebung mit kleiner Distanz zwischen Signalleiter und Vias.

wird der Signalleiter nach außen aufgespreizt, während die Masse als Verlängerung der CPW-Masseflächen in der unteren Metallisierungsebene gerade unter dem Signalleiter durchgeführt wird. Die untere Metallisierungsebene ist an dem hellen, aufgedampften Gold zu erkennen. Dann werden diese beiden Masseleitungen dreifach verzweigt und mit Galvanik-Gold an die Source-Brücke angeschlossen. Der Signalleiter wird ebenfalls weiter aufgespalten, so dass insgesamt sechs Äste entstehen. Jeder dieser Äste wird über eine Gabel an zwei Gate-Finger angeschlossen. Zu jedem dieser Paare von Gate-Fingern gehört ausgangsseitig ein Drain-Finger. Die dreidimensionale Gestalt der Verzweigungen, der Unter- und Überführungen, der Source-Brücken-Anschlüsse sowie der Gate- und Drain-Finger sind in den Abb. 5.23 bis Abb. 5.26 zur Verdeutlichung nochmal als Zeichnungen dargestellt. Diese Verflechtung von Signal- und Masseleitern ist der Grund für die Benennung dieser Verteilstruktur als Plaited-Signal-Ground oder PSG.

Bei der Mikrostreifen-Leitung werden dort, wo die Verzweigung des Signalleiters beginnt, seitlich neben dem Signalleiter Vias zur Kontaktierung der auf der Unterseite des Substrats befindlichen Massefläche verwendet. Von dort aus dient – ähnlich wie bei der CPW-Leitung – eine baumartige Struktur zur Verteilung der Masse auf die einzelnen Transistorzellen. Eine mögliche Realisierung dieser Struktur ist in Abb. 5.27 dargestellt. Eine leicht modifizierte Variante, bei der die Vias näher am Signalleiter plaziert sind, ist in Abb. 5.28 gezeigt. Auf die daraus resultierenden Unterschiede wird weiter unten eingegangen. Es wäre auch die Verwendung von vielen Vias zwischen den einzelnen Transistorzellen denkbar. Dies ist jedoch technologisch kaum realisierbar bzw. nicht sinnvoll, da ein Via je nach Technologie etwa so viel Platz benötigt wie mehrere Transistorzellen. Folglich wäre ein Transistor mit

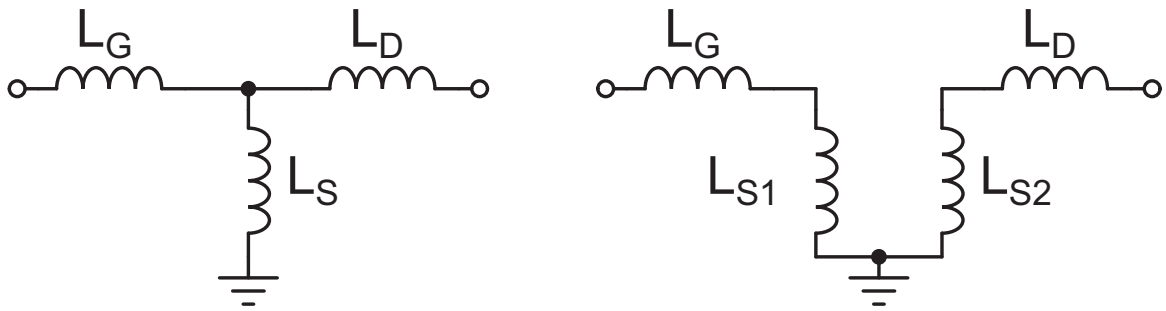
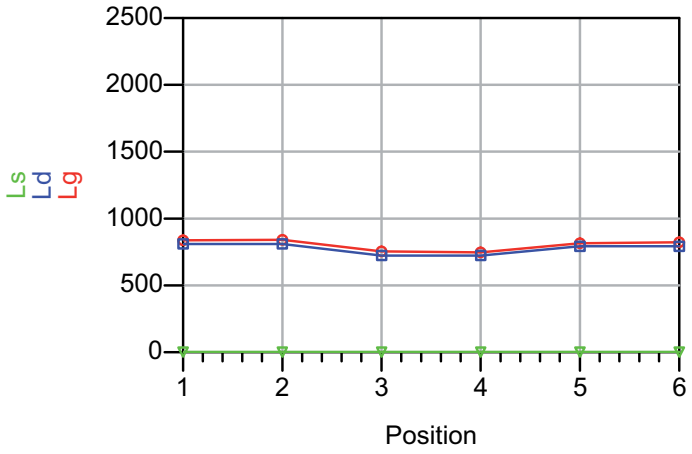


Abb. 5.29 Ersatzschaltbild zur unterschiedlichen Wirkung der Via-Induktivitäten in Mikrostreifenumgebung. 1) Bei Transistoren in klassischer Mikrostreifenumgebung: Via-Induktivität als nicht kompensierbare Gegeninduktivität. 2) Bei Transistoren in Mikrostreifenumgebung mit PSG-Struktur: Via-Induktivität als kompensierbare Längsinduktivität.

Vias zwischen den Transistorzellen sehr groß, was HF-technisch nicht günstig ist. Außerdem bringt die Platzierung der neuen Vias jeweils eingangsseitig und ausgangsseitig in den großen Vorteil mit sich, dass die eingangsseitigen und ausgangsseitigen Masseströme durch verschiedene Vias geleitet und somit voneinander getrennt werden (vgl. Abb. 5.27 und 5.28). Die Via-Induktivitäten sind infolgedessen zwar noch als Source- bzw. Emitter-Induktivität vorhanden, nicht jedoch als Gegeninduktivität zwischen Eingang und Ausgang. Es findet also die unerwünschte Gegenkopplung nicht statt, da die Gate- und Drain-Ströme (bzw. Basis- und Kollektor-Ströme) nicht über die gleiche Masse-Zuführung fließen.

Es ist bekannt, dass die Verwendung von Mikrostreifen-Leitungen für MMICs gewisse Vorteile gegenüber Koplanar-Leitungen hat, wie z.B. größere Freiheit in der Führung der Leitungen, Vermeidung von Seiteneffekten bei der Gestaltung der Massefläche von Koplanar-Leitungen usw. Jedoch ist ein deutlicher Nachteil von Mikrostreifen-MMICs gegenüber CPW-MMICs – besonders bei sehr hohen Frequenzen – dass sich die Gegeninduktivität der Masse-Vias negativ auf die Leistungsfähigkeit der Transistoren auswirkt. Diese Gegeninduktivität lässt sich bei der klassischen Zuleitungs-Geometrie nicht durch äußere Beschaltung kompensieren. Mit Hilfe der PSG-Struktur jedoch lässt sich wie beschrieben die Via-Induktivität als Gegeninduktivität beseitigen bzw. in eine Serieninduktivität verwandeln. Dies ist in Abb. 5.29 noch einmal in Form von elektrischen Ersatzschaltbildern dargestellt. Auf der linken Seite ist die klassische Situation gezeigt, in der nur Masse-Vias direkt am aktiven Bereich des Transistors vorhanden sind und sowohl der eingangsseitige als auch der ausgangsseitige Massestrom durch diese Vias fließt. Auf der rechten Seite ist die Situation des Mikrostreifen-PSG-Transistors gezeigt, wo der eingangsseitige Massestrom praktisch vollständig durch die eingangsseitigen Vias fließt und der ausgangsseitige Massestrom praktisch vollständig



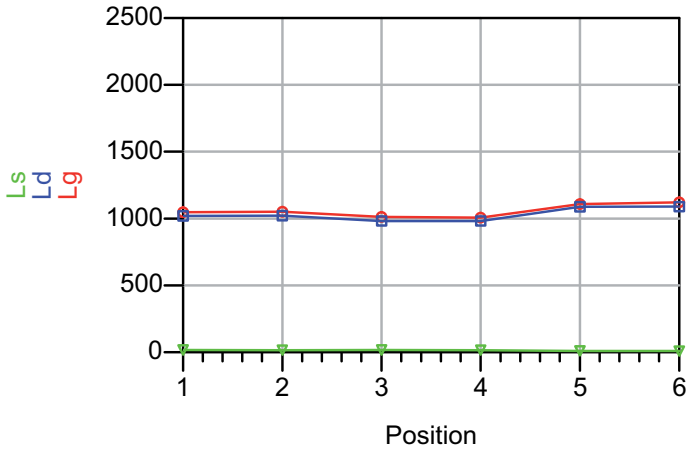
POS	Lg	Ld	Ls
1	836	810	2
2	841	810	2
3	753	723	1
4	748	723	1
5	814	793	1
6	823	793	1

Abb. 5.30 Induktivitätswerte der PSG-Zuleitungsstruktur in Koplanar-Umgebung.

durch die ausgangsseitigen Vias fließt. Hier wirken die Induktivitäten der Vias also nicht mehr als Gegeninduktivitäten, sondern als Serieninduktivitäten. Diese können dann durch entsprechende Beschaltung für den gewünschten Frequenzbereich kompensiert werden.

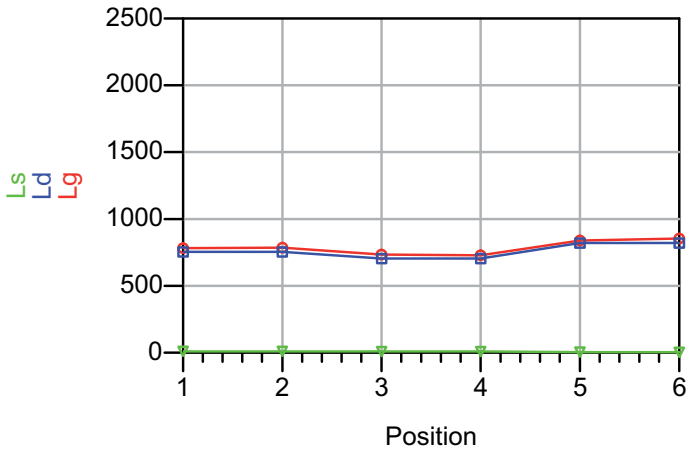
Die EM-Simulationen haben auch gezeigt, dass sich die oben genannten idealen elektrischen Forderungen (zumindest im verlustlosen Fall) um so besser erreichen lassen, je länger die Verteilstruktur in Signalausbreitungsrichtung ist. Als Nachteil ergibt sich dabei jedoch ein immer größer werdender Platzbedarf und in der Realität auch Verluste. Um eine identische Versorgung aller Zellen zu erreichen, spielen viele Faktoren eine Rolle. Elektromagnetisch ausgedrückt müssen dazu alle Zellen mit der gleichen Phase und Impedanz angeschlossen werden. Aufgrund der räumlichen Anordnung der Zellen nebeneinander quer zur Signalausbreitungsrichtung lässt sich diese elektrische Forderung jedoch nicht direkt in eine geometrische Realisierung umformulieren. Auch der zur Verfügung stehende Platz und der vorgesehene Frequenzbereich sind zu berücksichtigen. Durch geschickte geometrische Gestaltung, die Optimierung der Breiten und Abstände von Signal- und Masseleitern sowie der notwendigen Kreuzungspunkte zwischen diesen lässt sich eine gute Annäherung an das gewünschte Ideal über einen weiten Frequenzbereich erzielen.

Das Diagramm in Abb. 5.30 zeigt die extrahierten Induktivitätswerte für die Simulation einer PSG-Zuleitungsstruktur mit CPW-Zuleitung. Deutlich erkennbar ist, dass die Induktivitäten für die Gate- und Drain-Zuführung gegenüber der T-förmigen und der Delta-förmigen Zuleitung auf ungefähr den halben Wert gesunken sind. Sie sind, ähnlich wie bei der Delta-förmigen Zuleitung, praktisch unabhängig von der Position der Finger innen und außen etwa gleich groß. Die hier sichtbaren geringen Unterschiede lassen sich durch Optimierung ohne Schwierigkeiten beseitigen. Entscheidend ist jedoch, dass



POS	Lg	Ld	Ls
1	1048	1021	16
2	1052	1021	16
3	1012	982	16
4	1006	982	16
5	1109	1088	9
6	1121	1089	9

Abb. 5.31 Induktivitätswerte der PSG-Zuleitungsstruktur in Mikrostreifen-Umgebung, Vias gemäß Abb. 5.27.



POS	Lg	Ld	Ls
1	781	754	10
2	785	754	10
3	734	704	8
4	729	704	8
5	840	820	4
6	854	820	3

Abb. 5.32 Induktivitätswerte der PSG-Zuleitungsstruktur in Mikrostreifen-Umgebung, Vias gemäß Abb. 5.28.

die Gegeninduktivitäten der Masse-Anschlüsse praktisch alle identisch sind und nahezu auf Null reduziert werden konnten.

Das Diagramm in Abb. 5.31 zeigt die entsprechenden Werte für die Mikrostreifen-Konfiguration gemäß Abb. 5.27. Auch hier wurden die Gegeninduktivitäten um mehr als eine Größenordnung praktisch auf Null reduziert. Die gesamte Längsinduktivität ist jedoch höher als bei der Koplanar-Variante. Durch eine günstigere Wahl der Position der Vias näher am Signalleiter gemäß Abb. 5.28 kann diese Längsinduktivität um 30% auf ähnliche Werte wie bei der Koplanar-Variante reduziert werden. Dies ist in Abb. 5.32 zu erkennen.

Die hier vorliegenden Verhältnisse können mit einer Netzwerk-Topologie gemäß Abb. 5.33 nachgebildet werden. Die Gate-Finger und Drain-Finger sind auf die gleiche Art und Weise mit dem Signalleiter verbunden, wie dies schon in Abb. 5.17 für die Delta-förmige Verteilstruktur realisiert wurde. Nun sind aber auch die Source- bzw. Emitter-Kontakte tatsächlich parallel

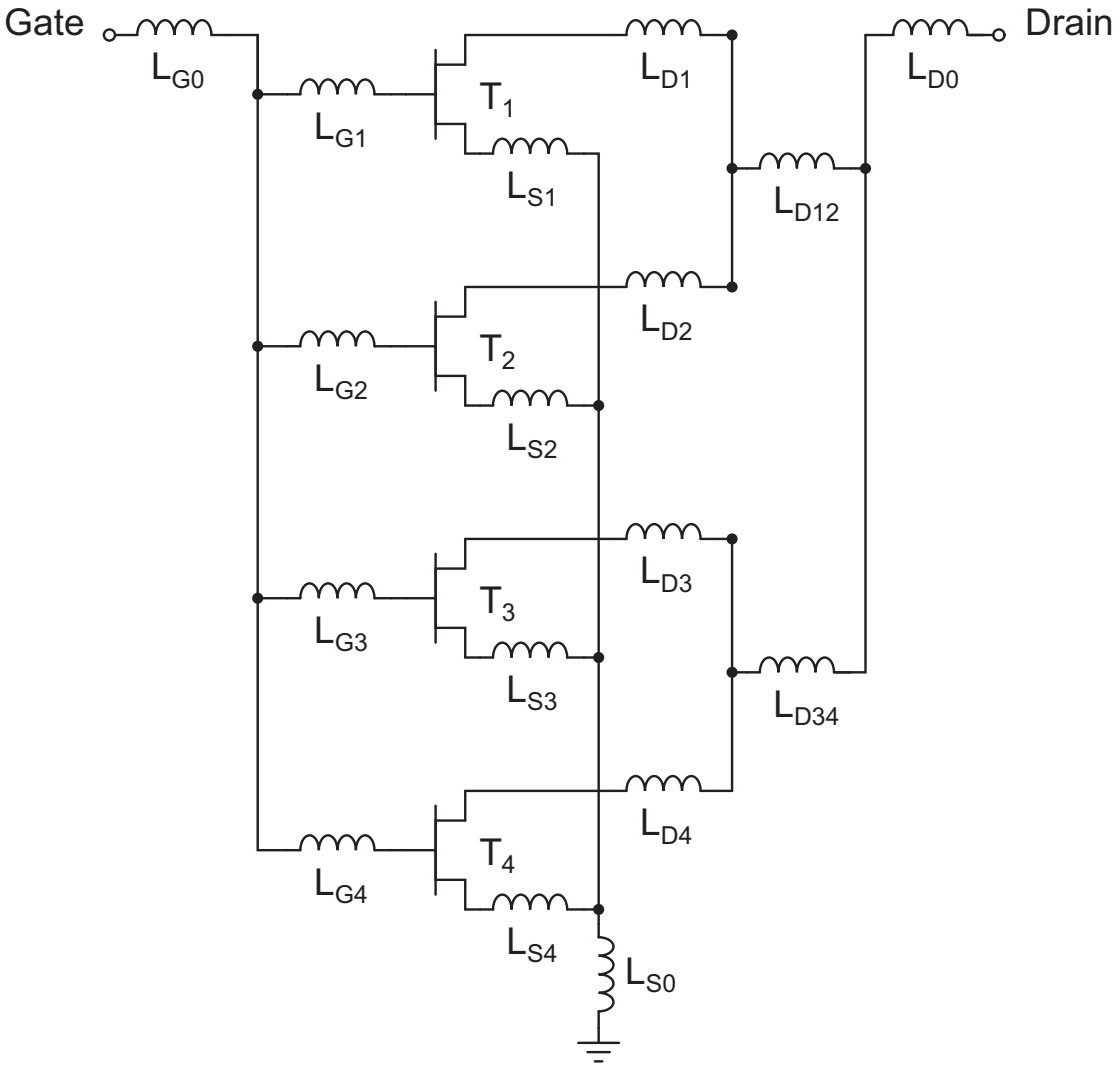


Abb. 5.33 Netzwerk-Topologie bei PSG-förmiger Zuleitungsstruktur.

geschaltet und nicht mehr mit einer Serienschaltung von Induktivitäten verbunden.

Wie in den Abb. 5.34 und Abb. 5.35 zu erkennen ist, wird durch die PSG-Struktur die Stromverteilung über der gesamten Transistorbreite gleichmäßiger als in den entsprechenden Darstellungen zum klassischen Taper in Abb. 5.18 und Abb. 5.19.

Für die hier gezeigten Abbildungen wurden in der Simulation wieder wie in Kap. 5.2.2 die Gate-Finger des Eingangssignalleiters und die Drain-Finger des Ausgangssignalleiter miteiander verbunden, so dass eine durchgehende Leitung entsteht. Dies entspricht nicht den Impedanzverhältnissen beim Anschluss an Transistorzellen. Somit bestätigen diese Simulationen prinzipiell und anschaulich die Richtigkeit des Ansatzes, erlauben jedoch keine quantitativen Aussagen. Während für das Delta-förmige Layout eine starke Überhöhung des Stromes in den äußeren Zellen festgestellt werden konnte, zeigt

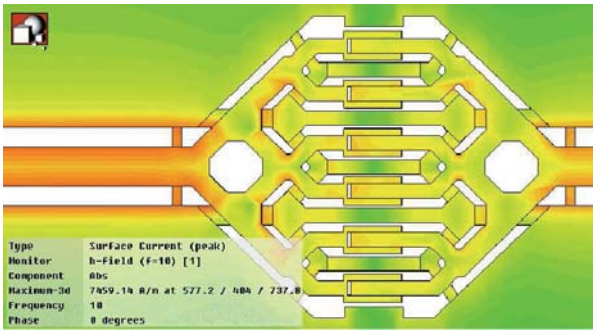


Abb. 5.34 Darstellung der Stromdichte beim PSG-Transistorlayout. grün: geringe Stromdichte, rot: hohe Stromdichte. Weitgehend gleichmäßige Verteilung, leicht höhere Stromdichte bei den inneren Zellen.

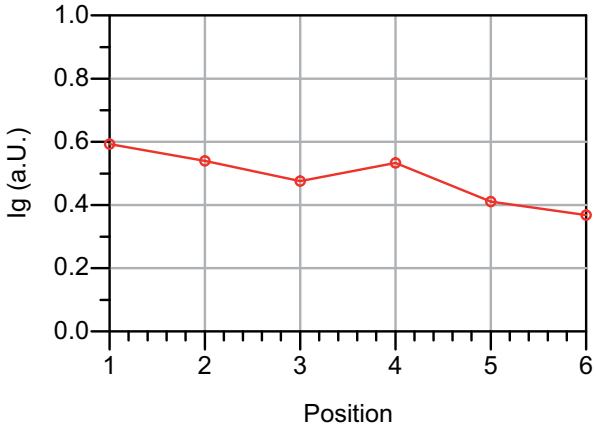


Abb. 5.35 Gate-Ströme im PSG-Transistorlayout aufgetragen über der Position. 1: innen, 6: außen. Geringfügig höhere Stromdichte im Innenbereich (Faktor 1,5).

die Simulation für die hier vorliegende konkrete Realisierung der PSG-Zuführungsstruktur sogar leicht höhere Ströme bei den inneren Zellen. Durch entsprechende Optimierung muss sich folglich eine völlig gleichmäßige Verteilung erreichen lassen.

Abb. 5.36 zeigt die simulierten Eingangs- und Ausgangsleistungen eines GaAs-Transistors mit dem hier beschriebenen PSG-Manifold und dem entsprechenden in Abb. 5.33 gezeigten Ersatzschaltbild der Peripherie. Die Vorhersagen, die aufgrund der besseren Stromverteilung getroffen wurden, werden durch die Großsignalsimulation bestätigt. Dies wird insbesondere bei einem direkten Vergleich mit Abb. 5.37 (Wiederholung von Abb. 5.20) deutlich. Im Gegensatz zum Transistor mit klassischem Taper zeigt sich hier, dass die Kurven für die Eingangs- und Ausgangsleistungen der einzelnen Transistorzellen jeweils praktisch zusammenfallen. Die zur Verfügung stehende Eingangsleistung wird folglich gleichmäßig auf die Zellen verteilt. Insbesondere liegt auch die Verstärkung (Gain) höher als beim Vergleichstransistor, da die induktive Emitter-Gegenkopplung für alle Zellen identisch und praktisch gleich Null ist. Da keiner der Einzel-Transistoren überproportional viel Eingangsleistung erhält und somit keiner der Einzel-Transistoren vorzeitig übersteuert wird, ist der Übergang in die Sättigung etwas schärfer, der lineare Bereich also größer. Anders ausgedrückt, liegt P_{-1dB} näher an der maximalen Ausgangsleistung und damit höher. Auch die entstehenden Oberwellen sind geringer als beim Vergleichstransistor aus Kap. 5.2.2.

In der klassischen Anordnung leisten die am äußeren Rand liegenden Transistorzellen den größten Beitrag zur Ausgangsleistung und gehen früh in Sättigung, während zusätzliche, innenliegende Transistorzellen unterhalb

der Sättigung nur wenig zur gesamten Ausgangsleistung beitragen. Folglich ist die Zunahme der gesamten Ausgangsleistung bei der klassischen Taper-Struktur für jede weitere Zelle nur gering, was unter anderem eine geringere Verstärkung zur Folge hat. Bei gleicher Anzahl von Zellen sorgt also die Zusammenschaltung mit Hilfe der PSG-Struktur für eine gleichmäßigere Leistungsaufteilung. Dies bedeutet auch, dass auf diese Weise eine größere Anzahl von Zellen zu einem Transistor zusammengeschaltet werden kann, ohne die negativen Effekte der ungleichmäßigen Leistungsaufteilung in Kauf nehmen zu müssen. Folglich können mit Hilfe der PSG-Struktur Transistoren mit höherer Ausgangsleistung hergestellt werden. Je größer die Anzahl der in einem Leistungstransistor zusammengeschalteten Einzelzellen ist, um so deutlicher treten die Vorteile des PSG-Manifold-Transistors gegenüber der klassischen Variante in Erscheinung.

Ähnliche Verhältnisse zeigt auch die Abb. 5.38, in der die simulierten Eingangs- und Ausgangsleistungen sowie die Verstärkung eines GaN-Transistors mit PSG-Zuleitungsgeometrie dargestellt sind. Zum direkten Vergleich ist das Diagramm aus Abb. 5.21 hier noch einmal als Abb. 5.39 dargestellt. Die Sättigungsleistungen der Transistoren mit klassischer bzw. mit PSG-Zuleitung sind praktisch identisch. Jedoch sind bei der PSG-Geometrie durch die gleichmäßige Aufteilung der Leistung auf alle Transistorzellen die Verstärkung und P_{-1dB} größer.

In diesem Kapitel wurde eine Möglichkeit aufgezeigt, durch die Umgestaltung der Verteilstruktur von Transistoren zu erreichen, dass alle Transistorzellen über praktisch identische Impedanzen an die Zuleitung angeschlossen werden. Der größte Fortschritt im Vergleich zu den klassischen T-förmigen und Taper-förmigen Geometrien liegt dabei in der Vereinheitlichung der Source- bzw. Emitter-Induktivitäten. Weiterhin konnte die Wirkung derselben als Gegeninduktivität praktisch beseitigt werden, sowohl für koplanare Anordnungen als auch für Mikrostreifenanordnungen. Daraus resultiert eine deutlich gleichmäßigere Verteilung der Welle auf die einzelnen Transistorzellen und eine Reduktion der induktiven Gegenkopplung. Durch Großsignal-Simulationen konnte die positive Wirkung auf die Leistungsverteilung und damit auf die Verstärkung und Linearität veranschaulicht werden.

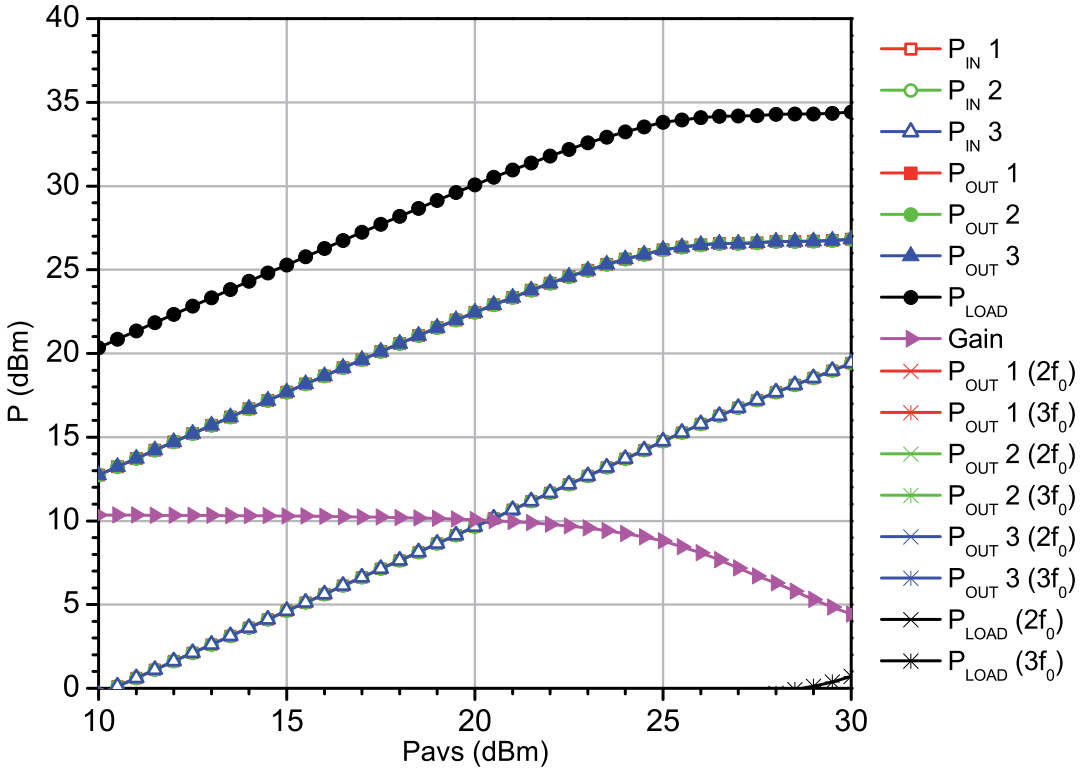


Abb. 5.36 Simulierte Eingangs- und Ausgangsleistungen von drei Transistorzellen in einem Multizellen-HBT mit PSG-Verteilstruktur und einem Ersatzschaltbild gemäß Abb. 5.33: gleichmäßige Leistungsverteilung.

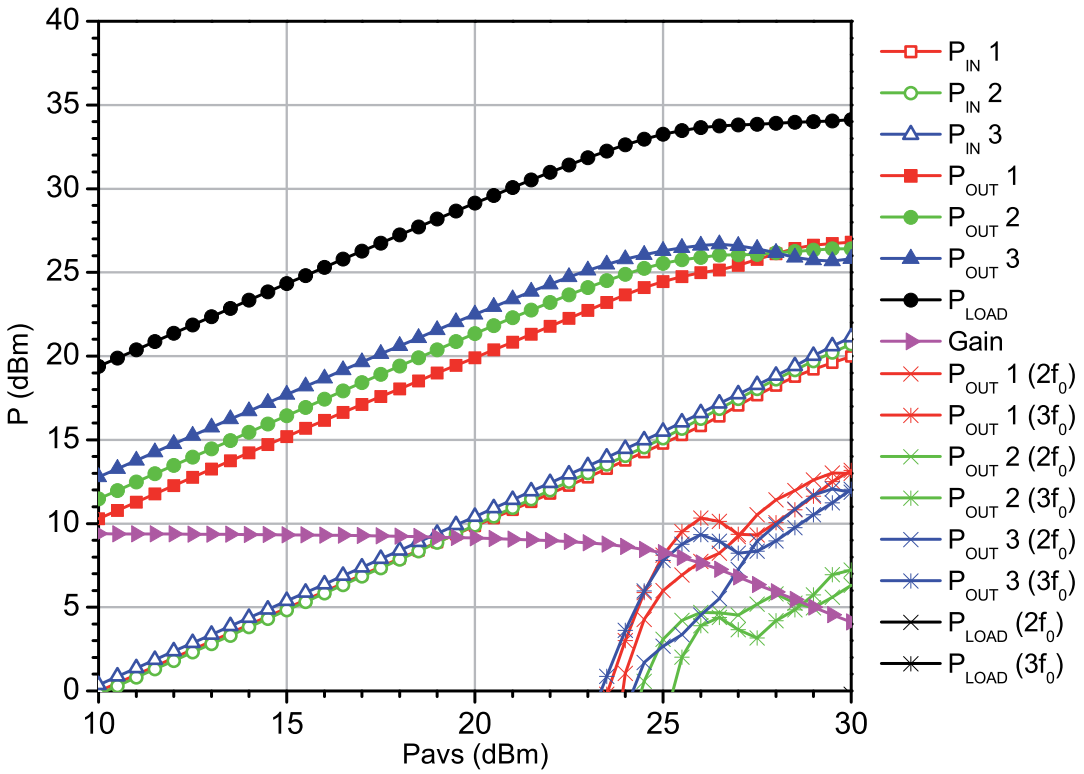


Abb. 5.37 Simulierte Eingangs- und Ausgangsleistungen von drei Transistorzellen in einem Multizellen-HBT mit Taper-förmiger Verteilstruktur und einem Ersatzschaltbild gemäß Abb. 5.17: deutlich ungleichmäßige Leistungsverteilung (Wiederholung von Abb. 5.20).

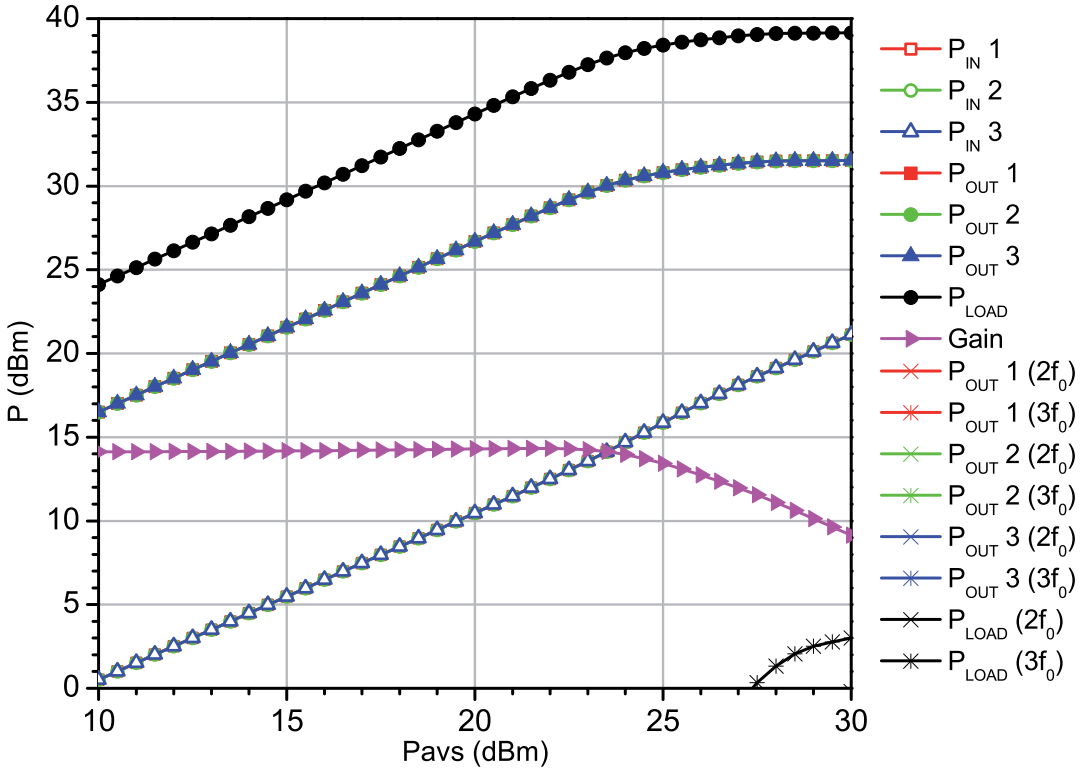


Abb. 5.38 Simulierte Eingangs- und Ausgangsleistungen von drei Transistorzellen in einem Multizellen-HEMT mit PSG-Verteilstruktur und einem Ersatzschaltbild gemäß Abb. 5.33: gleichmäßige Leistungsverteilung.

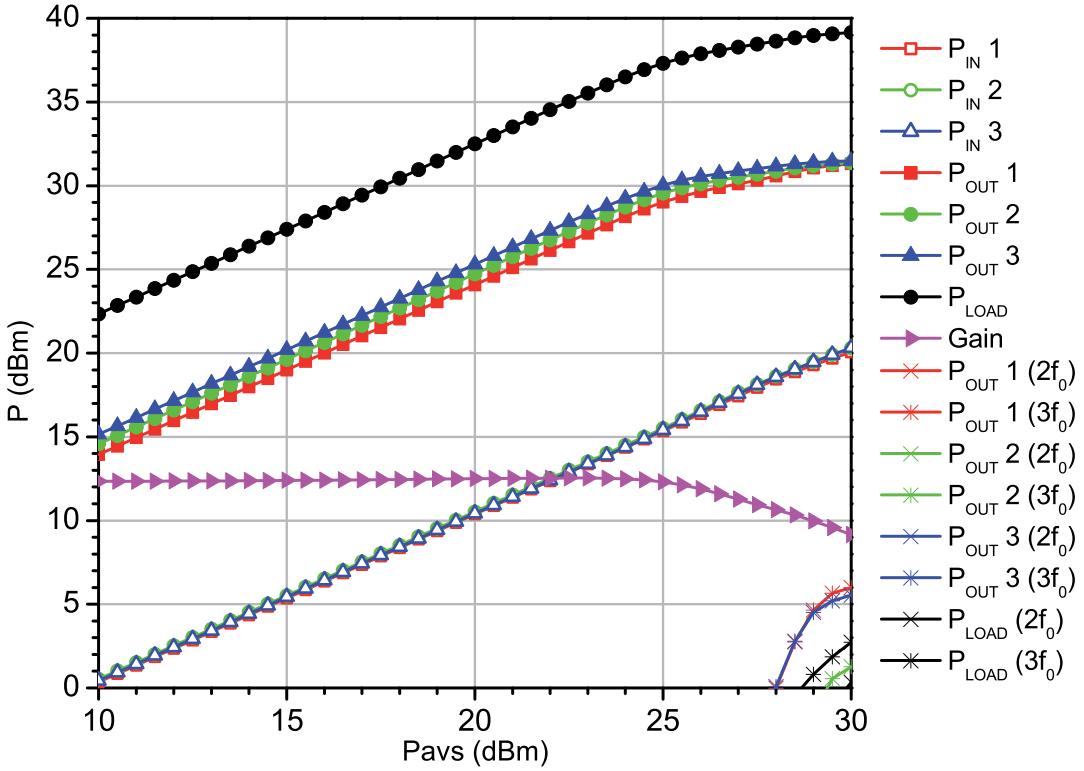


Abb. 5.39 Simulierte Eingangs- und Ausgangsleistungen von drei Transistorzellen in einem Multizellen-HEMT mit Taper-förmiger Verteilstruktur und einem Ersatzschaltbild gemäß Abb. 5.17: ungleichmäßige Leistungsverteilung (Wiederholung von Abb. 5.21).

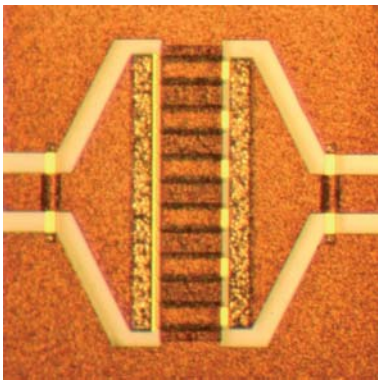


Abb. 5.40 12x125-PA GaN-HEMT, 12 Finger, 125 µm Einzel-Gate-Weite, Taper-förmige Verteilstruktur.

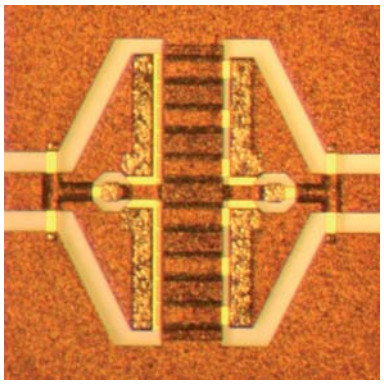


Abb. 5.41 12x125-SPLIT GaN-HEMT, 12 Finger, 125 µm Einzel-Gate-Weite, Taper-förmige Verteilstruktur, zusätzlich mittige Masse-Zuführung.

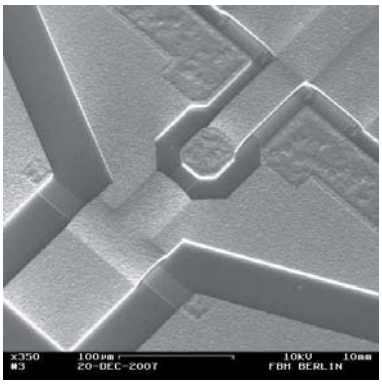


Abb. 5.42 12x125-SPLIT REM-Detailaufnahme der mittigen Masse-Zuführung.

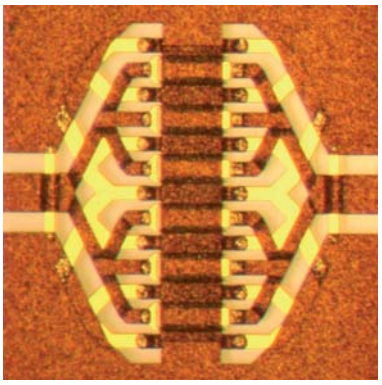


Abb. 5.43 12x125-PSG30 GaN-HEMT, 12 Finger, 125 µm Einzel-Gate-Weite, PSG-Verteilstruktur im 30°-Winkel.

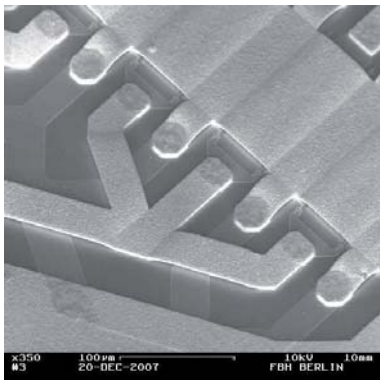


Abb. 5.44 12x125-PSG30 REM-Detailaufnahme der Gate-Seite 350-fach vergrößert.

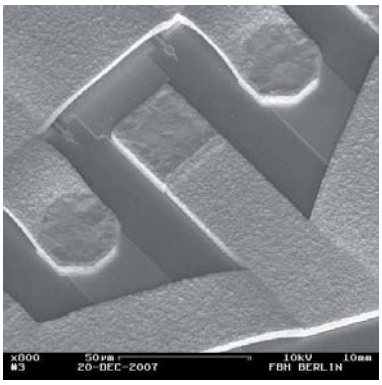


Abb. 5.45 12x125-PSG30 REM-Detailaufnahme der Drain-Seite 800-fach vergrößert.

5.3 Messtechnischer Vergleich verschiedener Verteilstrukturen

Zur Verifikation der in Kap. 5.2.1 bis Kap. 5.2.3 simulationstechnisch gewonnenen Erkenntnisse wurden diverse Transistoren entworfen, hergestellt und messtechnisch untersucht. Hierbei konnte der in den Simulationen vorhergesagte positive Effekt der PSG-Struktur auf das Hochfrequenzverhalten der Transistoren bestätigt werden. Die Details der Untersuchungen an GaN-HEMTs und GaAS-HBTs sind in den nachfolgenden Abschnitten 5.3.1 und 5.3.2 erläutert.

5.3.1 Messergebnisse für GaN-HEMTs. Zunächst eine Erklärung der verschiedenen Varianten der GaN-HEMTs: Abb. 5.40 zeigt das Chip-Foto eines GaN-HEMTs mit klassischem Taper (vgl. Kap. 5.2.2). Der abgebildete

Transistor besitzt 12 Gate-Finger mit je 125 µm Fingerlänge (Gate-Weite) und 50 µm Fingerabstand (Gate-Pitch).

Der erste Transistor, bei dem die Idee umgesetzt wurde, dass die inneren Zellen des Transistors direkter mit der Masse verbunden werden müssen als nur über die Source-Brücke, ist in Abb. 5.41 gezeigt. Mit Hilfe einer Unterführung unter dem Signalleiter, die dann wiederum über eine Luftbrücke an die Source-Brücke angeschlossen ist, besteht hier in der Mitte des Transistors ein zusätzlicher Masse-Anschluss. Abb. 5.42 zeigt eine REM-Aufnahme, auf der die Dreidimensionaltät der Struktur erkennbar ist. Erste Messungen an diesem Transistor bestätigten die Korrektheit der Idee, so dass weitere Verbesserungen entwickelt wurden. Die erste realisierte echte PSG-Struktur wurde bereits in Abb. 5.22 im Kap. 5.2.3 gezeigt und ausführlich erläutert. Bei dieser Variante wurden für die Verzweigung und Verflechtung von Signal- und Masseleitern 45°-Winkel verwendet. Da für Transistoren mit vielen Fingern die Verwendung von 45°-Winkeln dazu führt, dass das gesamte Bauelement sehr lang wird, wurde eine verkürzte Variante unter Verwendung von 30°-Winkeln entworfen (vgl. Abb. 5.43). Sie beansprucht genau so wenig Platz wie der klassische Taper. Die Art und Weise der Verzweigungen wurde gegenüber der 45°-Variante ebenfalls etwas geändert. Einige Details und die Dreidimensionalität der Struktur sind in den Abb. 5.44 und 5.45 zu erkennen.

In Abb. 5.46 ist die Eckfrequenz verschiedener Transistor-Geometrien bei gleicher Gesamt-Gate-Weite aufgetragen. Deutlich zu erkennen ist die Verschiebung der Eckfrequenz als eine der Auswirkungen der Umgestaltung der Transistor-Peripherie. Die maximale Frequenz, bei der Transistoren noch eingesetzt werden können, nimmt in der Regel mit zunehmender Größe ab, wie in Kap. 3.3.2 ausführlich erläutert wurde und in Kap. 5.1 bereits durch die Messung klassischer Transistoren verschiedener Größe an einigen Beispielen deutlich zu sehen war. Wie dort ebenfalls erläutert wurde, ist die Eckfrequenz ein gutes Maß für die Nutzbarkeit der Transistoren in Bezug auf die maximale Frequenz, da oberhalb dieser Eckfequenz die Verstärkung mit ca. 20 dB pro Dekade abnimmt und ein sinnvoller Einsatz als Leistungsverstärker somit nicht mehr möglich ist.

Die niedrigste Eckfrequenz von etwa 7,5 GHz zeigt hier der Transistor mit 16 Fingern, einer Fingerlänge von 100 µm und einem klassischen Taper als Verteilstruktur. Die große laterale Ausdehnung und die damit verbundene hohe Source-Induktivität der inneren Transistorzellen macht sich hier negativ bemerkbar (vgl. Kap. 5.2.2 und Abb. 5.17). Etwas günstiger verhält sich der Transistor mit 12 Fingern und 125 µm Fingerlänge. Bei praktisch gleicher Gesamt-Gate-Weite liegt die Eckfrequenz mit ca. 8,5 GHz um 1 GHz höher.

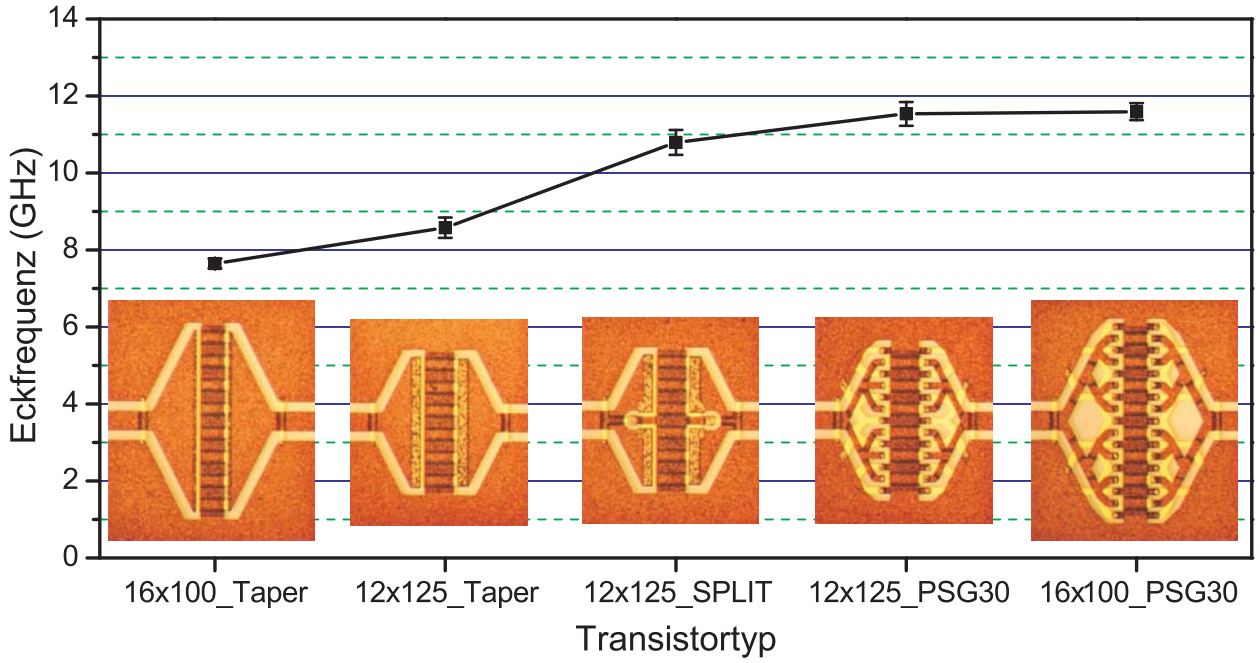


Abb. 5.46 Eckfrequenz des Übergangs MSG/MAG für Varianten der GaN-HEMTs 12x125 und 16x100: a) 16x100 klassischer Taper, b) 12x125 klassischer Taper, c) 12x125 klassischer Taper mit zusätzlichem mittigen Masse-Anschluss, d) 12x125 PSG-Verteilstruktur, e) 16x100 PSG-Verteilstruktur.

Eine verblüffend deutliche Erhöhung der Eckfrequenz um 2,5 GHz auf ca. 11 GHz lässt sich mit der in Abb. 5.41 gezeigten SPLIT-Variante des Transistors erzielen, bei der duch eine einfache Masse-Unterführung ein zusätzlicher Anschluss der Source-Brücke an die Masseflächen realisiert wurde. Dies bestätigt die theoretische Erkenntnis aus den Simulationen in Kap. 5.2.2 und 5.2.3, dass das Hauptproblem der großen Transistoren in der uneinheitlichen Anbindung der einzelnen Zellen an die Masse besteht.

Die verfeinerte Variante PSG30, zeigt eine weitere leichte Erhöhung der Eckfrequenz auf ca. 11,5 GHz. Bei identischem aktiven Bereich des 12-Finger-Transistors konnte also durch Umgestaltung der Peripherie insgesamt eine Erhöhung der Eckfrequenz von 8,5 GHz auf 11,5 GHz erreicht werden. Dies erschließt für diesen Transistor diverse zusätzliche Anwendungsbereiche, von denen speziell um 10 GHz herum viele existieren. Mit der PSG30-Peripherie hat auch der Transistor mit 16 Fingern praktisch die gleiche Eckfrequenz wie der 12-Finger-PSG-Transistor. Die negativen Auswirkungen der großen lateralen Ausdehnung, die beim Transistor mit klassischem Taper zu sehen waren, konnten eindrucksvoll eliminiert werden. Die Eckfrequenz konnte also beim 16-Finger-Transistor von ca. 7,5 GHz um mehr als 50% auf 11,5 GHz gesteigert werden.

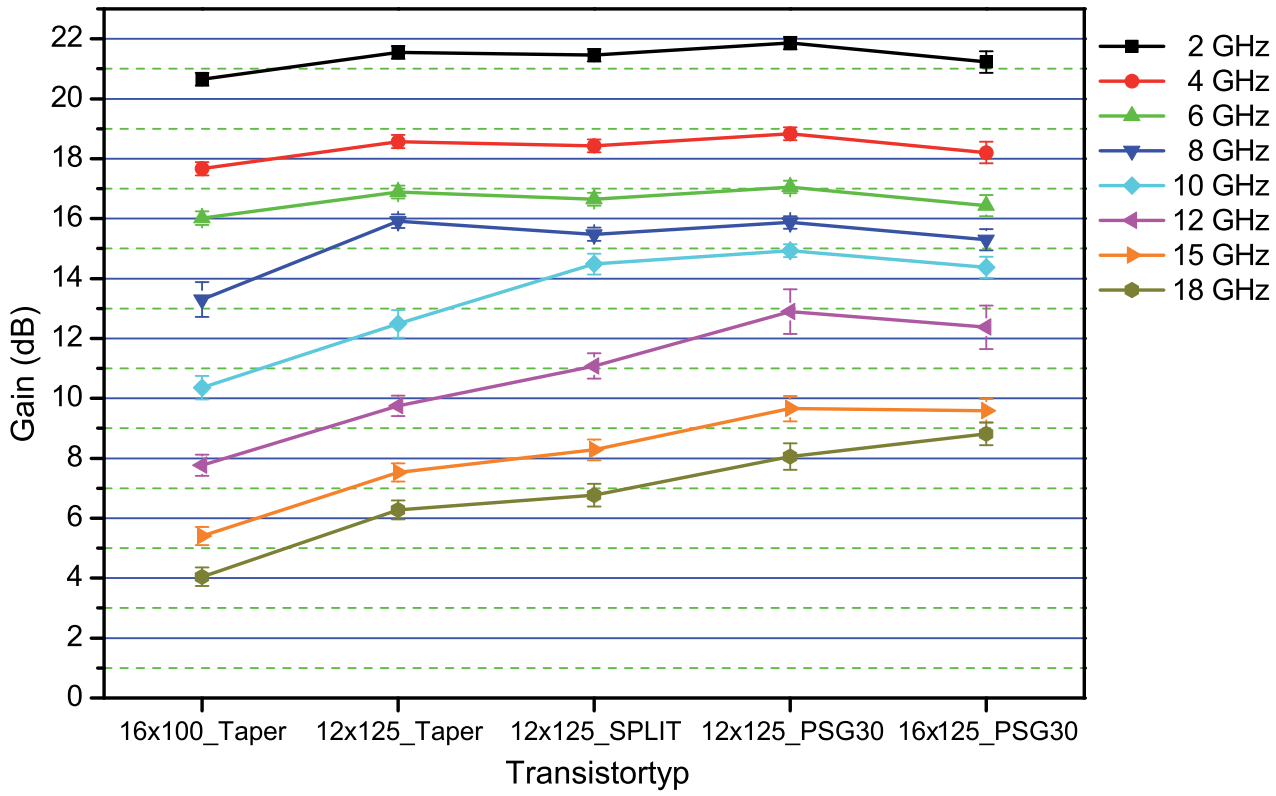


Abb. 5.47 MSG bzw. MAG bei verschiedenen Frequenzen für die fünf Varianten der GaN-HEMTs 12x125 und 16x100 aus Abb. 5.46.

Zu einem ähnlichen Ergebnis gelangt man bei Betrachtung von Abb. 5.47. Hier sind die maximal erreichbaren Verstärkungen bei verschiedenen Frequenzen für die gleichen Transistoren wie in Abb. 5.46 aufgetragen. Abgesehen von einer um ca. 0,5 dB geringeren Verstärkung der 16-Finger-Transistoren gegenüber den 12-Finger-Transistoren unterscheiden sich die verschiedenen Varianten unterhalb der Eckfrequenz erwartungsgemäß praktisch nicht. Oberhalb der Eckfrequenz nimmt die Verstärkung deutlich stärker ab, so dass der 16-Finger-PA-Transistor ganz links schon bei 8 GHz eine um ca. 2,5 dB geringere Verstärkung aufweist als die restlichen Varianten. Einen ähnlichen Abfall gegenüber den restlichen Transistoren zeigen dann für 10 GHz der 12-Finger- PA-Transistor und für 12 GHz der 12-Finger-SPLIT-Transistor.

Die beiden PSG30-Transistoren mit 12 bzw. 16 Fingern verhalten sich sehr ähnlich. Für die niedrigen Frequenzen hat der 16x100 Transistor eine etwas geringere Verstärkung. Bei 18 GHz ist sie geringfügig höher, was vermutlich damit zusammenhängt, dass sich hier die geringere Fingerlänge vorteilhaft auswirkt. Allerdings ist die Berechnung von MAG durch den Einfluss von S_{11} und S_{12} relativ stark verrauscht, so dass diesen geringen Unterschieden nicht zu viel Gewicht beigemessen werden sollte.

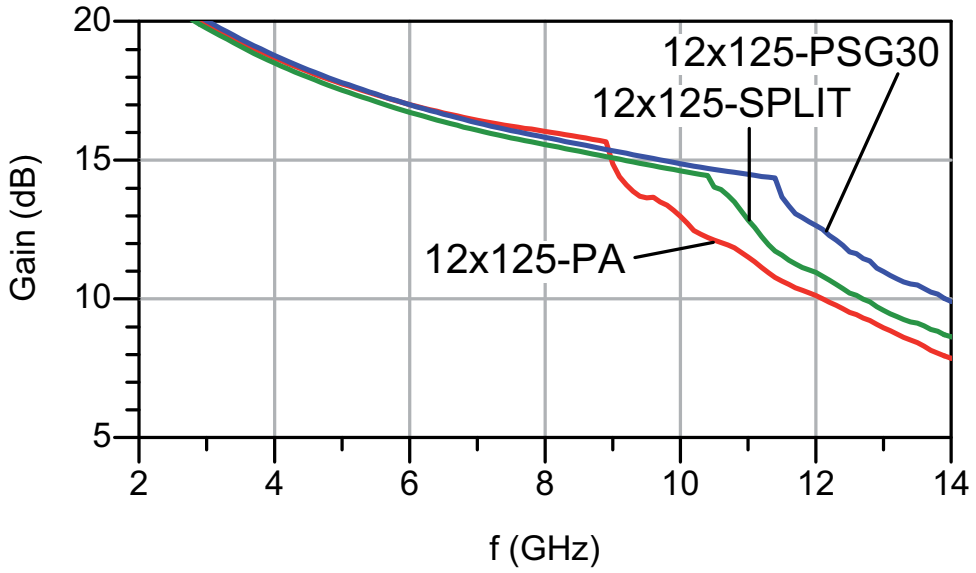


Abb. 5.48 MSG/MAG über der Frequenz, 12x125 GaN-HEMT, Zunahme der Eckfrequenz, MAG und f_{max} von PA über SPLIT zu PSG.

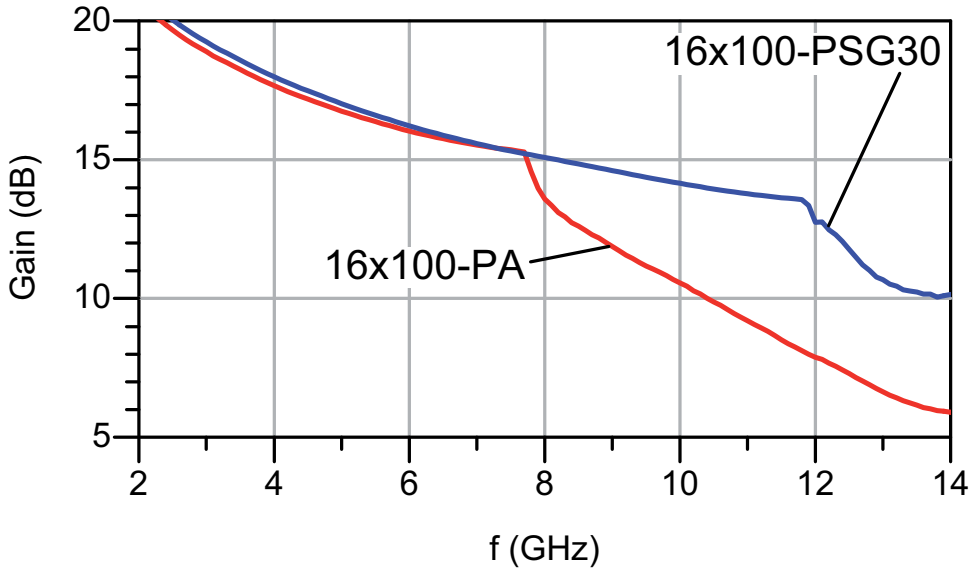


Abb. 5.49 MSG/MAG über der Frequenz, 16x100 GaN-HEMT, Zunahme der Eckfrequenz, MAG und f_{max} von PA zu PSG.

Zur Veranschaulichung sind in den Abbildungen 5.48 und 5.49 die Verläufe von MSG/MAG über der Frequenz für die besprochenen Transistoren dargestellt. Zu erkennen ist, wie sich durch die Verbesserung der Peripherie die Eckfrequenz zu höheren Werten verschiebt und damit MAG für Transistoren mit höherer Eckfrequenz ebenfalls größer ist. Die Unterschiede treten für die beiden Varianten des 16-Finger-Transistors besonders deutlich hervor. In Abb. 5.50 sind exemplarisch Leistungsmessungen dargestellt, die an diesen beiden Varianten durchgeführt wurden.

Ein entscheidender Unterschied zwischen den Transistoren besteht wie erwartet in der größeren Verstärkung des Transistors mit PSG-Peripherie. Die

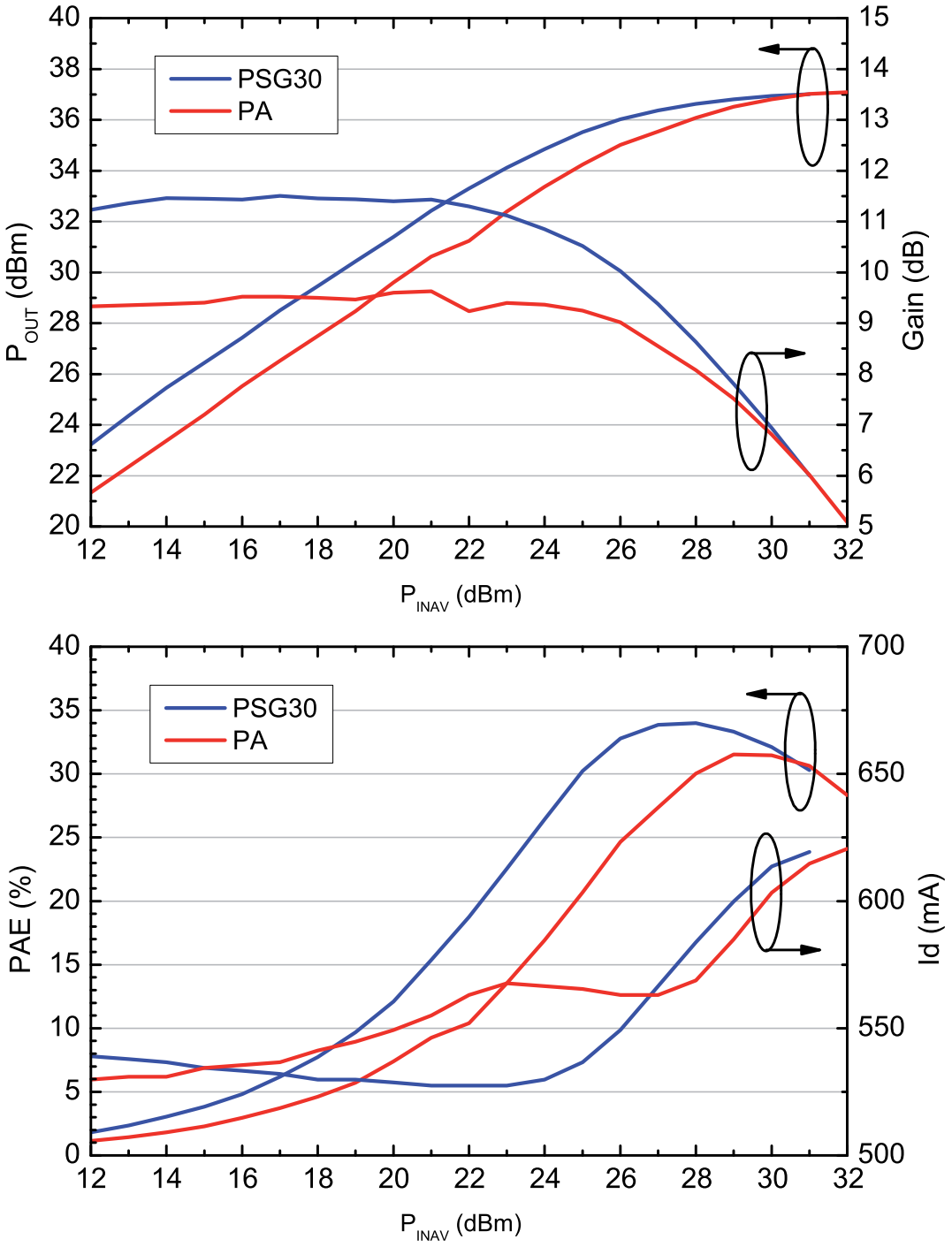


Abb. 5.50 Leistungsmessung der Transistoren 16x100-PA und 16x100-PSG30, höhere Verstärkung und Effizienz der PSG-Version.

in der Kleinsignal-Messung vorhergesagten Verstärkungen von 10 bzw. 14 dB wurden jedoch nicht ganz erreicht, da die zur Eingangsanpassung notwendige Quellimpedanz mit dem zur Verfügung stehenden Tuner nicht realisiert werden konnte. Wie schon durch die Simulation in Kap. 5.2.3 vorhergesagt wurde, ist die Sättigungsleistung der beiden Transistoren etwa identisch.

Neben der größeren Verstärkung ist aber besonders die höhere Effizienz des Transistors mit PSG-Peripherie ein entscheidender Vorteil gegenüber

dem klassischen Taper. Über einen großen Teil des linearen Bereichs hinweg liegt die PAE etwa 10 Prozentpunkte höher. Erst im Bereich der vollständigen Sättigung nähern sich die Werte einander an. Durch die Kombinantion der höheren Verstärkung und der höheren Effizienz kann die Gesamteffizienz eines Systems deutlich mehr gesteigert werden, als die hier zu erkennende Effizienz-Verbesserung zwischen den zwei Transistor-Varianten. Durch die höhere Verstärkung ist die benötigte Ausgangsleistung der Treiberstufe geringer, wodurch diese kleiner gewählt werden kann, weniger DC-Leistung aufnimmt und ebenfalls effizienter ist. Somit reduziert sich der Gesamtbedarf an Leistung für die Endstufe und Treiberstufe(n) stärker als nur durch die Effizienzsteigerung der Endstufe. Dies wiederum reduziert den Aufwand und den zusätzlichen Leistungsbedarf zur Kühlung des Systems, wodurch dessen Effizienz noch einmal gesteigert wird.

Besonders interessant ist der Verlauf des Drain-Stromes über der Eingangsleistung. Beim Transistor mit PSG-Peripherie sinkt dieser zunächst geringfügig und steigt dann erwartungsgemäß im Bereich der beginnenden Sättigung an. Der Transistor mit der klassischen Peripherie zeigt im Gegensatz dazu einen Anstieg des Stromes in zwei Stufen. Schon deutlich bevor die eigentliche Sättigung beginnt, steigt der Drain-Strom an und verringert damit auch die Effizienz. Der Strom bleibt dann zunächst auf einem erhöhten Niveau konstant, bis er im Bereich der beginnenden Sättigung weiter ansteigt und etwa den gleichen Maximalwert erreicht wie der Drain-Strom des PSG-Transistors. Der vorzeitige Anstieg des Drain-Stromes ist vermutlich mit der unterschiedlichen Aussteuerung der Transistorzellen bei der klassischen Peripherie zu erklären. Dies führt zu einer vorzeitigen Sättigung der am stärksten ausgesteuerten Zellen und damit zu dem beobachteten Anstieg des Drain-Stromes. Es ist zu vermuten, dass der vorzeitige Anstieg des Drain-Stromes auf die Gefahr hinweist, dass die Transistoren mit der klassischen Peripherie auch einer schnelleren Alterung unterliegen oder schneller zerstört werden als die Transistoren mit PSG-Peripherie.

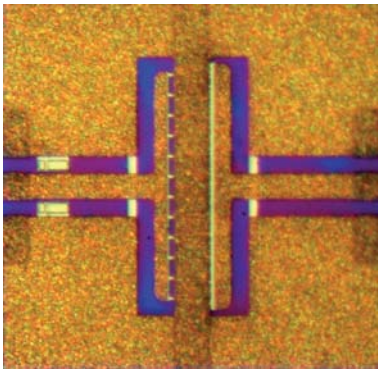


Abb. 5.51 12x2x075-TJ GaAs-HBT, 12 Finger, 2x75 µm Einzel-Emitter-Fläche, T-förmige Verteilstruktur.

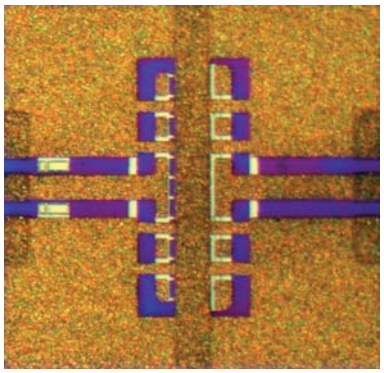


Abb. 5.52 12x2x075-TJ T-förmige Verteilstruktur mit zusätzlichen Masse-Brücken.

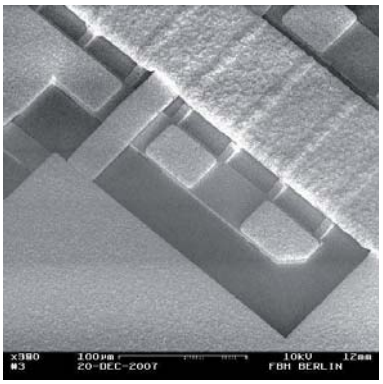


Abb. 5.53 12x2x075-TJ REM-Detailaufnahme mit zusätzlichen inneren Masse-Brücken, keine äußeren Masse-Brücken.

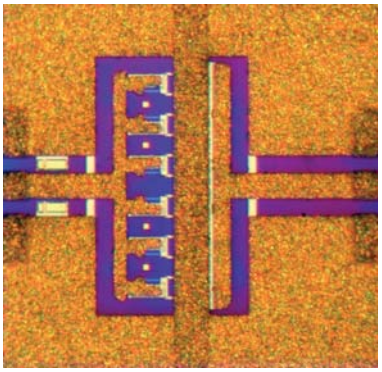


Abb. 5.54 12x2x075-TJ-RC mit R/C-Basis-Gegenkopplung vor je zwei Transistorzellen.

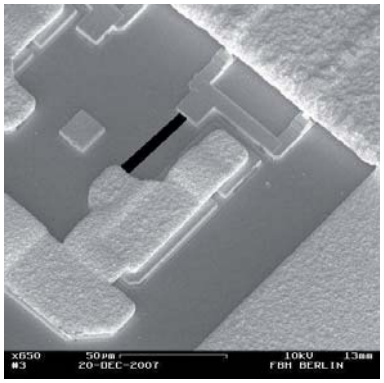


Abb. 5.55 REM-Detailaufnahme der R/C-Gegenkopplung, im Vordergrund die Serienkapazität, im Hintergrund (schwarz markiert) der Widerstand.

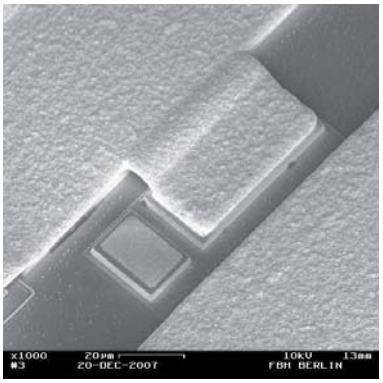


Abb. 5.56 REM-Detailaufnahme der variablen Kapazität zur Voranpassung, große Kapazität angeschlossen, kleine Kapazität im Vordergrund nicht angeschlossen.

5.3.2 Messergebnisse für GaAs-HBTs. Ähnlich wie bei den in Kap. 5.3.1 beschriebenen GaN-HEMTs wurden GaAs-HBTs mit verschiedenen Zuleitungsstrukturen hergestellt und messtechnisch verglichen. Unter Anderem wurden Varianten mit der ursprünglichen T-förmigen Verteilstruktur hergestellt, um die Unterschiede zu den neu entwickelten Verteilstrukturen messtechnisch zu verifizieren. Abb. 5.51 zeigt einen TJ-Transistor (TJ: T-Junction) mit T-förmiger Anschlussstruktur und 12 Fingern. Der Abstand zwischen den Fingern beträgt 50 µm. Abb. 5.52 zeigt den gleichen Transistor, der jedoch so modifiziert wurde, dass die quer zur Signalausbreitungsrichtung verlaufende Masse-Brücke über weitere Gold-Brücken, die parallel zur Signalausbreitungsrichtung liegen, an die Masseflächen angeschlossen wird. Mit Hilfe dieser Struktur sollte untersucht werden, inwieweit schon mit einer

so einfachen Modifikation der T-Struktur ähnliche Verbesserungen zu erreichen sind wie mit der deutlich komplexeren PSG-Struktur. Um festzustellen, an welcher Position die zusätzlichen Brücken die stärkste Auswirkung haben, wurden Varianten mit allen abgebildeten Brücken hergestellt, aber auch solche Varianten mit nur den inneren Brücken nahe an der CPW-Leitung oder nur den äußeren Brücken in größerem Abstand von der CPW-Leitung. Eine REM-Detailaufnahme, bei der nur die inneren Brücken ausgeführt sind, ist in Abb. 5.53 zu sehen. In Kap. 3.3.1 wurde ausführlich erläutert, dass eine eingangsseitige R/C-Parallelschaltung vor jeweils kleinen Bereichen des Transistors – wie in Abb. 3.13 als Ersatzschaltbild dargestellt – sowohl thermisch als auch elektrisch positive Auswirkungen hat. Sie wirkt thermischer Instabilität entgegen und reduziert die unerwünscht hohe Verstärkung bei niedrigen Frequenzen, so dass die dort vorhandene Gefahr von Oszillation beseitigt wird. Abb. 5.54 zeigt einen TJ-RC-Transistor mit klassischer T-förmiger Anschlussstruktur, ergänzt um eine solche R/C-Parallelschaltung am Eingang jeweils eines Zellenpaares. Eine REM-Detailaufnahme der R/C-Parallelschaltung ist in Abb. 5.55 zu sehen. Da der Widerstand unter der SiN Passivierung liegt und in der REM-Aufnahme nicht erkennbar ist, wird er hier durch einen schwarzen Strich angedeutet. Es ist zu erkennen, dass die Kapazität aus zwei einzelnen Kapazitäten besteht, die eine gemeinsame untere Elektrode besitzen und deren zwei obere Elektroden mit Hilfe einer Galvanik-Brücke parallel geschaltet sind. Durch Weglassen der Galvanik-Brücke kann der Kapazitätswert reduziert und die Auswirkung verschieden großer Kapazitäten untersucht werden.

Alle hier gezeigten Transistoren sind zusätzlich mit der Möglichkeit einer Voranpassung ausgestattet. Sie besteht aus einem kurzen Leitungsstück und einer Kapazität nach Masse. Diese Kapazität besteht ähnlich wie bei der R/C-Parallelschaltung aus zwei verschieden großen Kapazitäten, deren obere Elektroden mit Hilfe von Luftbrücken wahlweise gleichzeitig, einzeln oder gar nicht an den Signalleiter angeschlossen werden können, während die gemeinsame untere Elektrode mit der Massefläche verbunden ist. Eine REM-Detailaufnahme, bei der eine der beiden Kapazität angeschlossen ist, ist in Abb. 5.56 gezeigt.

Abb. 5.57 zeigt einen HBT mit Delta-förmiger Taper-Struktur vergleichbar mit dem HEMT in Abb. 5.40. Ähnlich wie beim Transistor mit T-förmiger Verteilstruktur wurde eine weitere Variante dieses Transistors mit zusätzlichen Luftbrücken, die parallel zur Signalausbreitungsrichtung verlaufen, zum Anschluss der Source-Brücke realisiert (vgl. Abb. 5.58).

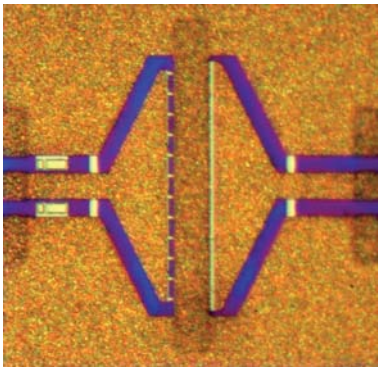


Abb. 5.57 12x2x075-PA GaAs-HBT, 12 Finger, 2x75 µm Einzel-Emitter-Fläche, 50 µm Zellenabstand Delta-förmige Verteilstruktur.

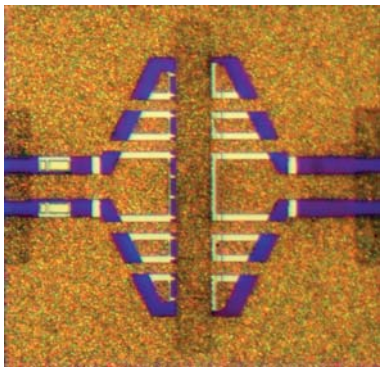


Abb. 5.58 12x2x075-PA GaAs-HBT, 12 Finger, Delta-förmige Verteilstruktur mit zusätzlichen Masse-Brücken.

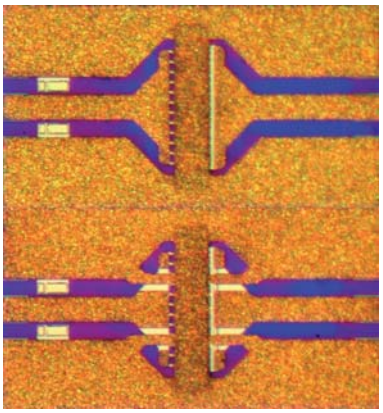


Abb. 5.59 12x2x075-SK Zellenabstand 25 µm, Delta-förmige Verteilstruktur ohne und mit zusätzlichen Masse-Brücken.

Bisher wurden üblicherweise Transistoren mit einem geringeren Fingerabstand verwendet. Durch die geringeren lateralen Abmessungen sind die negativen hochfrequenztechnischen Effekte geringer als bei einem Transistor gleicher Fingeranzahl mit größerem Fingerabstand. Auch die thermische Kopplung zwischen den Fingern ist besser und somit die Gefahr der thermischen Instabilität geringer. Dies wird jedoch mit dem deutlichen Nachteil erkauft, dass die thermische Belastbarkeit des Transistors insgesamt geringer ist, da durch die geringere Fläche der thermische Widerstand höher ist. Auch diese Transistoren wurden in den Vergleich mit einbezogen. Abb. 5.59 zeigt einen solchen SK-Transistor mit Delta-förmiger Taper-Struktur und einem Fingerabstand von 25 µm in zwei Varianten, einmal mit und einmal ohne zusätzliche Masse-Brücken.

Abb. 5.60 zeigt einen als PSG45-Transistor ausgeführten HBT, äquivalent zu dem in Abb. 5.22 gezeigten GaN-HEMT. Für die Verteilstruktur wurde hier ein Winkel von 45° verwendet. In Abb. 5.61 (Basisseite) und Abb. 5.62 (Kollektorseite) sind entsprechende REM-Detailaufnahmen von der Basisseite und der Kollektorseite dargestellt. Hier ist zu erkennen, wie die Masse-Zuführung teilweise in der unteren Metallisierungsebene (aus aufgedampftem Gold) ausgeführt ist und unter den Brücken des Signalleiters (aus Galvanik-Gold) hindurchgeführt wird. Der Anschluss dieser unteren Metallisierungsebene an die Source-Brücke erfolgt dann wiederum über Galvanik-Brücken. Abb. 5.63 zeigt einen HBT mit 30°-PSG-Struktur, der zum GaN-HEMT in Abb. 5.43 äquivalent ist. Der direkte Vergleich soll zeigen, ob auch mit dem geringeren Platzbedarf der 30°-Variante der gleiche positive Effekt erzielt werden kann wie mit der größeren 45°-Variante. Die REM-Bilder in

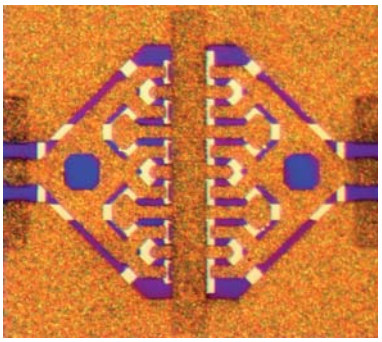


Abb. 5.60 12x2x075-PSG45 GaAs-HBT, 12 Finger, PSG-Verteilstruktur im 45°-Winkel.

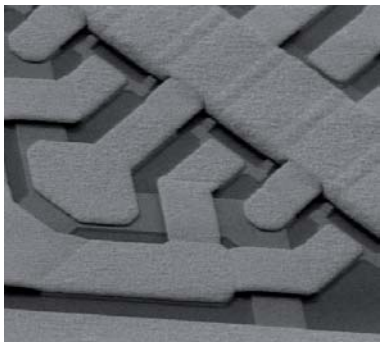


Abb. 5.61 REM-Detailaufnahme der PSG-Verteilstruktur im 45°-Winkel, Basis-Seite.

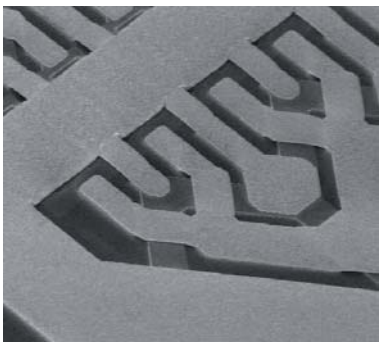


Abb. 5.62 REM-Detailaufnahme der PSG-Verteilstruktur im 45°-Winkel, Kollektor-Seite.

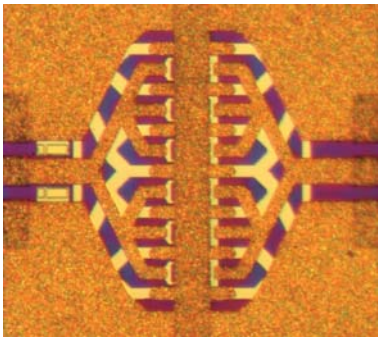


Abb. 5.63 12x2x075-PSG30 GaAs-HBT, 12 Finger, PSG-Verteilstruktur im 30°-Winkel.

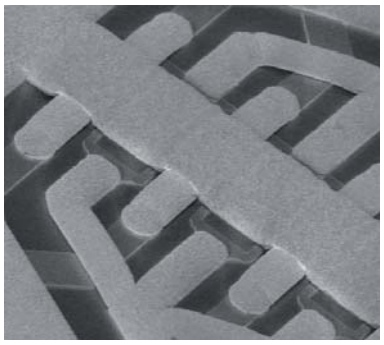


Abb. 5.64 REM-Detailaufnahme der PSG-Verteilstruktur im 30°-Winkel, Basis-Seite.

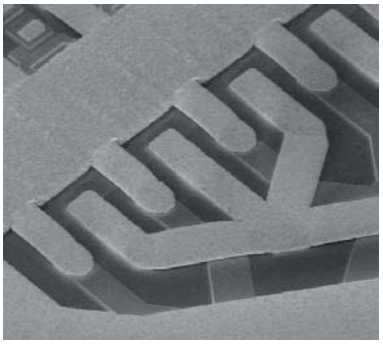


Abb. 5.65 REM-Detailaufnahme der PSG-Verteilstruktur im 30°-Winkel, Kollektor-Seite.

Abb. 5.64 und Abb. 5.65 zeigen entsprechende Details der Basis- bzw. Kollektorseite.

Die bei den GaN-HEMTs gefundenen Unterschiede in den Eigenschaften von Transistoren, die sich durch ihre Peripherie unterscheiden, treten in ähnlicher Weise bei den untersuchten GaAs-HBTs auf. Abb. 5.66 zeigt den Vergleich der Eckfrequenz diverser GaAs-HBTs mit jeweils 12 Emitter-Fingern und einer Fingerlänge von 75 µm. Der Abstand der Emitter-Finger beträgt bei allen Varianten 50 µm, außer bei der Variante SK, bei der der Abstand 25 µm beträgt.

Die niedrigsten Eckfrequenzen zwischen 6 und 7 GHz zeigen die Transistoren mit T-förmiger oder Delta-förmiger Anschlussstruktur ohne Brücken (Spalte 1, 4 und 8). Der Unterschied zwischen der T-förmigen und der Delta-förmigen Struktur ist mit ca. 0,5 dB sehr gering. Dies ist in guter Übereinstimmung mit den Simulationsergebnissen, da das Problem der ungünstigen Masse-Zuführung bei beiden Varianten vorliegt. Die nächsthöheren Eckfrequenzen zwischen 7 und 8 GHz hat der SK-Transistor, wobei die Eckfrequenz

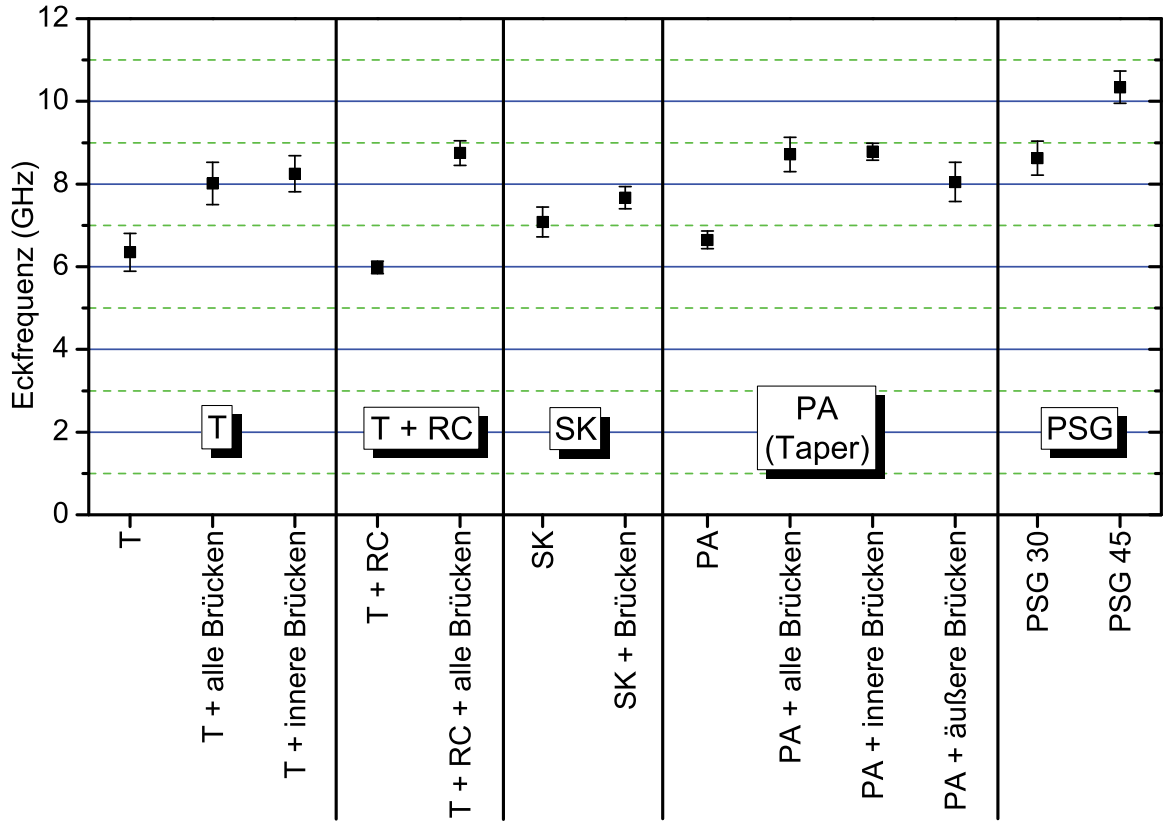


Abb. 5.66 Eckfrequenz des Übergangs MSG/MAG für diverse gemessene Varianten des 12x2x075 GaAs-Transistors.

für die Variante mit Masse-Brücken etwa 0,5 GHz höher liegt als für die Variante ohne diese Brücken. Der Grund für die etwas höhere Eckfrequenz der SK-Variante im Vergleich zu den T- und Delta-Varianten liegt in der geringeren lateralen Ausdehnung, die einen geringeren Unterschied der Masse-Zuführung zu den einzelnen Zellen bewirkt als bei den Transistoren mit größerem Fingerabstand. Daher wird beim SK-Transistor durch die zusätzlichen Brücken nur eine geringe Verbesserung erreicht.

Eckfrequenzen im Bereich zwischen 8 und 9 GHz finden sich sowohl für die Variante PSG30 (Spalte 12) als auch für die T- und Delta-förmigen Strukturen mit zusätzlichen Masse-Brücken (Spalten 2, 3, 5, 9, 10, 11). Der wesentliche Effekt, die Erhöhung der Eckfrequenz um ca. 3 GHz, lässt sich also bei Transistoren mit 12 Fingern schon durch die einfache Maßnahme zusätzlicher Masse-Brücken erreichen. Dabei fällt auf, dass die Ausführung mit nur inneren Masse-Brücken praktisch die gleichen Werte liefert wie die Ausführungen mit allen Brücken. Entscheidend für die bessere Leistungsfähigkeit der Transistoren ist also der verbesserte Masse-Anschluss der inneren Transistorzellen. Der Vergleich der drei Varianten mit allen Brücken (Spalten 2, 5, 9) zeigt, dass die Werte für die T-förmige Ausführung mit R/C-Bias und für die Delta-förmige Ausführung dabei kanapp 1 GHz höher liegen als für

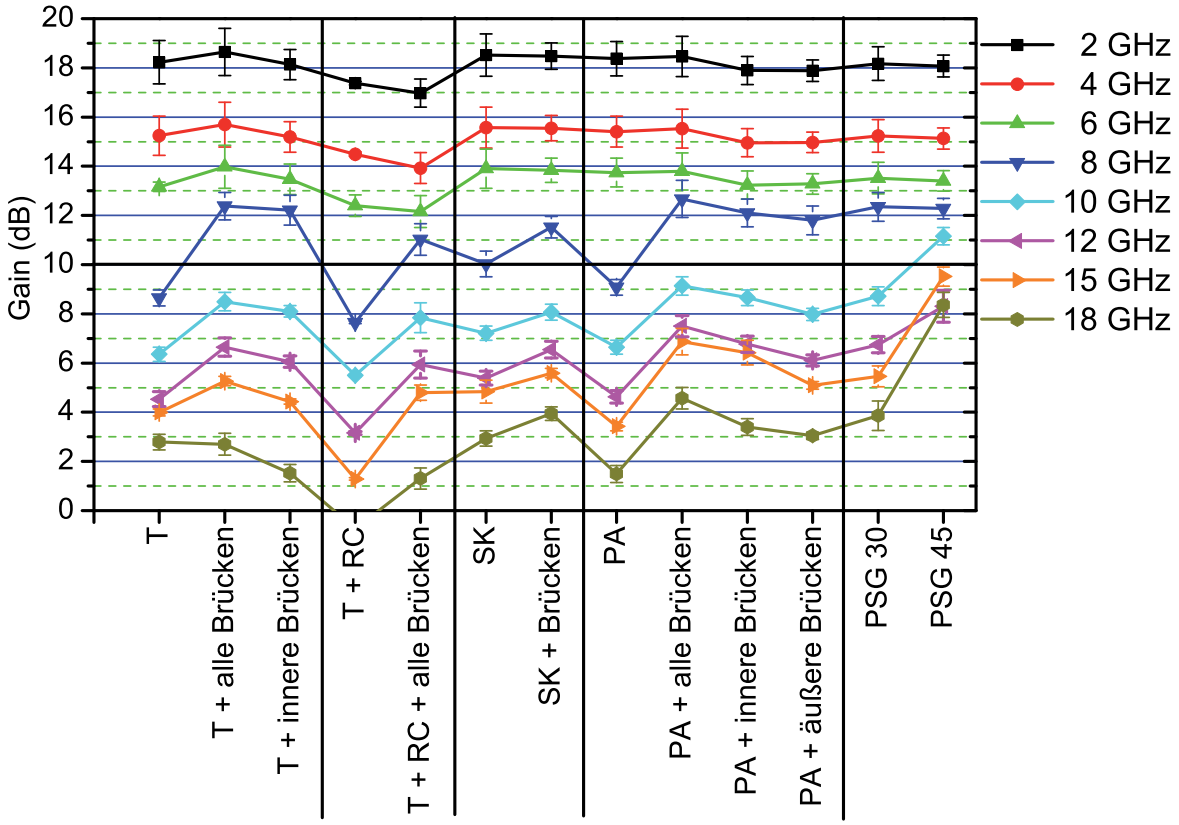


Abb. 5.67 MSG bzw. MAG für diverse gemessene Varianten des 12x2x075 GaAs-Transistors bei verschiedenen Frequenzen.

die rein T-förmige Struktur. Dieser Effekt lässt sich durch die größere Längsausdehnung der ersten beiden Varianten gegenüber der letzteren erklären, die sich positiv auf die Gleichmäßigkeit der Leistungsverteilung auswirkt. Wie schon aus den Überlegungen in Kap. 5.2.3 hervorging, lässt sich aber durch die günstige Gestaltung der Zuführungsstruktur und eine größere Länge ein noch besseres Ergebnis erzielen. Die Struktur PSG45 zeigt mit über 10 GHz die höchste Eckfrequenz der hier verglichenen Transistoren. Bei identischem inneren Transistor lässt sich also bei den gezeigten Varianten die Eckfrequenz durch Umgestaltung der Peripherie von ca. 6 GHz beim T- und D-Transistor um 4 GHz auf über 10 GHz verbessern.

In Abb. 5.67 sind für die gleichen Varianten des 12x2x075 Transistors wie in Abb. 5.66 die Werte für die maximal nutzbare Verstärkung aufgetragen. Unterhalb der Eckfrequenz handelt es sich um MSG (Maximum Stable Gain), oberhalb der Eckfrequenz um MAG (Maximum Available Gain). Für niedrige Frequenzen bis etwa 6 GHz zeigen sich nur geringfügige Unterschiede zwischen den verschiedenen Varianten. Lediglich die Variante mit der R/C-Parallelschaltung vor den Basis-Anschlüssen zeigt etwas geringere Verstärkung, bedingt durch die Verluste im Widerstand, die trotz der parallel geschalteten Kapazität auch im GHz-Bereich auftreten. In dieser Darstellung

lässt sich auch erkennen, dass die Varianten der T-förmigen und Delta-förmigen Varianten mit allen Masse-Brücken (Spalte 2 bzw. 9) trotz gleicher Eckfrequenz den Varianten mit nur inneren Masse-Brücken (Spalte 3 bzw. 10) in der Verstärkung leicht überlegen sind.

Die Transistoren, die auch schon in Abb. 5.66 die niedrigsten Werte für die Eckfrequenz hatten (Spalte 1, 4 und 8), zeigen für MAG bei 8 GHz einen deutlichen Abfall gegenüber den anderen Transistoren. MAG beträgt hier etwa nur noch 8 dB, während der Wert für die anderen Transistoren bei ca. 12 dB liegt, was für die Verwendung in einem Leistungsverstärker noch ausreichend ist. Bei 10 GHz liegt die Verstärkung praktisch aller Transistoren unter 10 dB, was eine sinnvolle Verwendung in einem 10 GHz Verstärker ausschließt. Die einzige Ausnahme stellt der Transistor der Variante PSG45 dar, der auch bei 10 GHz noch etwa 11 dB Verstärkung zeigt.

5.4 Auswirkung der Verteilstruktur auf die Anpassung

In den vorangegangenen Kapiteln wurde ausgeführt, dass die Umgestaltung der Zuleitungs- und Verteilstrukturen mit zusätzlichen Masseverbindungen zu den inneren Zellen des Multizellen-Transistors diverse Verbesserungen der Hochfrequenz-Transistoreigenschaften bewirkt. In diesem Kapitel wird kurz darauf eingegangen, wie sich durch die Veränderung der Verteilstrukturen die Anpassungsverhältnisse ändern.

Durch die zusätzlichen Masseverbindungen von den Masseflächen zu den inneren Zellen entstehen Kreuzungen mit den Signalleitern und damit kapazitive Kopplungen zwischen Signal- und Masseleitern. Diese bewirken, dass die Zuführungen sich wie Leitungen niedriger Impedanz verhalten. Diese Tatsache ist durchaus vorteilhaft, da die parallelgeschalteten Transistorzellen ebenfalls eine niedrige Impedanz aufweisen und sich niederohmige Leitungen gut eignen, um eine Voranpassung zu erzielen.

Bei den GaAs-HBTs tritt beispielsweise bei der klassischen Zuführungsstruktur das Problem auf, dass für eine mehrstufige, breitbandige Anpassung eine Kapazität unmittelbar vor dem Transistor angeordnet werden muss. Hierbei ist dann die Länge der Kapazität ähnlich groß wie die Entfernung vom aktiven Bereich des Transistors. Daraus resultiert eine sehr hohe Empfindlichkeit gegenüber der Positionierung der Kapazität, was hohen Aufwand und große Exaktheit beim Schaltungsdesign erfordert und zusätzlich eine Unsicherheit bei möglichen Prozessschwankungen erzeugt. Ein entsprechendes Beispiel wird in Kap. 6.1.1 eingehend diskutiert. Eine sinnvolle Erhöhung des Abstandes konnte mit einer klassischen CPW-Leitung nicht erzielt werden, da der Wertebereich der realisierbaren Impedanzen gering ist. Durch die

Verwendung einer PSG-Verteilstruktur, die als Leitung niedriger Impedanz wirkt, erhöht sich der zur Anpassung notwendige Abstand zwischen Transistor und Kapazität um den Faktor 2 bis 4. Das entspricht für die hier gezeigten Transistoren einer Erhöhung des absoluten Abstandes von ca. 100 µm auf ca. 200 bis 400 µm. Dem Nachteil des etwas höheren Platzbedarfs steht dabei der enorme Vorteil einer deutlich größeren Robustheit in Bezug auf Prozessschwankungen und Design-Unsicherheiten gegenüber.

5.5 Der optimale X-Band Leistungstransistor

Aus den Untersuchungen ergibt sich, dass sich durch verbesserte Zuführungsstrukturen besonders in den Bereichen der Verstärkung, der Effizienz und der Linearität Verbesserungen erzielen lassen. In Bezug auf Betriebsspannung, Verstärkung, Eckfrequenz und absolute Leistung haben dabei die untersuchten GaN-HEMTs erwartungsgemäß bessere Eigenschaften als die GaAs-HBTs.

Der Vergleich zwischen GaN-HEMTs mit etwa gleicher Gesamt-Gate-Weite hat gezeigt, dass die Verwendung einer kleineren Einzel-Gate-Weite als 125 µm sich in diesem Frequenzbereich nicht positiv auswirkt. Weiterhin haben die Messungen der GaN-Transistoren gezeigt, dass der Gate-Pitch auf ca. 30 bis 35µm verringert werden kann, ohne dass gravierende thermische Nachteile entstehen. Die verbesserte Stuktur der Peripherie und kleinere Abmessungen sollten für den optimalen Transistor kombiniert werden. Um bei der Parallelschaltung von mehreren Transistoren eine mögliche Gegentakt-Oszillation (Odd-Mode-Oscillation) sicher unterdrücken zu können, müssen die Gates dieser Transistoren auf kurzem Wege (über einen Widerstand) parallel geschaltet werden (vgl. Kap. 6). Um dies auch bei der PSG-Verteilstruktur zu gewährleisten, sollten die Gates der Einzelzellen des Transistors direkt miteinander verbunden werden.

Weiterhin hat sich gezeigt, dass eine größere longitudinale Ausdehung der Verteilstruktur für die gleichmäßigen Verteilung der Welle auf die einzelnen Zellen hilfreich ist. Insofern sollte eine Verteilstruktur mit ca. 45° gewählt werden, da sie gegenüber den Strukturen mit 30° noch signifikante Verbesserungen zeigt. Da auch die Zuführung des DC-Stromes aufgrund der endlichen Stromtragfähigkeit des Leiters eine entsprechende Leiterbreite erfordert, sollte in der aktuellen CPW-Technologie, wie sie am FBH verwendet wird, die Größe des Transistors so bemessen sein, dass er nicht wesentlich mehr als 1,5 A Gleichstrom benötigt. Eine zu starke Verbreiterung des Leiters erzeugt erstens geometrische Probleme bei der Leitungsführung und der Gestaltung der Masseflächen. Zweitens entstehen hochfrequenztechnische Nachteile wie

unerwünschte Moden und problematische Modellierung der Schaltungselemente wie Verzweigungen und Knicke.

Der optimale GaN-HEMT für lineare X-Band Leistungsverstärker in der am FBH verwendeten Technologie hat also nach diesen Erkenntnissen folgende Merkmale:

- 125 μm Einzel-Gate-Weite
- 10 bis 20 Einzelzellen, z.B. 12, 16 oder 18
- 30 bis 35 μm Gate-Pitch
- eine PSG-Taper-Struktur
- einen Taper-Winkel von ca. 45°
- eine direkte Verbindung der einzelnen Gate-Finger

Für Schaltverstärker kann der Gate-Pitch weiter verringert werden, da die Verlustleistung aufgrund der höheren Effizienz geringer ist.

5.6 Zusammenfassung

In diesem Kapitel wurden Transistoren mit neuartiger Peripherie vorgestellt. Bei dieser neuen Peripherie werden in der Verteilstruktur beim Übergang von der Zuleitung zum Transistor Signal- und Masseleiter quasi miteiander verflochten. Dies bewirkt eine gleichmäßige Verteilung des Signals auf die einzelnen Transistorzellen und eine drastische Reduktion der Gegeninduktivität in Source- bzw. Emitter-Zweig. Hierdurch wird die Eckfrequenz der betrachteten Transistoren im Vergleich zu den klassischen Geometrien um mehrere GHz erhöht und dadurch im entsprechenden Frequenzbereich eine größere Verstärkung und höhere Effizienz erzielt. Diese positiven Effekte konnten in Simulationen vorhergesagt und verstanden sowie durch Messungen am realen Transistor bestätigt werden. Die Simulationen und das messtechnisch beobachtete Verhalten des Stromes bei hoher Aussteuerung deuten außerdem darauf hin, dass durch die gleichmäßigere Aussteuerung aller Zellen sowohl eine bessere Linearität erzielt wird, als auch einer verfrühten Alterung oder Zerstörung einzelner Zellen entgegengewirkt und damit die Lebensdauer erhöht wird. Die beiden letzten Punkte konnte jedoch aufgrund messtechnischer Einschränkungen noch nicht am realen Objekt nachgewiesen werden. Neben den positiven Auswirkungen durch die gleichmäßige Masseverteilung sowohl bei CPW- als auch bei Mikrostrip-Transistoren lässt sich bei Mikrostrip-Transistoren noch der besondere Vorteil erzielen, dass durch die Trennung der Masseströme von Eingang und Ausgang die unerwünschte Gegeninduktivität, welche vor allem durch die Masse-Vias entsteht, um Größenordnungen reduziert wird. Weiterhin lässt sich durch die Wirkung der PSG-Verteilstruktur als niederohmige Leitung speziell für

die GaAs-HBTs eine Eingangsanpassung realisieren, die in Bezug auf Prozessschwankungen und Design-Unsicherheiten wesentlich robuster ist. Die aus Simulation und Messung gesammelten Erkenntnisse über die optimale Gestaltung der Geometrie von Leistungstransistoren sind in Kap. 5.5 zusammengefasst. Die neuartige Verteilstruktur wurde 2007 als Patent eingereicht [20].

KAPITEL 6

Leistungsverstärker-MMICs

Dieses Kapitel beschreibt den Entwurf und die Messung verschiedener MMIC-Leistungsverstärker im X-Band, die im Verlauf dieser Arbeit unter Verwendung von GaAs-HBTs und GaN-HEMTs entwickelt wurden. Ausgehend von den Kleinsignalmessungen und den Load-Pull-Leistungsmessungen der zu verwendenden Leistungstransistoren wurden zunächst einige Verstärker mit einem einzelnen Transistor entworfen, hergestellt und gemessen. Diese Ein-Transistor-Verstärker dienten vor allem zur Überprüfung der Leistungsmessung an den einzelnen Bauelementen und zur Verifikation des Designs. Es sollte überprüft werden, wie gut die S-Parameter von Simulation und Messung übereinstimmen und ob mit einem solchen Verstärker die Leistungen erzielt werden, die bei den Load-Pull-Messungen am einzelnen Bauelement erreicht wurden. Durch die geringe Komplexität der Verstärker sind dabei die Ursachen für mögliche Abweichungen gut zu ermitteln.

Nachfolgend wurden einstufige Verstärker mit zwei parallel geschalteten Transistoren entworfen, hergestellt und gemessen, die als Leistungsverstärker-Endstufe verwendet werden können. Speziell bei den GaAs-Verstärkern traten hier einige Schwierigkeiten wie Oszillationen und thermische Instabilität auf. Diese Effekte konnten behoben werden, und die entsprechenden Erkenntnisse und Gegenmaßnahmen flossen in das Design aller weiteren Verstärker ein.

Schließlich wurden mit GaN-HEMTs zweistufige Verstärker mit zwei Transistoren in der Endstufe entworfen, hergestellt und gemessen. Diese lieferten sehr gute Ergebnisse in Bezug auf Verstärkung und absolute Leistung. Zum Zeitpunkt der Fertigstellung stellte die erzielte Leistung pro Chip-Fläche einen internationalen Rekord dar [21]. Vergleichbare Werte waren zuvor nur mit wesentlich größeren und komplexeren Schaltungen erreicht worden.

Darüber hinaus wurden einzelne Chips in ein Gehäuse eingebaut, um die Leistungsfähigkeit in einer einfachen koaxialen Messumgebung nachzuweisen und sie als Messverstärker einsetzen zu können. Diese werden in Kap. 7 beschrieben.

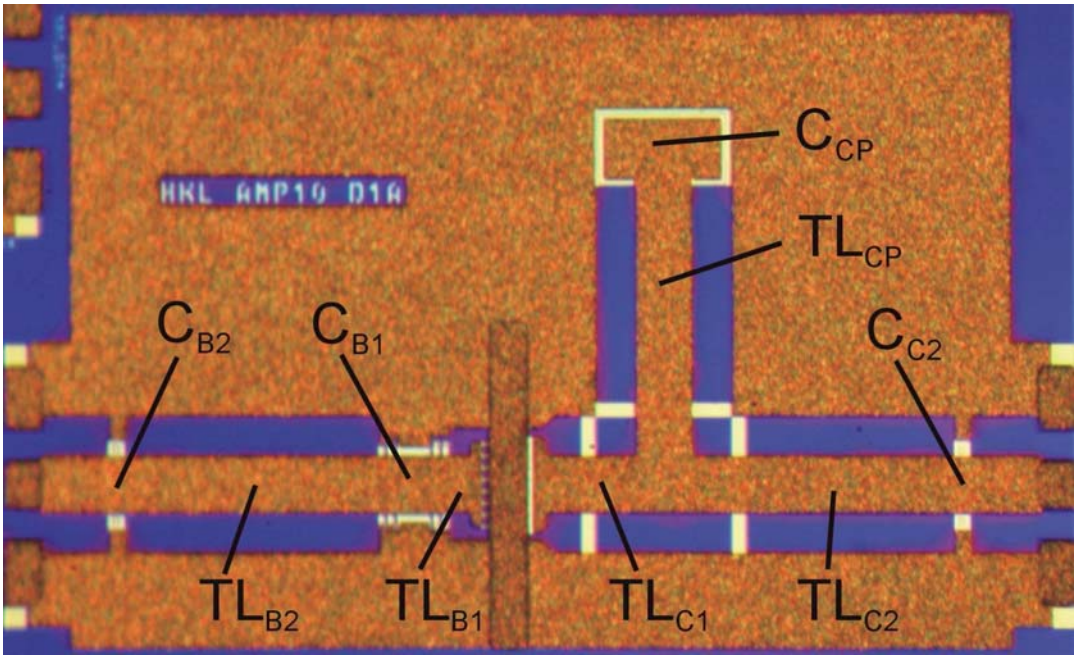


Abb. 6.1 Verstärker AMP10D1A: ein GaAs-HBT mit 8 Emitter-Fingern und 2 µm x 75 µm Emitter-Fläche (8x2x075), zweistufige Eingangs- und Ausgangsanpassung mit variablen Kapazitäten.

6.1 GaAs-HBT-Verstärker

6.1.1 GaAs-HBT-Verstärker mit einem Transistor. Es wurden diverse Varianten von GaAs-HBT-Verstärkern mit einem einzelnen Transistor entworfen, hergestellt und gemessen. Die optimale Lastimpedanz Z_{OPT} bzw. der optimale Last-Reflexionsfaktor Γ_{OPT} für den jeweils verwendeten Transistor, um maximale Ausgangsleistung zu erreichen, wurde vorher durch Load-Pull-Messungen ermittelt. Grundsätzlich wurde zunächst das Ausgangsnetzwerk entworfen, um am Ausgang des Transistors das ermittelte Γ_{OPT} zu realisieren. Dieses Ausgangsnetzwerk wurde dann mit gemessenen S-Parametern des Transistors kombiniert und hierfür ein Anpassungsnetzwerk am Eingang entworfen.

Das Foto eines der ersten Verstärker ist in Abb. 6.1 zu sehen. Er besteht aus dem Transistor und den Anpassungsnetzwerken am Eingang und Ausgang. Ein Bias-Netzwerk wurde hier noch nicht vorgesehen. Die Zuführung der DC-Leistung erfolgte über die Messspitzen mit Bias-Tees. Der verwendete Transistor besteht aus acht Emitter-Fingern mit einer Fläche von jeweils 2 µm x 75 µm. Diese Transistorgröße war als geeignet ermittelt worden, um sie in Leistungsverstärkern im Bereich um 10 GHz einzusetzen (vgl. Kap. 5.1). Die zweistufige Eingangsanpassung wurde mit zwei Kapazitäten nach Masse (C_{B1}, C_{B2}) und Serienleitungen (TL_{B1}, TL_{B2}) realisiert. Die zweistufige Ausgangsanpassung wurde mit einer Stichleitung (TL_{CP}), einer Kapazität (C_{CP}) und Serienleitungen (TL_{C1}, TL_{C2}) realisiert. Die Stichleitung

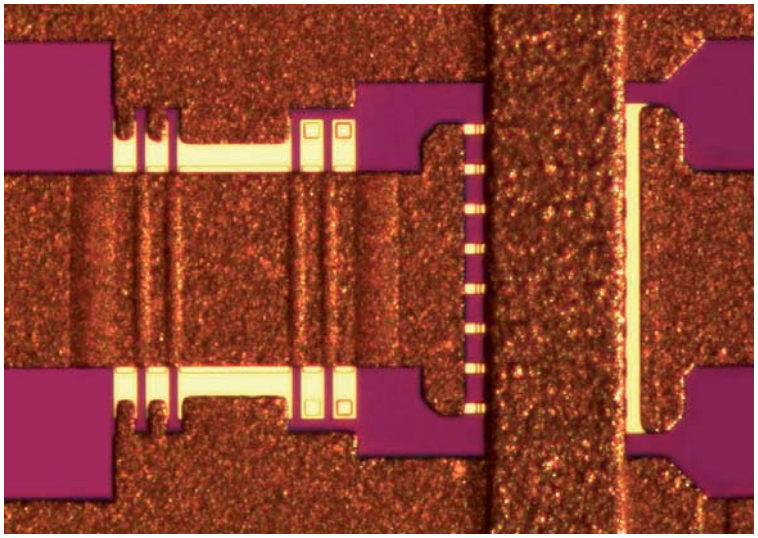


Abb. 6.2 Verstärker AMP10D1A: Detailaufnahme der Kapazität am Eingang des Transistors, bestehend aus einer großen und je zwei von insgesamt vier kleinen Kapazitäten, Verschiebung der effektiven Position der Kapazität durch Auswahl der kleinen Kapazitäten. Hier angeschlossen: die beiden kleinen Kapazitäten links.

ist über eine große Kapazität (C_{CP}) mit Masse verbunden, so dass sie hochfrequenztechnisch als kurzgeschlossene Stichleitung wirkt, während sie für den Gleichstrom-Fall nicht mit Masse verbunden ist.

Eine Schwierigkeit beim Entwurf des Verstärkers stellte die Eingangsanpassung dar. Hierfür musste eine große Kapazität C_{B1} sehr nahe am Transistoreingang platziert werden. Die Leitungslänge zwischen dem aktivem Bereich des Transistors und der Kapazität (TL_{B1}) ist etwa genau so groß wie die Länge der Kapazität. Dieser geringe Abstand führt zu einer hohen Empfindlichkeit der Anpassung in Bezug auf die Position der Kapazität.

Daher wurden mit Hilfe von Variationsgalvanik leicht unterschiedliche Positionen dieser Kapazität auf einem Wafer realisiert, um später die optimale Variante weiter auszuwerten. Eine Detailaufnahme der Kapazität ist in Abb. 6.2 zu sehen. Die Kombination der mittleren großen Kapazität mit jeweils zwei kleinen Kapazitäten ergibt immer den gleichen Wert für die Gesamtkapazität, jedoch an drei unterschiedlichen Positionen: 1. zwei kleine Kapazitäten links / 2. eine kleine Kapazität links und eine rechts / 3. drei kleine Kapazitäten rechts von der großen Kapazität. Hierbei variiert der Abstand zwischen der Mitte der Gesamtkapazität und dem aktiven Bereich des Transistors von 170 µm bis 210 µm. Im gezeigten Bild sind zwei kleine Kapazitäten auf der linken Seite des großen Kondensators über Galvanikbrücken angeschlossen. Dies ist also die am weitesten vom Transistor entfernte Position der Gesamtkapzität.

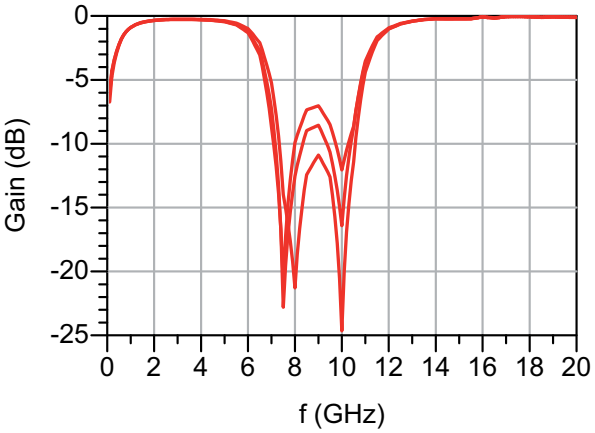


Abb. 6.3 AMP10D1A: S11 für verschiedene Positionen der Eingangskapazität aus Abb. 6.2.

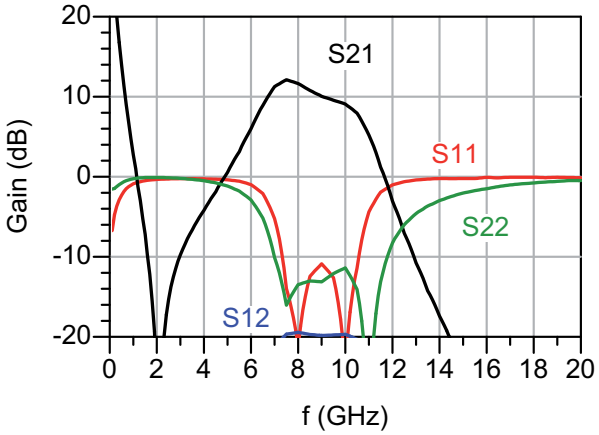


Abb. 6.4 AMP10D1A: alle vier S-Parameter ($S_{12} \leq -20$ dB).

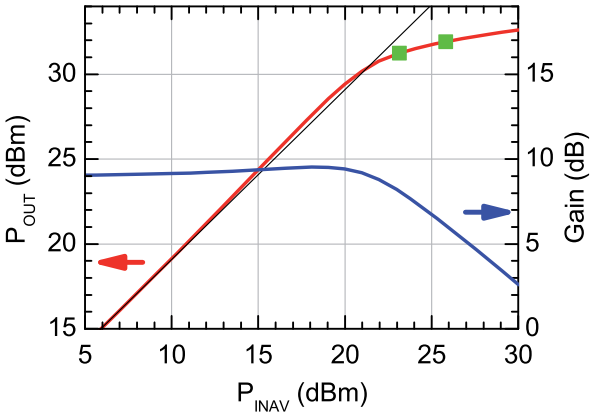


Abb. 6.5 AMP10D1A: Leistungsmessung bei 10 GHz, $V_{CE} = 9$ V.

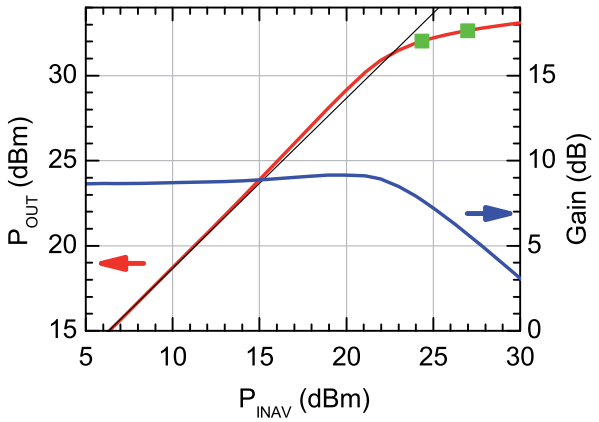


Abb. 6.6 GaAs-HBT 8x2x075: Load-Pull-Messung bei 10 GHz, $V_{CE} = 9$ V.

Die Eingangsreflexionsfaktoren für die drei Positionen der Kapazität sind in Abb. 6.3 dargestellt. Die Verschiebung der Kapazität um nur ca. ein Drittel (40 µm) ihrer eigenen Länge (110 µm) verbessert also die Eingangsanpassung im Bereich zwischen 7 GHz und 11 GHz von <-7 dB auf <-11 dB.

Alle vier S-Parameter der gewählten Variante sind in Abb. 6.4 dargestellt. Abb. 6.5 zeigt die entsprechende Leistungsmessung. Die Load-Pull-Messung des im Verstärker verwendeten HBT 8x2x075 als Einzelelement ist in Abb. 6.6 dargestellt.

Die S-Parameter zeigen, dass die Anpassung am Eingang zwischen 7 GHz und 11 GHz besser als 11 dB ist. Die Verstärkung bei 10 GHz liegt für den Verstärker und auch für den Transistor bei ca. 9 dB. Die Ausgangsleistung bei P_{-3dB} des Verstärkers liegt mit ca. 32 dBm etwa 1 dB unterhalb der entsprechenden Leistung des Einzelelements, was durch nicht ideale Anpassung und Verluste in den Leitungen auf dem Wafer zu erklären ist.

Eine Weiterentwicklung des Verstärkers mit einem einzelnen Transistor ist in Abb. 6.7 dargestellt. Hier wurde schon beim Entwurf des Verstärkers

mit nur einem Transistor eine Geometrie gewählt, die sich später leicht verdoppeln oder vervielfachen lässt. Die eingangs- und ausgangsseitigen Bias-Netzwerke wurden so entworfen, dass sie zugleich einen Teil der Anpassungsnetzwerke bilden. Die Stichleitung am Ausgang dient also gleichzeitig als DC-Zuführung, während der entsprechende Kondensator für den Hochfrequenz-Kurzschluss zur Masse am Ende der Stichleitung gleichzeitig als Tiefpass zur Entkopplung von der externen DC-Zuleitung dient. Eingangsseitig wurde die Anpassung durch eine Kapazität nach Masse, eine Serienleitung und eine für hohe Frequenzen kurzgeschlossene Stichleitung realisiert, wobei die Stichleitung ebenso wie die Stichleitung am Ausgang gleichzeitig als DC-Zuführung dient. Zusätzlich befindet sich am Eingang eine Serienkapazität (C_S) mit parallel geschalteten Widerständen (R), deren Notwendigkeit sich erst bei der Parallelschaltung mehrerer derartiger Verstärker ergibt (vgl. Kap. 6.1.2). Eine Detailaufnahme ist in Abb. 6.15 gezeigt. Da der Verstärker als Referenz für den Verstärker 0102-10C08 dient (vgl. Abb. 6.14), wurden diese Elemente im Sinne der besseren Vergleichbarkeit auch im Einzel-Transistor-Verstärker eingesetzt.

Abb. 6.8 und Abb. 6.9 zeigen die zugehörigen S-Parameter und eine Leistungsmessung. Die Verstärkung ist hier um etwa 2 dB niedriger als bei dem zuvor gezeigten Verstärker. Dies liegt zum einen daran, dass der Emitter-Ballast-Widerstand der Transistoren auf dem Wafer kmx05-01 höher ist als bei dem Wafer kmx02-14. Dadurch ist die Verstärkung der Transistoren um etwa 1 dB und die Ausgangsleistung um etwa 1,5 dB niedriger. Zum anderen sind die hier verwendeten Leitungen länger und schmaler, was zu geringfügig höhereren Verlusten führt. Zusätzlich werden die Widerstände durch die Kapazität vermutlich nicht ideal überbrückt. Da sich der Strom auf einer CPW-Leitung am Rand konzentriert, könnte die Dämpfung durch die Widerstände durch eine günstigere Geometrie reduziert werden. Hierzu müssten die geometrischen Positionen von Kapazität und Widerständen getauscht werden. Es müssten also die beiden Widerstände am Rand durch einen einzelnen in der Mitte ersetzt werden. Die mittig angeordnete Kapazität würde dann durch zwei Kapazitäten am Rand ersetzt.

6.1.2 GaAs-HBT-Verstärker mit zwei Transistoren. Abb. 6.10 zeigt die direkte Verdoppelung des in Abb. 6.1 dargestellten Verstärkers. Hier wurden die Transistoren gegenüber voneinander angeordnet und die Stichleitung der ausgangsseitigen Anpassung nach links geführt, während der eigentliche Ausgang als Leitungsstück mit Kapazität nach rechts herausgeführt wurde. Die Länge der kurzgeschlossenen Stichleitung wurde mit Hilfe von Variationsgalvanik variabel gestaltet. Im Bild sind Galvanikbrücken erkennbar, die

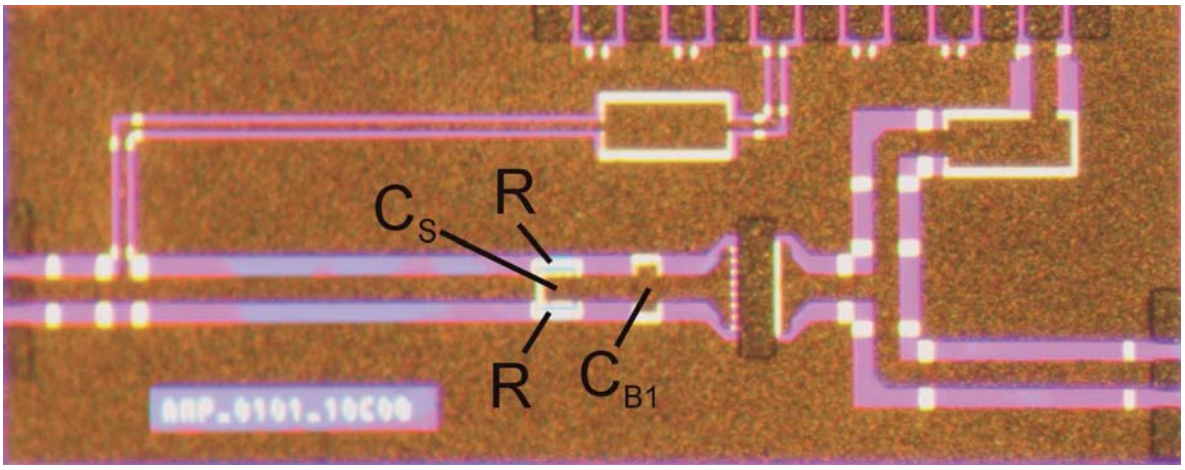


Abb. 6.7 Verstärker AMP-0101-10C08: ein GaAs-HBT mit 8 Emitter-Fingern und 2 µm x 75 µm Emitter-Fläche (8x2x075), zweistufige Eingangs- und Ausgangsanpassung, DC-Zuführung und R/C-Parallelschaltung am Eingang (siehe Abb. 6.15).

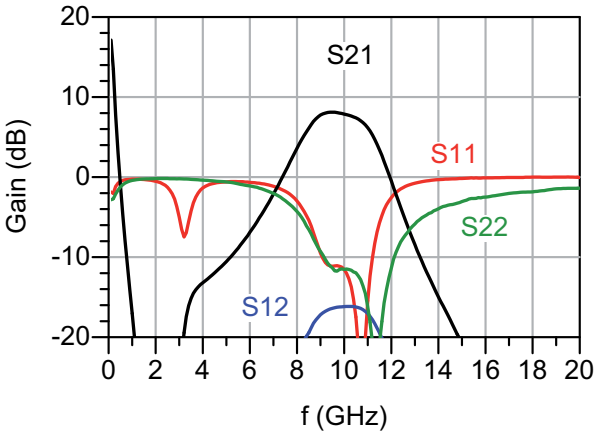


Abb. 6.8 AMP-0101-10C08: S-Parameter.

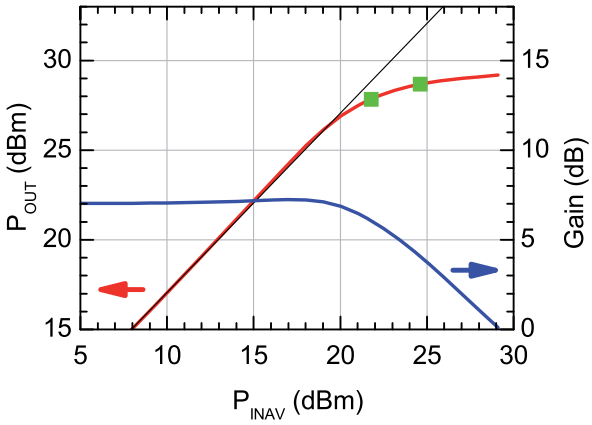


Abb. 6.9 AMP-0101-10C08: Leistungsmessung bei 10 GHz, $V_{CE} = 9$ V.

die wirksame Länge der Stichleitung verkürzen. Die DC-Trennung wurde mit einer Serienkapazität in der Stichleitung nahe bei den Transistoren erreicht.

Abb. 6.11 zeigt einen Verstärker mit zwei parallel geschalteten Transistoren, bei dem die Ausgangsanpassung nicht mit einer Stichleitung sondern ähnlich wie die eingangsseitige Anpassung mit Hilfe von Kapazitäten und Serienleitungen erreicht wurde. Auffällig ist hier zunächst die deutliche größere Kompaktheit der Schaltung. Während bei der Schaltung AMP10F1 eine Veränderung der Ausgangsanpassung mit Hilfe der variablen Länge der Stichleitung erreicht wurde, waren bei der Schaltung AMP10F2 verschiedene Postitionen der ersten ausgangsseitigen Kapazität vorgesehen.

Schon bei der Messung der DC-Ausgangskennlinien (vgl. Abb. 6.12 und Abb. 6.13) zeigten sich jedoch Schwierigkeiten, die eine hochfrequenztechnische Auswertung der Verstärker nicht möglich oder zumindest nicht sinnvoll machten. Der Einbruch der Kennlinien im Bereich zwischen 1 V und 4 V für V_{CE} ist durch Oszillation zu erklären. Die Stauchung der Kennlinien

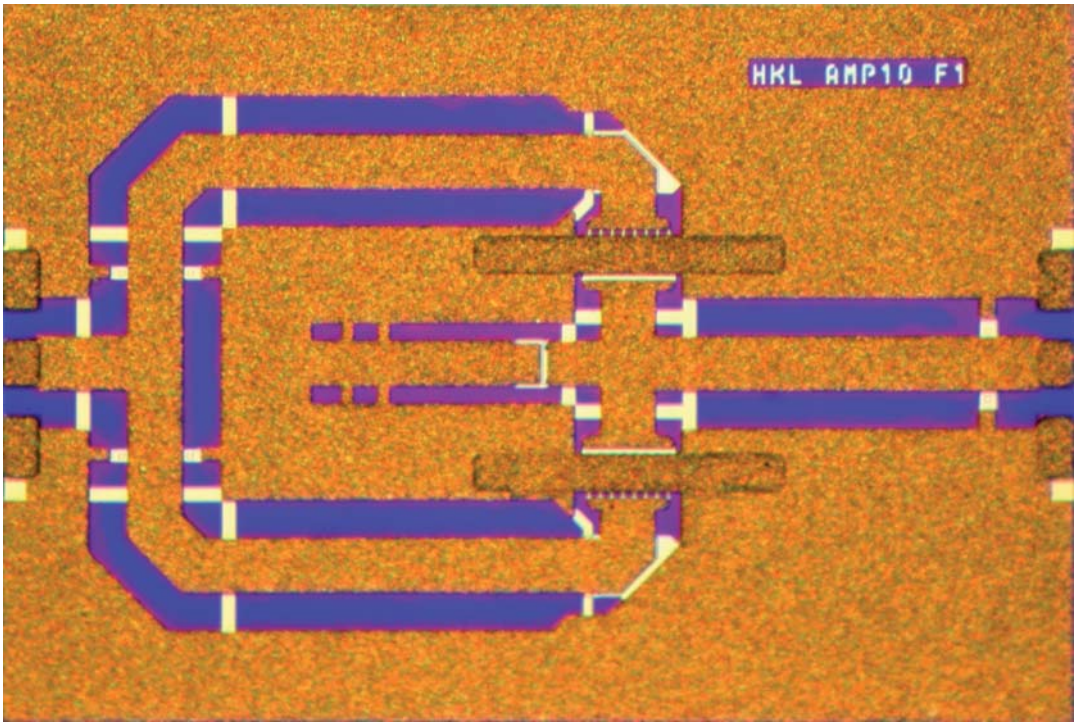


Abb. 6.10 Verstärker AMP10F1 mit zwei GaAs-HBTs 8x2x075, Studie zur direkten Verdoppelung des Verstärkers AMP10D1A aus Abb. 6.1.

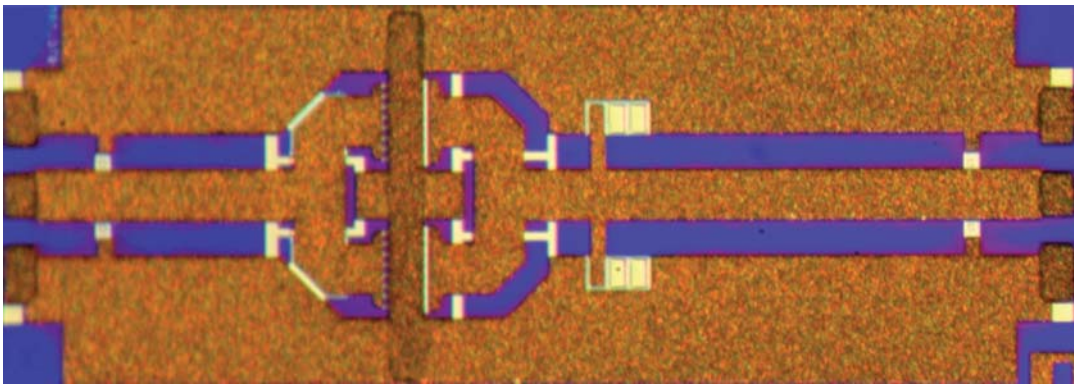


Abb. 6.11 Verstärker AMP10F2 mit zwei GaAs-HBTs 8x2x075, Studie zur kompakten Realisierung eines Verstärkers mit zwei Transistoren.

oberhalb von etwa 7 V ist ein deutliches Zeichen für thermische Instabilität. Durch geringe Abweichungen in der Temperatur steigt ab einer bestimmten Verlustleistung der Strom in einem Transistor an, während der zweite Transistor inaktiv wird. Dieser Effekt tritt bei dem Verstärker AMP10F1 schon bei etwas niedrigeren Spannungen auf und ist deutlicher ausgeprägt als bei der Version AMP10F2. Der Grund liegt in der etwas besseren thermischen Kopplung der beiden Transistoren im Verstärker AMP10F2, welche durch den geringeren Abstand bedingt ist.

Die in Kap. 3.3.1 erläuterte Verwendung einer RC-Parallelschaltung am Eingang (vgl. Abb. 3.13) hilft gleichzeitig gegen thermische Instabilität und

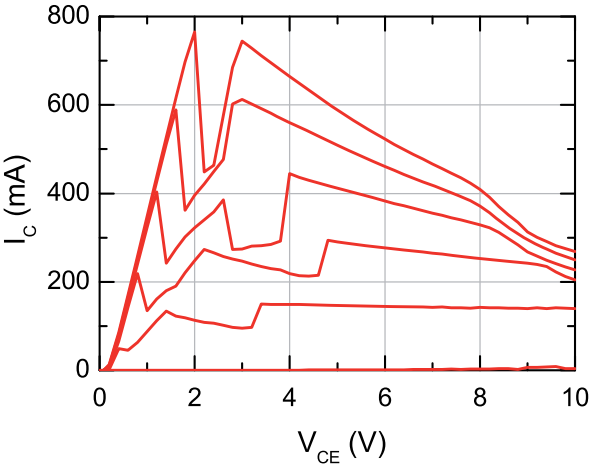


Abb. 6.12 AMP10F1 Ausgangskennlinien: elektrische Instabilität und Oszillation bei 1 V bis 5 V, thermische Instabilität ab 8 V.

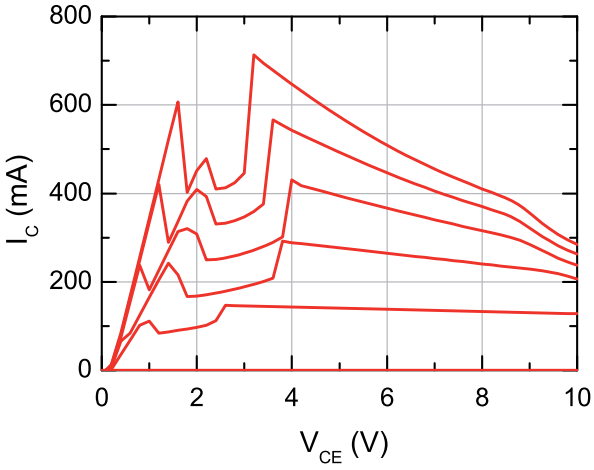


Abb. 6.13 AMP10F2 Ausgangskennlinien: elektrische Instabilität und Oszillation bei 1 V bis 4 V, thermische Instabilität ab 9 V.

gegen Oszillation bei niedrigen Frequenzen. Der Widerstand wirkt im Gleichstrom-Fall als Gegenkopplung in Bezug auf den Stromanstieg und verhindert so das Überhitzen von einem der Transistoren gegenüber dem anderen Transistor. Bei niedrigen Frequenzen dient der Widerstand gleichzeitig zur Dämpfung des Signals. Diese Dämpfung beseitigt die Gefahr der Oszillation, welche die sehr große Verstärkung bei niedrigen Frequenzen der Transistoren mit sich bringt. Für hohe Frequenzen, insbesondere bei der Betriebsfrequenz, wird der Widerstand idealerweise durch die parallel geschaltete Kapazität überbrückt und hat somit keinen Einfluss. Diese Maßnahme wurde aufgrund der hier aufgetretenen Schwierigkeiten bei allen späteren Designs eingesetzt.

Eines dieser Designs, der Verstärker AMP-0102-10C08, ist in Abb. 6.14 dargestellt. Es handelt sich um die Verdoppelung des Verstärkers AMP-0101-10C08 aus Abb. 6.7. Die Detailaufnahme in Abb. 6.15 zeigt einen der Transistoren, davor eine Kapazität nach Masse als Teil der Anpassung sowie die schon erwähnte Parallelschaltung einer Serienkapazität und zweier Widerstände. Die bei den zuvor genannten Verstärkern aufgetretenen Schwierigkeiten wie Oszillation und thermische Instabilität konnten beseitigt werden. Die Verdoppelung des Verstärkers ist mit den üblichen Unterschieden zur idealen Verdoppelung gelungen.

Die Leistung des verdoppelten Verstärkers liegt um etwa 2 dB höher als die des einfachen Verstärkers, was einem Faktor 1,6 entspricht. Die Erfahrung zeigt, dass die theoretische Verdopplung der Leistung, also der Anstieg um 3 dB praktisch nie erreicht wird. Die lineare Verstärkung des Verstärkers mit zwei Transistoren ist mit 6 dB um ca. 1 dB geringer als die Verstärkung der Variante mit nur einem Transistor. Auch dies entspricht der allgemeinen

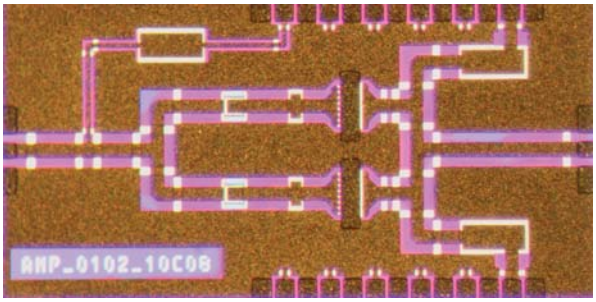


Abb. 6.14 Verstärker AMP-0102-10C08: Verdoppelung des Verstärkers AMP-0101-10C08 aus Abb. 6.7.

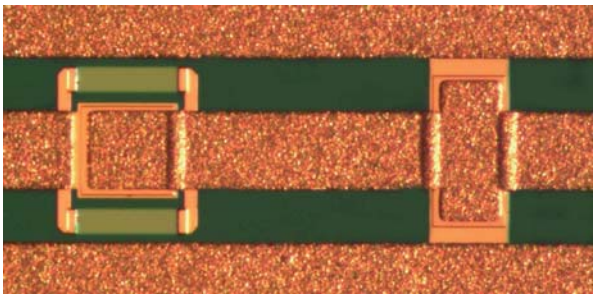


Abb. 6.15 AMP-0102-10C08: Detailaufnahme der R/C-Parallelschaltung und der Anpassungskapazität an den Transistor-Eingängen.

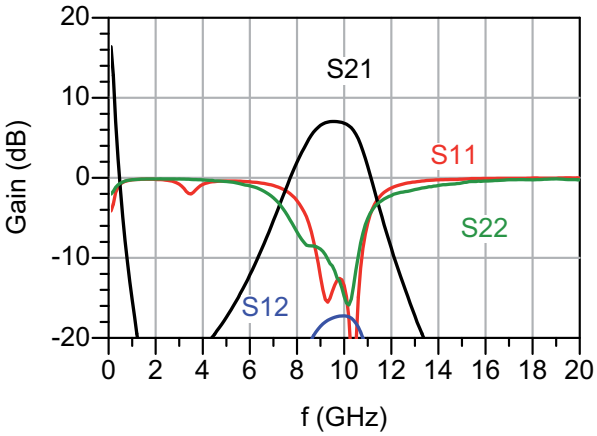


Abb. 6.16 AMP-0102-10C08: S-Parameter.

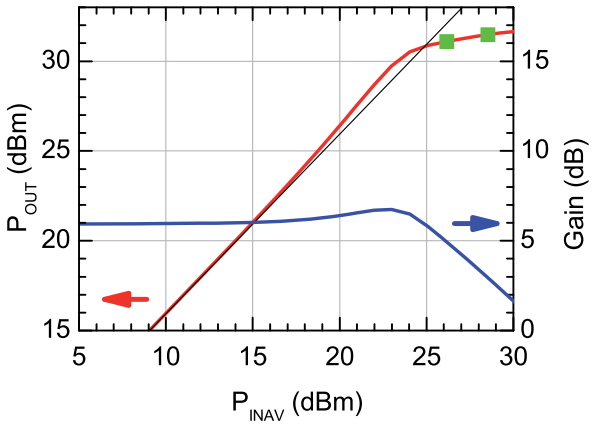


Abb. 6.17 AMP-0102-10C08: Leistungsmessung bei 10 GHz, $V_{CE} = 9$ V.

Erfahrung, dass die Verstärkung geringfügig sinkt, wenn mehrere Transistoren parallel geschaltet werden. Insgesamt ist die Verstärkung bei 10 GHz zu gering, um die Entwicklung weiterer Verstärker für diese Frequenz zu rechtfertigen. Für 8 GHz können jedoch mit dieser Technologie und insbesondere unter Verwendung der in Kap. 5.3.2 vorgestellten Transistoren mit PSG-Peripherie gute Verstärker mit etwa 10 dB Verstärkung in der Endstufe und einer Ausgangsleistung von mehreren Watt entwickelt werden.

6.2 GaN-HEMT-Verstärker

6.2.1 GaN-HEMT-Verstärker mit einem Transistor. Aufbauend auf den Erfahrungen mit GaAs-Verstärkern wurden nach ähnlichen Prizipien diverse GaN-Verstärker entworfen. Abb. 6.18 zeigt einen GaN-HEMT-Verstärker mit einem einzelnen Transistor, zweistufigen Anpassungsnetzwerken an Eingang und Ausgang sowie Bias-Netzwerke zur DC-Zuführung. Der verwendete Transistor hat 12 Gate-Finger mit einer Einzel-Gate-Weite von 125 µm und einem Gate-Abstand von 50 µm. Abb. 6.19 zeigt einen weitgehend identischen Verstärker unter Verwendung eines Transistors mit 18 Gate-Fingern

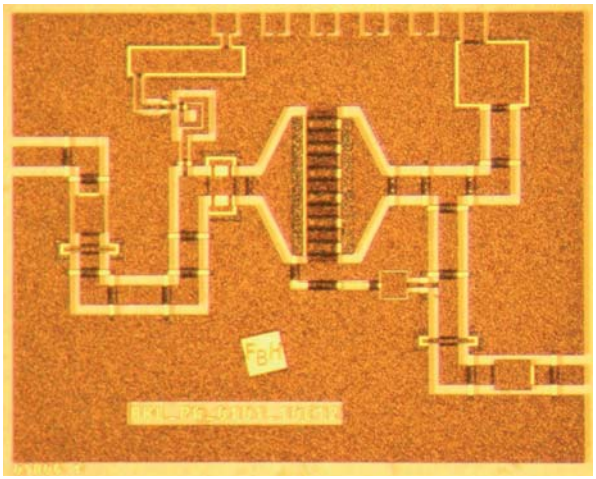


Abb. 6.18 Verstärker PA-0101-10C12: Ein GaN-HEMT mit 12 Fingern und 125 µm Einzel-Gate-Weite (12x125), zweistufiger Eingangs- und Ausgangsanpassung und DC-Zuführung.

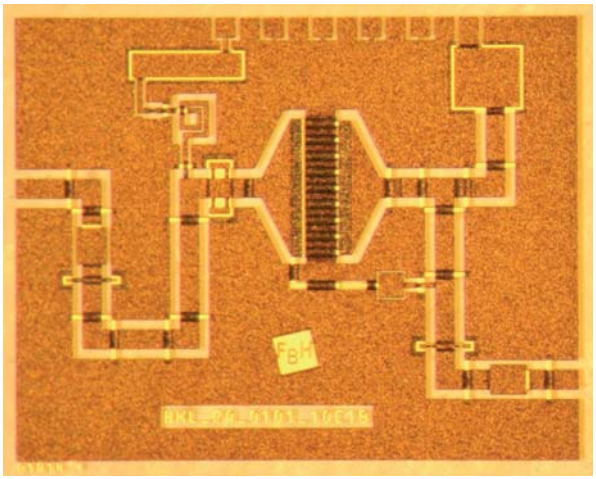


Abb. 6.19 Verstärker PA-0101-10C18: Ein GaN-HEMT mit 18 Fingern und 125 µm Einzel-Gate-Weite (18x125), zweistufiger Eingangs- und Ausgangsanpassung und DC-Zuführung.

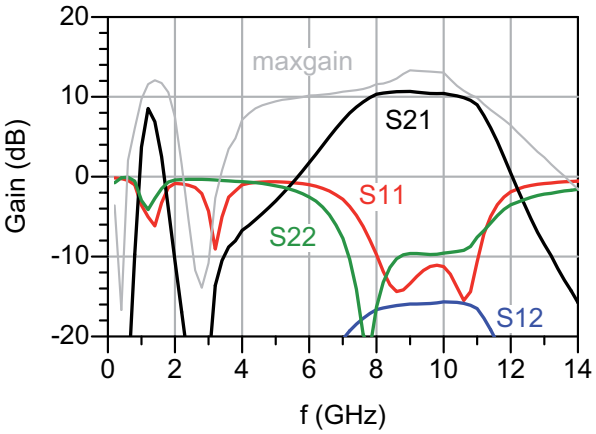


Abb. 6.20 PA-0101-10C12: S-Parameter.

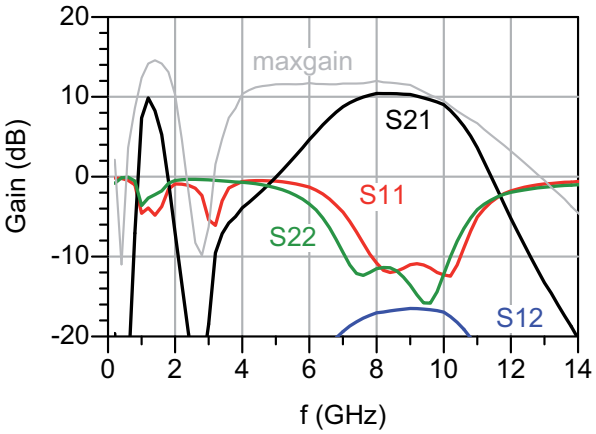


Abb. 6.21 PA-0101-10C18: S-Parameter.

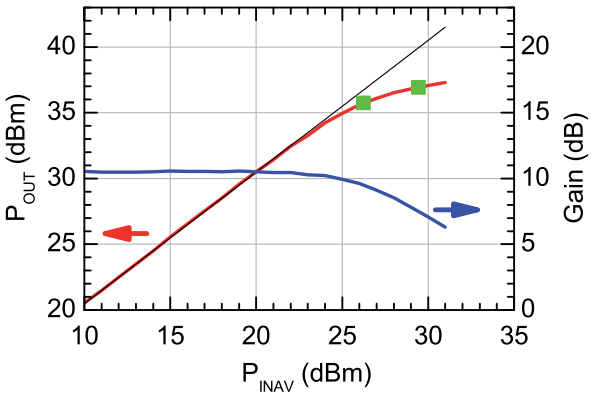


Abb. 6.22 PA-0101-10C12: Leistungsmessung bei 10 GHz, V_{DS} = 20 V.

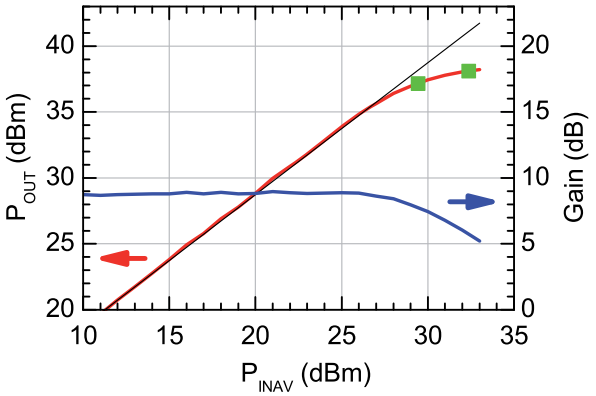


Abb. 6.23 PA-0101-10C18: Leistungsmessung bei 10 GHz, V_{DS} = 20 V.

bei gleicher geometrischer Größe. Der Gate-Abstand wurde hier also auf ca. 33 µm verringert.

Die S-Parameter der Verstärker sind in Abb. 6.20 und Abb. 6.21 zu sehen. Die Eingangsanpassung ist im Frequenzbereich 8 GHz bis 11 GHz bei beiden

Versionen besser als -10 dB. Beide Verstärker zeigen ab 8 GHz ca. 10 dB Verstärkung. Die Verstärkung des PA-0101-10C12 bleibt bis etwa 11 GHz auf diesem Niveau, während sie beim PA-0101-10C18 schon ab 9,5 GHz absinkt. Die zusätzlich eingezeichneten Kurven der maximalen Verstärkung zeigen, dass dies im früheren Abfall der maximal verfügbaren Verstärkung des 18-Finger-Transistors begründet ist.

In Abb. 6.22 und Abb. 6.23 sind Leistungsmessungen der beiden Verstärker bei 10 GHz dargestellt. Die Kleinsignalverstärkung liegt entsprechend den S-Parametern erwartungsgemäß bei etwa 10,5 dB für den PA-0101-10C12, während sie beim PA-0101-10C18 etwa 9 dB beträgt. Die absolute P_{-3dB} Ausgangsleistung des PA-0101-10C18 liegt jedoch mit ca. 38 dBm nur gut 1 dB – also etwa 30 % – höher als beim PA-0101-10C12 und nicht 50 % höher, wie aufgrund der absoluten Gate-Weite theoretisch zu erwarten wäre. Die möglichen Gründe hierfür sind vielfältig. Entsprechend den Erkenntnissen aus Kap. 5 liegt der wahrscheinlichste Grund in der Gegenkopplung, welche durch die ungünstige Masse-Zuführung über nur eine gemeinsame Source-Brücke für alle Transistorzellen entsteht. Diese Problematik verstärkt sich hier mit zunehmender Zellenzahl, da über die gleiche Metallisierung nun eine größere Anzahl von Zellen versorgt werden muss. Es ist davon auszugehen, dass durch die Verwendung von PSG-Strukturen, wie sie in Kap. 5.2.3 beschrieben wurden, die Verstärkung beim Übergang von 12 auf 18 Zellen praktisch konstant bleibt. Die Ausgangsleistung kann vermutlich stärker erhöht werden als in dem hier gezeigten Fall klassischer Transistoren ohne PSG-Strukturen.

Weiterhin kann nicht mit absoluter Sicherheit gewährleistet werden, dass die Anpassung am Ausgang bei beiden Verstärkern optimal ist, obwohl die Netzwerke auf den jeweiligen Transistor angepasst wurden. Ein weiterer wichtiger Aspekt könnte sein, dass zum Zeitpunkt der Herstellung die Gleichmäßigkeit der Bauelemente über dem Wafer noch eingeschränkt war und dadurch die Leistungswerte gewissen Schwankungen unterworfen sind.

Zur Verhinderung von Schwingungen sind die Verstärker mit einem Feedback-Netzwerk ausgestattet, das in der Mitte der Abbildungen zu erkennen ist und das das Ausgangssignal über einen Widerstand und eine Serienkapazität an den Gate-Anschluss des Transistors zurückführt. Dieses Feedback kann durch das Entfernen der Luftbrücke, die den Ausgangssignalleiter mit dem Kondensator verbindet, deaktiviert werden. Die abgebildeten Leistungsmessungen wurden mit bereits deaktiviertem Feedback durchgeführt. Interessanterweise hat das Deaktivieren des Feedbacks keine signifikante Auswirkung

auf die Verstärkung bei der Arbeitsfrequenz, erhöht jedoch die Ausgangsleistung bei beiden Verstärkern um etwa 1 dB.

Zusammenfassend kann gesagt werden, dass bei den GaN-Leistungsverstärkern mit einem Transistor bei verhältnismäßig geringem Aufwand eine 3 dB Bandbreite von 35% erreicht wird. Die maximale Ausgangsleistung liegt ca. 1 dB unterhalb der Werte, die bei den Load-Pull-Messungen der einzelnen Bauelemente erreicht wurden. Dies ist wie bei den GaAs-Verstärkern durch Verluste in den Leitungen und durch nicht perfekte Lastimpedanzen zu erklären.

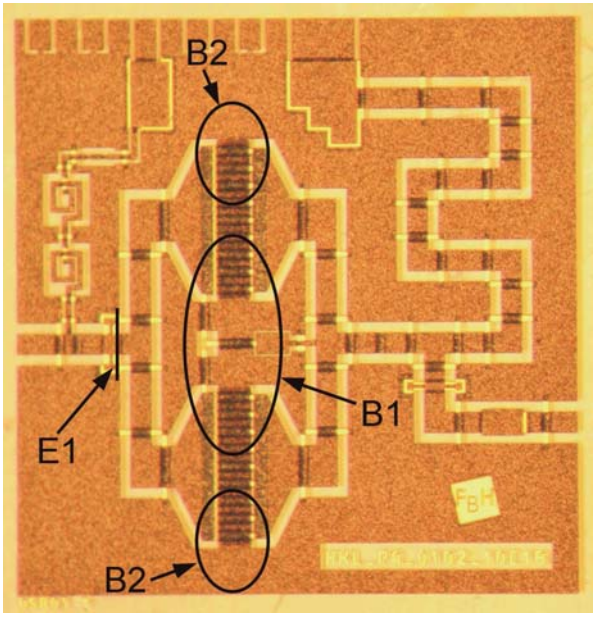


Abb. 6.24 Verstärker PA-0102-10C18: Zwei GaN-HEMTs mit 18 Fingern und 125 µm Einzel-Gate-Weite (18x125), einstufiger Eingangs- und Ausgangsanpassung und DC-Zuführung.

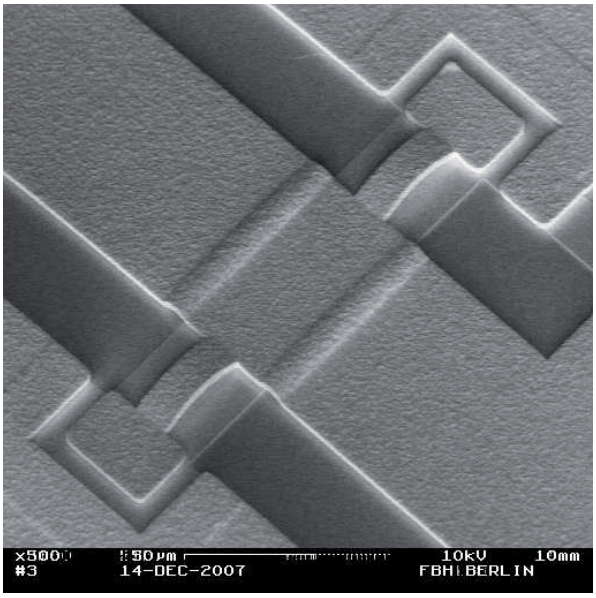


Abb. 6.25 REM-Detailaufnahme einer Kapazität nach Masse, durch mechanische Entfernung der Luftbrücken veränderbar.

6.2.2 GaN-HEMT-Verstärker mit zwei Transistoren. Um höhere Ausgangsleistungen zu erreichen als mit den in Kap. 6.2.1 vorgestellten Einzel-Transistor-Verstärkern, muss die Leistung mehrerer Transistoren kombiniert werden. Abb. 6.24 zeigt eine Verstärker-Endstufe, bei der zwei Transistoren parallel geschaltet sind, die jeweils 18 Gate-Finger besitzen (PA-0102-10C18). Zur messtechnischen Verifikation des Designs ist diese Endstufe getrennt von der Treiberstufe mit einer Eingangsanpassung an 50 Ω versehen worden.

Um nach der Herstellung mögliche Design-Unsicherheiten und Prozess-Schwankungen ausgleichen zu können, sind die Kapazitäten nach Masse in den Anpassungsnetzwerken veränderbar gestaltet. Jeder Kondensator besteht dabei aus einer großen Kapazität, dessen obere Elektrode vom Signalleiter gebildet wird. Seitlich davon befinden sich zwei weitere kleine Elektroden, die über Luftbrücken an den Signalleiter angeschlossen sind und noch einmal etwa 10 bis 20% des Kapazitätswerts des großen Kondensators erzeugen. Die untere Masse-Elektrode ist die gleiche wie für die große Kapazität. Eine solche Anordnung ist als REM-Aufnahme in Abb. 6.25 zu sehen. Mit Hilfe einer Nadel können die Luftbrücken unter dem Mikroskop entfernt und damit der Wert der Gesamtkapazität reduziert werden.

Neben der Eingangs- und Ausgangsanpassung sowie den Netzwerken zur Zuführung der DC-Versorgung sind in Abb. 6.24 im Bereich B1 noch Schaltungselemente zu erkennen, die in zweifacher Weise mögliche Gefahren der

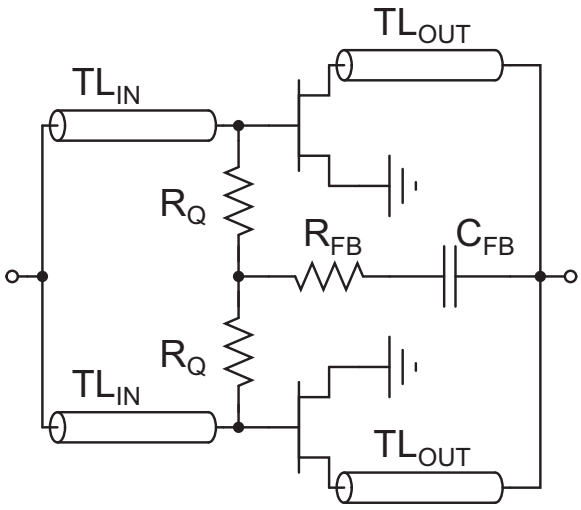


Abb. 6.26 PA-0102-10C18: Ersatzschaltbild der Gegentakt-Unterdrückung und des Feedbacks der parallelen Transistoren.

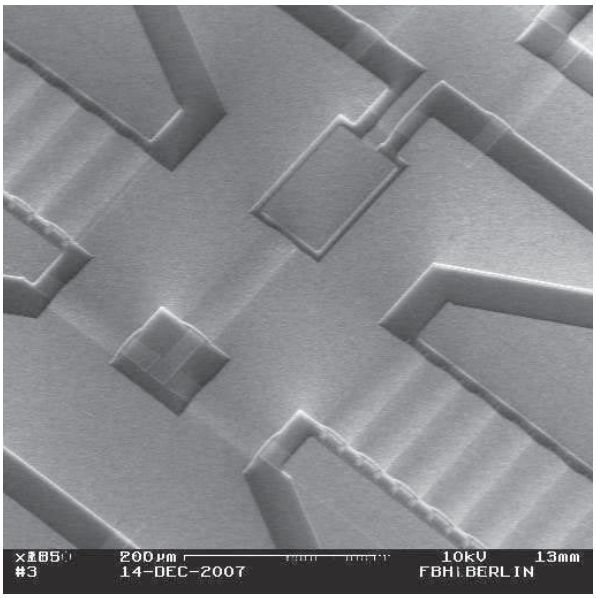


Abb. 6.27 PA-0102-10C18: REM-Detailaufnahme der Gegentakt-Unterdrückung und des Feedbacks.

Oszillation beseitigen. Ein Ersatzschaltbild der Anordnung ist in Abb. 6.26 abgebildet und eine REM-Detailaufnahme von dem Bereich zwischen den Transistoren ist in Abb. 6.27 zu sehen. Über die beiden kleinen Widerstände R_Q mit einem Widerstandswert von etwa 10 Ω sind die Transistoren gateseitig über einen sehr kurzen Weg miteinander verbunden. Diese Maßnahme verhindert, dass Gegentaktschwingungen entstehen, welche bei der ausschließlichen Verbindung der Transistoren über die Leitungen TL_{IN} und TL_{OUT} möglich wären, da die Leitungslängen eine hierfür ausreichend große Phasenverschiebung erzeugen. Über das Feedback-Netzwerk mit den Elementen R_{FB} (ca. 100 Ω) und C_{FB} (ca. 3 pF) wird ähnlich wie bei den Einzel-Transistor-Verstärkern die unerwünscht hohe Verstärkung bei niedrigen Frequenzen reduziert und damit eine mögliche Gleichtakt-Oszillation verhindert.

Die S-Parameter dieser Schaltung sind in Abb. 6.28 dargestellt.

Um Chip-Fläche zu sparen, wurde nur ein einstufiges Eingangsnetzwerk verwendet. Daher ist die Bandbreite der Eingangsanpassung deutlich geringer als bei den Einzel-Transistor-Verstärkern aus Kap. 6.2.1. Zusätzlich sind die Eingangs- und Ausgangsimpedanzen, auf die angepasst werden muss, durch die größere Gesamt-Gate-Weite niedriger sind als bei einem einzelnen Transistor. Daher wäre die Bandbreite auch bei Verwendung eines zweistufigen Eingangsnetzwerkes etwas geringer als bei den Einzel-Transistor-Verstärkern.

Die hier erreichte maximale Verstärkung beträgt 9 dB bei 9,5 GHz. Bei 10 GHz ist sie bereits auf 8 dB abgesunken. In einem Re-Design könnten hier

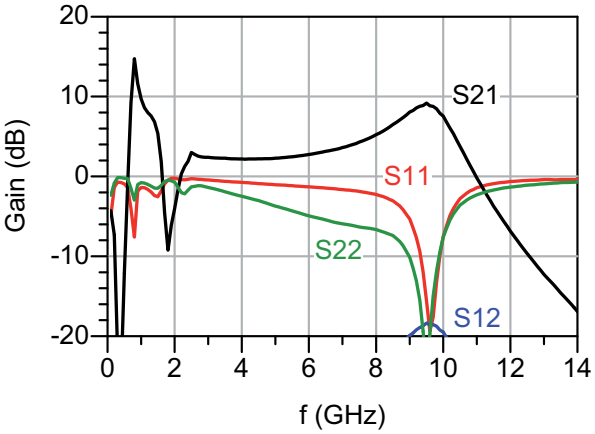


Abb. 6.28 PA-0102-10C18: S-Parameter.

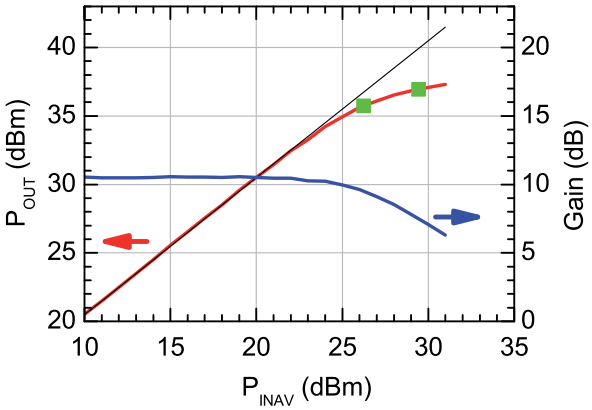


Abb. 6.29 PA-0102-10C18: Leistungsmessung bei 10 GHz, V_{DS} = 20 V.

voraussichtlich 1 bis 2 dB mehr Verstärkung erzielt werden. Bei der Verwendung als Endstufe ist es jedoch nicht notwendig, eine Anpassung auf 50 Ω zu erzielen, es muss lediglich eine deutlich unproblematischere Anpassung auf die Ausgangsimpedanz der Treiberstufe erfolgen.

Abb. 6.29 zeigt eine Leistungsmessung des Verstärkers bei 10 GHz und V_D = 20 V. Die maximale Ausgangsleistung von ca. 39 dBm liegt nur etwa 1 dB (ca. 26%) über der maximalen Ausgangsleistung des Einzel-Transistor-Verstärkers PA-0101-10C18, dessen Leistungswerte schon in Abb. 6.23 dargestellt wurden. Ähnlich wie schon bei den GaAs-HBT-Verstärkern wird hier also nicht die theoretisch erwartete Verdoppelung der Ausgangsleistung erreicht (vgl. Kap. 6.1.2). Die problematischere Anpassung bei geringeren Eingangs- und Ausgangsimpedanzen und die damit ebenfalls verbundenen höheren Verluste tragen zu diesem Problem bei, erklären jedoch nicht den drastischen Unterschied.

Um zu untersuchen, inwieweit die unzureichende Ausgangsleistung in der gegenseitigen Aufheizung der beiden Transistoren begründet sein könnte, wurde die in Abb. 6.30 gezeigte Anordnung entworfen und messtechnisch ausgewertet. Die Anordnung umfasst zwei identische Transistoren, die aus 12 Gate-Fingern mit 125 µm Einzel-Gate-Weite bestehen. Diese beiden Transistoren haben den gleichen Abstand voneinander wie die Transistoren in Abb. 6.24 und wie die Transistoren in den Endstufen der Verstärker, die in Kap. 6.2.3 vorgestellt werden. Der untere Transistor ist als Einzelbauelement zur direkten Messung mit Hochfrequenz-Messspitzen ausgeführt. Der obere Transistor ist mit einem Netzwerk ausgestattet, das es erlaubt, eine einfache DC-Versorgung über DC-Messspitzen herzustellen. Gleichzeitig dient es zur Dämpfung des Transistors, da diese Art von Transistoren bei der Kontaktierung über einfachen DC-Messspitzen zum Oszillieren neigt. Abb. 6.31 zeigt

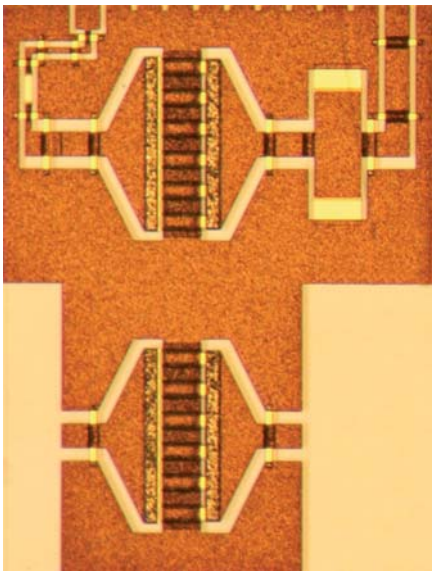


Abb. 6.30 Parallele Anordnung von zwei GaN-HEMTS 12x125 zur Untersuchung der gegenseitigen Erwärmung, HF-Messung des unteren Transistors bei gleichzeitigem DC-Betrieb des oberen Transistors.

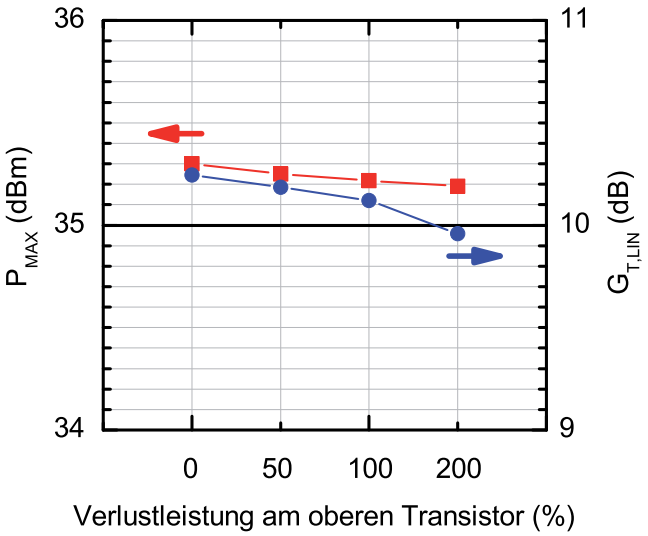


Abb. 6.31 Leistungsmessung bei $f = 10\,\mathrm{GHz}$ und $V_{DS} = 20\,\mathrm{V}$ am unteren Transistor aus Abb. 6.30 bei gleichzeitiger DC-Heizung des oberen Transistors. Verlustleistung des oberen Transistors in Prozent der Leistung des DC-Arbeitspunktes am unteren Transistor.

die Messwerte der linearen Verstärkung und der maximalen Ausgangsleistung am unteren Transistor, während der obere Transistor mit unterschiedlich großer Verlustleistung beaufschlagt wird.

Die Prozentangaben geben Auskunft über die Höhe der zugeführten DC-Leistung (Verlustleistung) am oberen Transistor bezogen auf die zugeführte DC-Leistung am unteren Transistor. Der Betriebszustand ohne Leistungszuführung am oberen Transistor ist also bei der Angabe 0% abzulesen. Die Werte für den Betriebszustand, der in etwa den Verhältnissen bei parallel geschalteten Transistoren in der Endstufe entspricht, sind bei der Messung mit der Angabe 100% abzulesen.

Es ist deutlich zu erkennen, dass sowohl die lineare Verstärkung als auch die maximale Ausgangsleistung durch den Einfluss der Verlustwärme, die durch den zweiten Transistor erzeugt wird, lediglich um ca. 0,1 dB (ca. 2%) sinken. Selbst in dem extremen Fall, bei dem im oberen Transistor doppelt so viel Verlustleistung in Wärme umgesetzt wird wie im eigentlichen Messobjekt, sinkt die Verstärkung nur um 0,3 dB (ca. 6%), während die maximale Ausgangsleistung weiterhin nur um ca. 0,1 dB abfällt. Diese Messungen belegen, dass die gegenseitige Aufheizung der Transistoren in der Endstufe so gering ist, dass hierdurch die zu geringe Zunahme der Ausgangsleistung im Vergleich zum Einzel-Transistor-Verstärker nicht zu erklären ist.

Elektromagnetische Simulationen haben gezeigt, dass der wesentliche Grund für die geringe Zunahme der Ausgangsleistung darin liegt, dass die Art und Weise, wie hier die Transistoren verbunden sind, zu einer ungünstigen Verteilung der Welle auf die Zellen der beiden Transistoren führt. Der Massestrom konzentriert sich zwischen den beiden Transistoren in dem Bereich, der in Abb. 6.24 mit B1 bezeichnet ist. Somit werden nur diejenigen Hälften der beiden Transistoren gut ausgesteuert, die einander zugewandt sind. Die äußeren, voneinander abgewandten Transistorhälften in den Bereichen B2 tragen folglich kaum zur Hochfrequenz-Leistungserzeugung bei. Da die Anzahl der Transistorzellen, die tatsächlich zur Erzeugung der Hochfrequenzleistung beitragen, also nicht deutlich größer ist als beim Einzel-Transistor-Verstärker, ist auch die Ausgangsleistung hier nicht wesentlich größer. Diese Tatsache wird außerdem durch die Betrachtung der äquivalenten Induktivitäten verständlich, die den Entfernungen entsprechen, die der Massestrom zu den verschiedenen Zellen der Transistoren zurücklegen muss. Von der in Abb. 6.24 mit E1 bezeichneten Referenz-Ebene an der Eingangs-T-Verzweigung aus gemessen, beträgt die Entfernung zu den Zellen in der Mitte der Schaltung, also im Bereich B1, etwa 400 μm, während der Weg auf der Massemetallisierung, die außen um die Transistoren herumführt, bis zu den äußeren Zellen in den Bereichen B2 etwa 1000 μm beträgt. Die äußeren Transistorzellen sind folglich über eine mehr als doppelt so große Induktivität in der Massemetallisierung angeschlossen, was sie im Vergleich zu den inneren Zellen praktisch unwirksam macht.

Um eine bessere Verteilung der Welle auf alle Zellen der Transistoren zu gewährleisten, muss das Netzwerk mit Hilfe von elektromagnetischen Simulationen optimiert werden. Es ist davon auszugehen, dass ein solches Netzwerk mehr Chip-Fläche benötigen wird.

6.2.3 Mehrstufige GaN-HEMT-Verstärker. Wie die Darstellungen in den vorangehenden Kapiteln gezeigt haben, können mit MMIC-Verstärkern unter Verwendung von GaN-HEMTs im X-Band sehr hohe Ausgangsleistungen pro Chip-Fläche erzielt werden. Um mit den hier verwendenten Transistoren mit 0,4 μm Gate-Länge eine gut nutzbare Verstärkung von deutlich über 10 dB zu erreichen, sind jedoch mindestens zwei Stufen notwendig.

Die Verwendung mehrerer Verstärkerstufen erleichtert die Eingangsanpassung, da die Gesamt-Gate-Weite in der Vorstufe geringer ist als in der Endstufe, wodurch die Eingangsimpedanz höher ist. Auch die gateseitige Anpassung der Endstufe gestaltet sich insofern leichter, als dass es hier nicht mehr notwendig ist, von beispielsweise 2 Ω auf 50 Ω zu transformieren, sondern lediglich auf die Ausgangsimpedanz der Treiberstufe, welche hier in

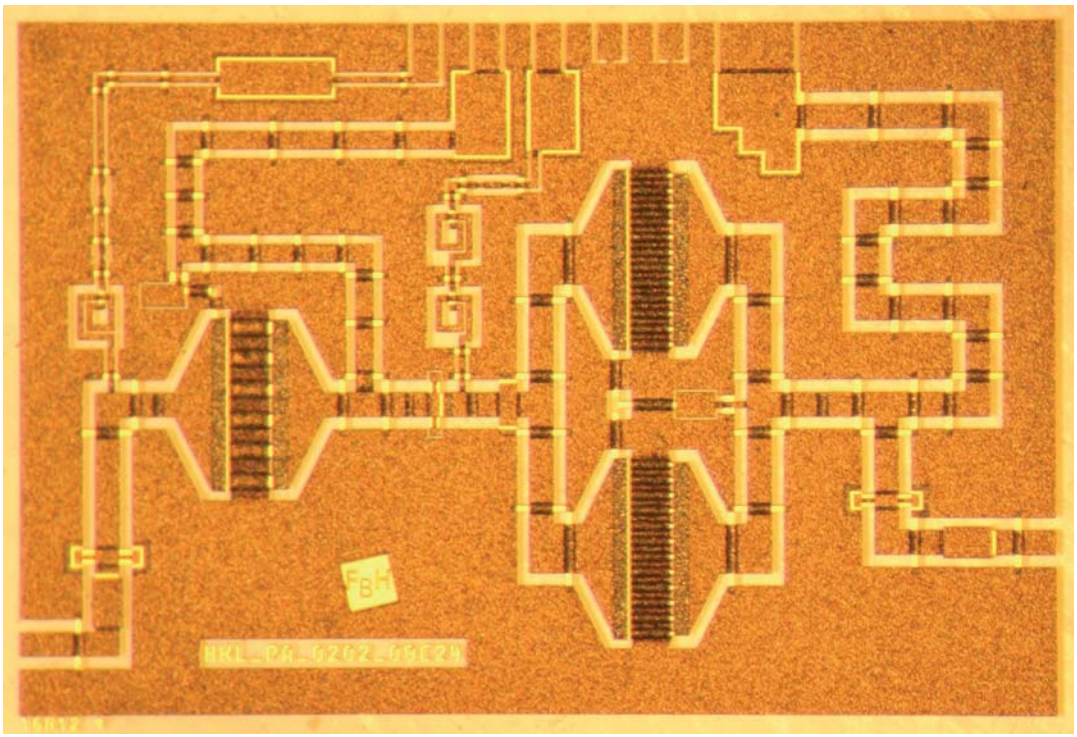


Abb. 6.32 Zweistufiger GaN-HEMT-Verstärker PA-0202-08C24 für 8 GHz: Treiberstufe 12x125 µm, Endstufe 2x24x125 µm.

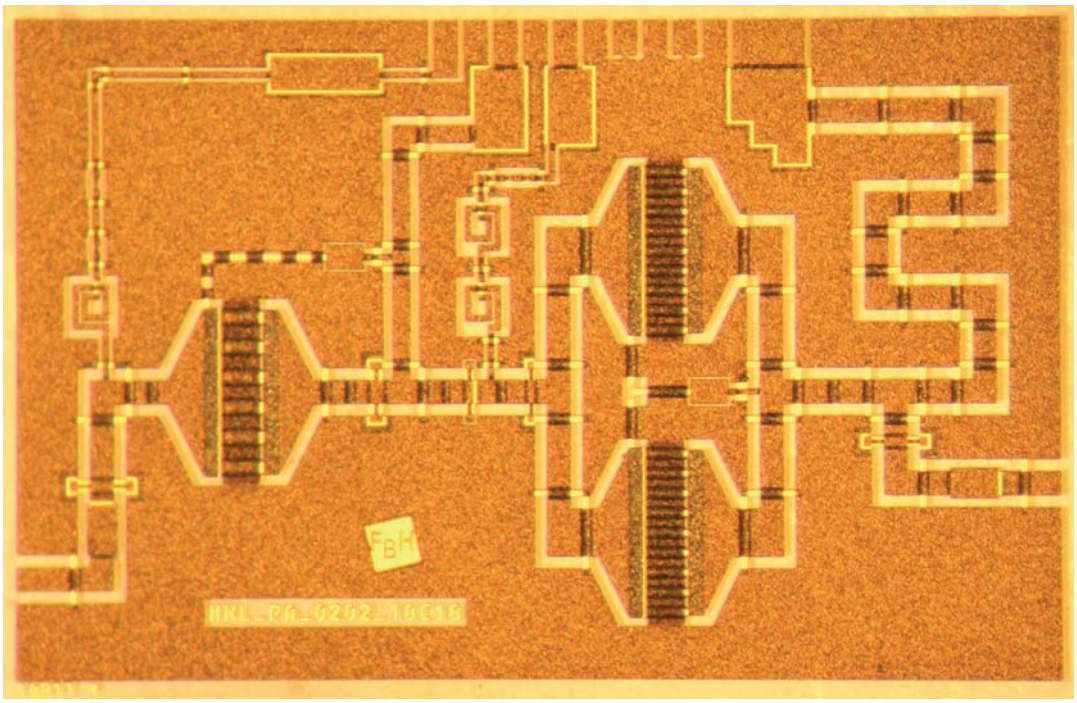


Abb. 6.33 Zweistufiger GaN-HEMT-Verstärker PA-0202-10C18 für 10 GHz: Treiberstufe 12x125 µm, Endstufe 2x18x125 µm.

der Größenordnung von 10 Ω bis 20 Ω liegt. Bei mehreren Stufen wird die Schaltung also vom Eingang her automatisch breitbandiger. Lediglich die ausgangsseitige Anpassung der Endstufe unterscheidet sich bei einstufigen und mehrstufigen Verstärkern nicht.

Die Abbildungen 6.32 und 6.33 zeigen jeweils einen zweistufigen Verstärker mit zwei Transistoren in der Endstufe und einer Chip-Fläche von 2,2x3,3 mm^2 bzw. 2,2x3,5 mm^2. Die Einzel-Gate-Weite aller Transistoren beträgt 125 µm. Die Endstufe des Verstärkers in Abb. 6.33 ist identisch mit dem einstufigen Verstärker, der in Kap. 6.2.2 ausführlich beschrieben wurde und besteht aus zwei Transistoren mit je 18 Gate-Fingern. Für die Treiberstufe wird ein Transistor mit 12 Fingern verwendet. In beiden Stufen bilden die Netzwerke zur DC-Zuführung einen Teil der Anpassungsschaltung.

Durch eine Serienkapazität (ca. 1 pF) werden die beiden Stufen für den Gleichstromfall voneinander getrennt. Auch die Ein- und Ausgänge für das Hochfrequenz-Signal werden über eine Serienkapazität (ca. 5 pF) von der Versorgungsspannung entkoppelt. Die Kapazitäten erzeugen bei niedrigen Frequenzen hohe reaktive Abschlussimpedanzen an den Transistoren, was die Schwingung-Gefar erhöht. Dieser Gefahr wird wie bei den bereits vorgestellten Verstärkern durch Feedback-Netzwerke und durch Widerstände in der Zuführung des Gate-Bias begegnet. Die Widerstände in den Gate-Bias-Zuführungen sind jedoch nach der Herstellung zunächst mit Brücken aus Galvanik-Gold überbrückt, also unwirksam, um unnötige Verluste zu vermeiden. Erst wenn sich auch in der Messung diese Maßnahme als notwendig erweist, kann die dämpfende Wirkung der Widerstände durch Entfernen der Brücken mit einer Nadel aktiviert werden.

Abb. 6.35 zeigt die S-Parameter dieser Schaltung mit der maximalen Verstärkung von etwa 16 dB bei 9,8 GHz und einer 3-dB Bandbreite von 1,5 GHz (9 GHz bis 10,5 GHz).

Abb. 6.37 zeigt eine Leistungsmessung dieser Schaltung bei einer Frequenz von 10 GHz und einer Drain-Spannung von $V_D = 26$ V. Entsprechend den S-Parametern zeigt auch die Leistungsmessung knapp 16 dB lineare Verstärkung. Die maximale Ausgangsleistung beträgt gut 40 dBm (10 W).

Der in Abb. 6.32 gezeigte Verstärker ist hinsichtlich Aufbau und Konzept identisch mit dem gerade beschriebenen Verstärker. Jedoch ist er für eine Mittenfrequenz von 8 GHz anstelle von 10 GHz ausgelegt. Außerdem bestehen die Transistoren in der Endstufe jeweils aus 24 Gate-Fingern bei gleicher geometrischer Größe wie die 18-Finger-Transistoren des Verstärkers in Abb. 6.33. Hier wurde der Gate-Abstand also auf 25 µm verringert. Wie aus der Darstellung der S-Parameter in Abb. 6.34 zu erkennen ist, zeigt der Verstärker über einen sehr großen Frequenzbereich von knapp 6 GHz (3,3 GHz bis 9,2 GHz) mehr als 10 dB Gain. Bei 8,2 GHz wird die maximale Verstärkung von gut 18 dB erreicht. Von dort aus gemessen beträgt die 3-dB

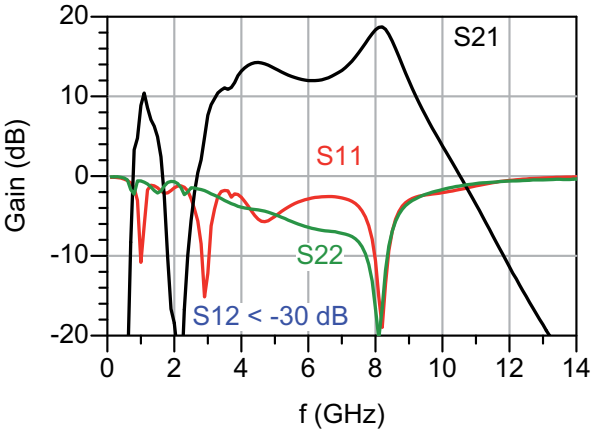


Abb. 6.34 PA-0202-08C24: S-Parameter.

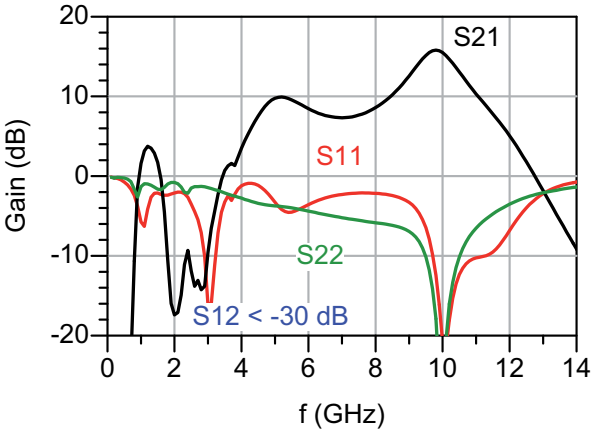


Abb. 6.35 PA-0202-10C18: S-Parameter.

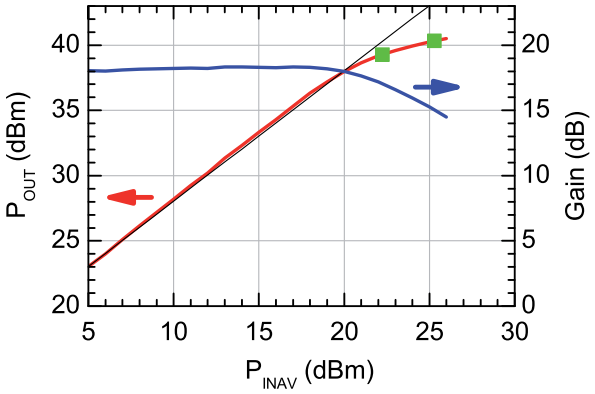


Abb. 6.36 PA-0202-08C24: Leistungsmessung bei 8 GHz, V_{DS} = 24 V.

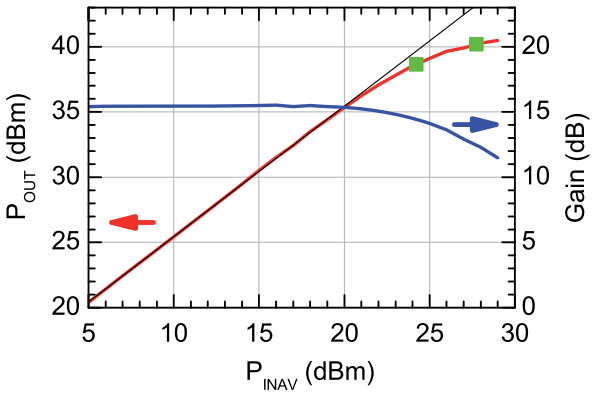


Abb. 6.37 PA-0202-10C18: Leistungsmessung bei 10 GHz, V_{DS} = 26 V.

Bandbreite 1 GHz (7,6 GHz bis 8,6 GHz). Abb. 6.36 zeigt eine Leistungsmessung dieser Schaltung bei einer Frequenz von 8 GHz und einer Drain-Spannung von V_D = 24 V. Die maximale Ausgangsleistung beträgt wiederum gut 40 dBm (10 W). Mit einer Version dieser Schaltung auf einem Wafer mit einer etwas anderen Epitaxie wurden bei 8 GHz und einer Drain-Spannung von 28 V über 16 W Ausgangsleistung erreicht.

Bemerkenswert bei der Leistungsmessung in Abb. 6.36 ist, dass die Verstärkung im Bereich niedriger Leistungen geringer ist als im Bereich hoher Leistungen. Dies lässt sich dadurch erklären, dass durch den sehr geringen Gate-Abstand von 25 µm und die entsprechend hohe Verlustleistung pro Fläche negative thermische Effekte einsetzen, welche die Verstärkung reduzieren. Sobald der Verstärker einen merklichen Anteil der zugeführten DC-Leistung in Form von HF-Leistung abgibt, sinkt die Temperatur der Transistoren und die Verstärkung steigt. Dieser thermische Effekt wurde bei dem zuvor beschriebenen Verstärker mit 33 µm Gate-Abstand noch nicht beobachtet. Hieraus lässt sich ableiten, dass für die Verwendung in Klasse-A- oder Klasse-AB-Leistungsverstärkern bei dieser Art Transistoren der Gate-Abstand nicht unter 33 µm reduziert werden sollte, um negative thermische

Effekte zu vermeiden. Sollte sich die Technologie der Transistoren ändern, so dass höhere maximale Ströme oder höhere Betriebsspannungen verwendet werden, müsste der Gate-Abstand entsprechend vergrößert werden.

6.3 Zusammenfassung

Es wurden verschiedene MMIC-Leistungsverstärker mit GaAs-HBTs und GaN-HEMTs vorgestellt.

Bei den GaAs-Leistungsverstärkern standen prinzipielle Untersuchungen zur Schaltungstopologie, Leistungskombination und Maßnahmen zur Vermeidung von Oszillation und thermischer Instabilität im Vordergrund. Diese Maßnahmen und verschiedene Schaltungsvarianten wurden ausführlich beschrieben. Bei 10 GHz und einer Betriebsspannung von 9 V wurden auf einer Chip-Fläche von ca. 3,5 mm^2 maximale Ausgangsleistungen von etwa 2 W erreicht. Mit den einstufigen Verstärkern wurden bei dieser Frequenz allerdings nur Verstärkungen um 8 dB erreicht, was für einen sinnvollen Einsatz nicht ausreichend ist. Für den Frequenzbereich um 8 GHz erscheint eine hierauf aufbauende Entwicklung von mehrstufigen Verstärkern aber durchaus sinnvoll. Hierbei sollten dann die in Kap. 5.3.2 vorgestellten GaAs-HBTs mit PSG-Zuleitungsstruktur verwendet werden, um möglichst hohe Verstärkungen und Effizienzen zu erzielen.

Bei den GaN-Leistungsverstärkern konnten aufbauend auf den Erfahrungen mit GaAs-MMICs ein- und zweistufige Verstärker mit sehr guten Leistungswerten realisiert werden. Bei 8 bis 10 GHz und Betriebsspannungen bis 28 V wurden auf einer Chip-Fläche von weniger als 8 mm^2 maximale Ausgangsleistungen von 16 W erzielt. Zum Zeitpunkt der Fertigstellung des Verstärkers war der Wert von mehr als 2 W/mm^2 ein internationaler Rekord ([21], [22], [23], [24]). Mit den zweistufigen Verstärkern wurden lineare Verstärkungen von bis zu 18 dB erreicht und die 3-dB Bandbreite lag bei über 1 GHz, ohne dass hierauf besonders optimiert worden war. Diese sehr guten Ergebnisse zeigen eindrucksvoll und anschaulich die Leistungsfähigkeit der GaN-MMIC Technologie. In Kap. 7 wird der Aufbau einiger der hier vorgestellten MMICs zu Verstärkermodulen beschrieben, so dass sie über Standard-Koaxialkabel angeschlossen und beispielsweise als Messverstärker verwendet werden können. Elektromagnetische Simulationen haben gezeigt, dass insbesondere die Strukturen zur Leistungskombination weiter optimiert werden könnten. Es wurde deutlich, dass die hier verwendeten extrem kompakten Strukturen zu unerwünschten Effekten bei der Stromverteilung in der Massemetallisierung und damit zur ungleichmäßigen Ansteuerung verschiedener Transistorbereiche führen. Hierbei handelt es sich um ein

ähnliches Problem, wie es in Kap. 5 für einzelne Transistoren beschrieben und durch die Entwicklung der PSG-Struktur behoben wurde. Eine Weiterentwicklung der GaN-HEMT-Verstärker erscheint äußerst vielversprechend. Durch Verwendung von PSG-Transistoren und durch ausführliche EM-Simulation der Strukturen zur Leistungskombination sind mit hoher Wahrscheinlichkeit noch bessere Leistungswerte als bisher erzielbar.

KAPITEL 7

Aufbau von Verstärkermodulen

In Kap. 6.2.3 wurden zweistufige GaN-HEMT-Verstärker-MMICs beschrieben und die entsprechenden Messdaten diskutiert. Um die guten Leistungswerte dieser Chips praktisch nutzbar zu machen, wurden die MMICs als Module mit koaxialen Anschlüssen aufgebaut. In diesem Kapitel wird zum einen der Aufbau erläutert, zum anderen werden die zugehörigen Messdaten diskutiert.

7.1 Allgemeines zum Aufbau von Hochfrequenzbauelementen

Die bisher gezeigten Messdaten waren ausschließlich On-Wafer-Messdaten. Diese sind hilfreich und notwendig für die Modellierung, Entwicklung und Design-Kontrolle, jedoch ist der Aufwand an Messapparatur erheblich. Für die praktische Verwendung der Bauelemente oder Verstärker müssen diese aus dem Wafer vereinzelt und so in ein Gehäuse eingebaut oder zu Modulen aufgebaut werden, dass sie auch ohne spezielle Labormethoden kontaktiert, weiter verbaut und gemessen werden können. Transistoren im unteren GHz-Bereich werden üblicherweise in Gehäuse eingebaut, um dann als diskrete Bauelemente in hybride Schaltungen eingelötet zu werden. Die Verbindung des Chip-Transistors mit den nach außen geführten Gehäuse-Anschlüssen erfolgt dabei in der Regel mit Bond-Drähten, seltener durch Flip-Chip-Montage. Je höher die Frequenz und die Leistung und je niedriger die Eingangs- und Ausgangsimpedanzen der Bauelemente sind, um so problematischer wirken sich die parasitären Effekte der Gehäuse auf das Verhalten der Bauelemente und damit auf die erzielbaren Verstärkungen und Leistungen aus. Unter diesen Umständen werden Chip-Transistoren daher bevorzugt ohne Gehäuse in eine hybride Schaltung gebondet oder gelötet. Oft wird schon auf dem Chip ein Pre-Matching vorgesehen, um die niedrigen Impedanzen der Bauelemente voranzupassen und damit die negativen Auswirkungen der Gehäuse-Parasitäten und der Bond-Drähte zu verringern. Durch das Pre-Matching wird aber gleichzeitig die Verwendbarkeit der Transistoren auf einen relativ schmalen Frequenzbereich eingeschränkt.

Für MMICs gelten ähnliche Aussagen, jedoch werden hier einige der genannten Schwierigkeiten umgangen, indem bereits auf dem Chip die vollständige Schaltung inklusive der Anpassung an 50 Ω und der DC-Zuführung realisiert wird. Für die praktische Nutzung muss lediglich eine Verbindung zu einfach verwendbaren Anschlüssen, meist Koaxial-Anschlüssen, und zu einer Gleichspannungsversorgung hergestellt werden. Wegen des höheren Impedanz-Niveaus ist der Einfluss von Bond-Parasitäten deutlich unproblematischer als bei einzelnen Transistoren, weshalb bei hohen Frequenzen ICs bevorzugt werden.

Ein weiterer wichtiger Aspekt beim Aufbau von Hochfrequenz-Bauelementen und Verstärkern ist das thermische Management. Meistens haben die Bauelemente im Betrieb eine Effizienz kleiner als 50 %. Somit wird ein erheblicher Teil der zugeführten DC-Leistung in Wärme umgewandelt, welche dann abgeführt werden muss. Der Aufbau der Bauelemente muss folglich zwei wesentliche Kriterien gewährleisten: eine gute elektrische Hochfrequenz-Verbindung und die Abfuhr der Verlustwärme. Je nach Einsatzzweck können weitere Kriterien hinzukommen, unter anderem besondere Kompaktheit und mechanische Stabilität.

7.2 Verstärkermodule mit GaM-MMICs

Der hier durchgeführte Aufbau eröffnet die Möglichkeit, die in Kap. 6.2.3 beschriebenen GaN-MMIC-Verstärker über einfache Konnektoren an Messgeräte anzuschließen und messtechnisch zu untersuchen. Weiterhin sollen die Verstärker auf diese Weise in einen Messaufbau integriert und als Messverstärker eingesetzt werden können. Besondere Anforderungen an Robustheit oder Kompaktheit des Aufbaus sind dabei nicht zu erfüllen. Es soll jedoch möglich sein, defekte Chips möglichst einfach gegen funktionsfähige auszutauschen, damit bei einem eventuellen Ausfall eines Chips nicht das gesamte Modul neu aufgebaut werden muss. Folgende Aspekte sind also beim Aufbau zu berücksichtigen:

- verlustarme und einfache Hochfrequenz-Verbindung
- einfacher Gleichspannungs-Anschluss
- gute Wärmeableitung
- Möglichkeit zum Austausch der Chips

Als äußere Hochfrequenz-Anschlüsse sind SMA-Verbindungen vorgesehen, wie sie an Modulen dieser Art üblich sind. Zur Verbindung der SMA-Konnektoren mit dem Chip wird eine Platine mit 50 Ω CPW-Leitungen verwendet. Diese Leitung wurde so dimensioniert, dass sie von den Abmessungen her einerseits durch Bond-Drähte gut mit dem Chip und andererseits

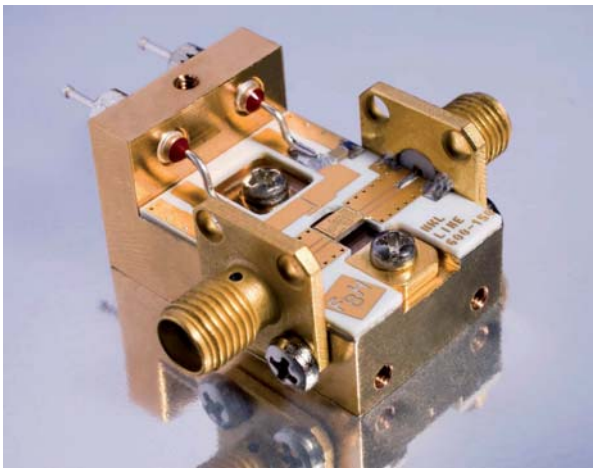


Abb. 7.1 Modul mit eingebautem GaN-Verstärker, DC-Zuführung und koaxialen HF-Anschlüssen.

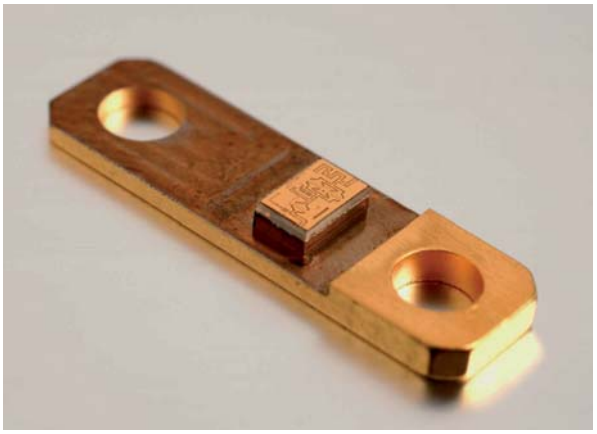


Abb. 7.2 Modifizierter Flansch mit GaN-Verstärker zum Einbau in das Modul aus Abb. 7.1.

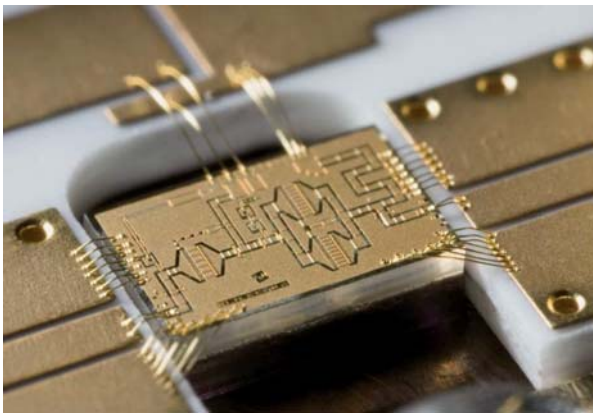


Abb. 7.3 Detailaufnahme des gebondeten GaN-Verstärkers im Modul.

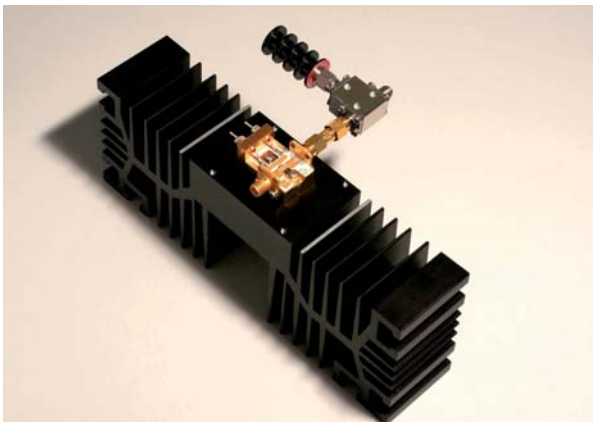


Abb. 7.4 Aufbau des Moduls mit Kühlkörper und Zirkulator.

durch Lötung gut mit den SMA-Konnektoren zu verbinden ist. Durch geeignete Wahl des Substrats wurde sichergestellt, dass die metallisierte Rückseite bzw. das Gehäuse die CPW-Mode nicht negativ beeinflusst und keine unerwünschten Resonanzen auftreten. Die Leitung wurde außerdem möglichst kurz gewählt, um die Verluste gering zu halten. Das komplette Modul ist in Abb. 7.1 dargestellt. Dieses Modul lässt sich nun mit Hilfe von zwei DC-Quellen, einem Netzwerkanalysator und einem Leistungsmesser charakterisieren, ohne dass ein aufwendiger On-Wafer-Messplatz notwendig ist. Um bei Bedarf einen Austausch der Chips zu ermöglichen, werden diese zunächst auf einen kleinen, modifizierten Flansch aus Kupfer-Wolfram gelötet, der normalerweise die Unterseite von Transistor-Gehäusen bildet. Der Flansch ist so modifiziert, dass er auf der einen Seite flacher ist und unter die Platine geschoben werden kann, während der Chip auf einem Podest sitzt (vgl. Abb. 7.2). Auf diese Weise befinden sich die Oberseite des Chips und die

CPW-Leitung der Platine auf gleicher Höhe und können durch kurze Bond-Drähte miteinander verbunden werden (vgl. Abb. 7.3). Sollte die Schaltung zerstört werden, lässt sie sich problemlos gegen eine neue austauschen. Hierzu werden die Bond-Drähte entfernt, der Flansch durch einen neuen mit einem funktionsfähigen Chip ersetzt und der neue Chip durch Bonden wieder mit der Leitung auf der Platine verbunden. Zwar kann dieser Vorgang nicht beliebig oft wiederholt werden, da auch die Flächen auf der Platine nicht beliebig oft neu gebondet werden können, jedoch ist der Aufwand deutlich geringer als ein komplett neuer Aufbau. Für den Einsatz als Messverstärker wird das Modul auf einen Kühlkörper montiert. Um negative Auswirkungen von nicht angepassten Lasten zu eliminieren, kommt am Ausgang ein Zirkulator zum Einsatz. Diese Anordnung ist in Abb. 7.4 zu sehen.

7.3 Messung der aufgebauten GaN-Verstärkermodule

An den aufgebauten GaN-Verstärkermodulen wurden S-Parameter- und Leistungsmessungen durchgeführt. Um die Gefahr der Zerstörung der Chips zu minimieren, wurde dabei die Betriebsspannung auf 20 V begrenzt.

Die S-Parameter des Verstärkermoduls mit dem Chip PA-0202-08C24 sind in Abb. 7.5 dargestellt. Insgesamt besteht eine gute Übereinstimmung mit den On-Wafer-Messungen (vgl. Abb. 6.34). Das Maximum der Verstärkung liegt weiterhin bei 8,2 GHz. Der Betrag der maximalen Verstärkung ist mit ca. 20 dB sogar ca. 1,5 dB höher als bei der On-Wafer-Messung. Bei etwa 6,5 GHz zeigt sich eine Absenkung der Verstärkung um 3 dB auf nur noch 9 dB. Die S-Parameter-Messung des Verstärkermoduls mit dem Chip PA-0202-10C18 ist in Abb. 7.6 dargestellt und zeigt ganz ähnliche Änderungen gegenüber den Daten der On-Wafer-Messung. Die grundsätzliche Übereinstimmung ist sehr gut, jedoch erhöht sich die Verstärkung bei der Betriebsfrequenz von 10 GHz um ca. 1,5 dB geringfügig auf 17,5 dB, während die Verstärkung im Bereich um 7 GHz einen Einbruch zeigt, hier sogar bis hinunter zu 0 dB. Diese Abweichungen werden durch den Einfluss der Übergänge zwischen Koaxial-Leitung und CPW-Leitung sowie durch die Bond-Drähte zwischen Chip und CPW-Leitung verursacht. Offenbar entsteht in diesem Bereich eine Serienresonanz der parasitären Kapazitäten mit den Induktivitäten der Bond-Drähte. Eine andere mögliche Erklärung ist die Überlagerung der Reflexionen an den Übergängen von der SMA-Buchse zur CPW-Leitung und von der CPW-Leitung über die Bond-Drähte zum Chip. Die Gründe hierfür wurden jedoch nicht näher untersucht, da sich dieser Effekt deutlich außerhalb der 3-dB Bandbreite befindet. Bei einem zukünftigen Aufbau sollte diesem Effekt zunächst auf den Grund gegangen werden, um auszuschließen,

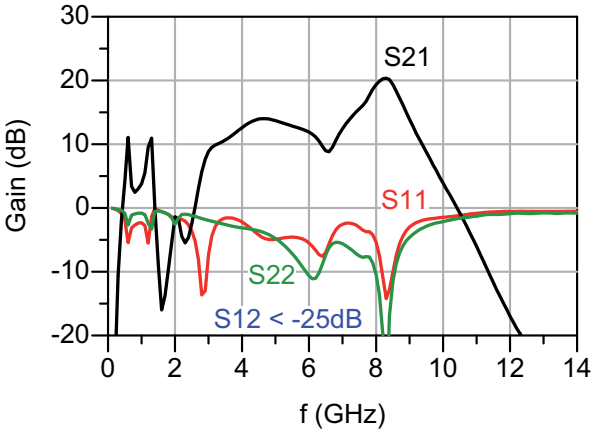


Abb. 7.5 PA-0202-08C24: S-Parameter gemessen an den koaxialen Anschlüssen des Moduls, V_{DS} = 20 V.

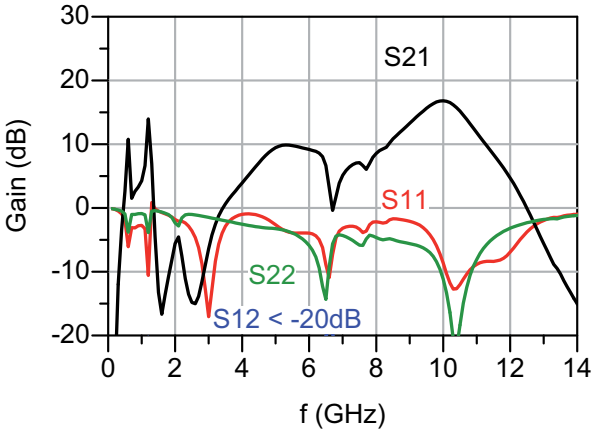


Abb. 7.6 PA-0202-10C18: S-Parameter gemessen an den koaxialen Anschlüssen des Moduls, V_{DS} = 20 V.

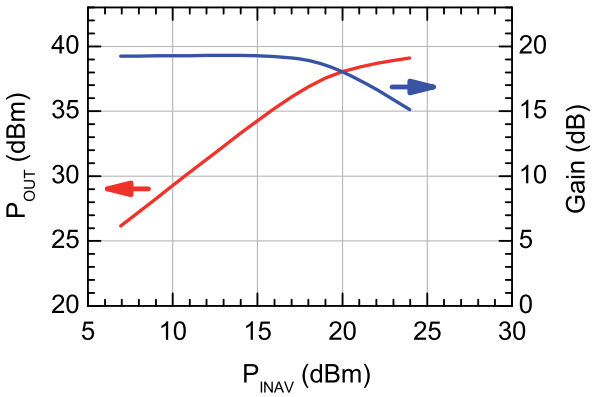


Abb. 7.7 PA-0202-08C24: Leistungsmessung an den koaxialen Anschlüssen des Moduls bei 8 GHz, V_{DS} = 20 V.

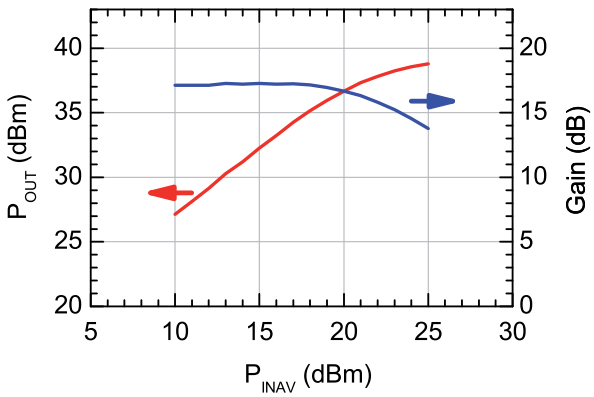


Abb. 7.8 PA-0202-10C18: Leistungsmessung an den koaxialen Anschlüssen des Moduls bei 10 GHz, V_{DS} = 20 V.

dass er in der Nähe der vorgesehenen Betriebsfrequenz auftritt. Ebenfalls bei beiden Aufbauten wurde der Effekt beobachtet, dass die Rückwirkung S_{12} von unter -30 dB auf etwas unter -25 dB bzw. unter -20 dB ansteigt. Diese Werte sind noch unkritisch und wurden daher ebenfalls nicht weiter untersucht. Für einen zukünftigen Aufbau besteht hier aber Optimierungspotenzial.

Abb. 7.7 zeigt eine Leistungsmessung bei 8 GHz des Verstärkermoduls mit dem Chip PA-0202-08C24. In Übereinstimmung mit den S-Parameter-Messungen liegt die lineare Verstärkung knapp unterhalb von 20 dB. Die maximale Leistung liegt mit etwa 39 dBm etwa 1,5 dB unterhalb des Wertes der On-Wafer-Messung.

Dies liegt zum einen an der um 4 V geringeren Betriebsspannung, zum anderen sicherlich an der dadurch leicht geänderten Ausgangsimpedanz, die gleichzeitig eine leichte Erhöhung der Verstärkung bewirkt.

Das Gleiche gilt auch für die Leistungsmessung des Moduls mit dem Verstärker-Chip PA-0202-10C18, die in Abb. 7.8 dargestellt ist: Leicht erhöhte Verstärkung bei leicht reduzierter Ausgangsleistung.

Insgesamt war der Aufbau der GaN-Verstärker-Chips zu Modulen ein Erfolg. Die Module sind nun leicht an eine DC-Versorgung sowie an die übliche koaxiale Umgebung anzuschließen und für verschiedenste Zwecke im Labor einsetzbar. Das Verhalten im Bereich der Betriebsfrequenz hat sich nur geringfügig im Rahmen des Erwarteten geändert. Dies sind die ersten vollständig mit eigener Technologie hergestellten und aufgebauten Verstärkermodule des FBH mit einer Ausgangsleistung von mehreren Watt im X-Band.

KAPITEL 8

Zusammenfassung und Ausblick

Für eine Vielzahl von Anwendungen werden Mikrowellenverstärker mit hoher Ausgangsleistung benötigt. Insbesondere bei tragbaren sowie bei luft- oder weltraumgestützten Sendern sind geringes Gewicht, geringe Größe und hohe Effizienz weitere wichtige Kriterien. Aber auch im Bereich der Medizintechnik, in der allgemeinen mobilen Kommunikationstechnik sowie im Automotive- und Consumer-Bereich werden immer neue Anwendungsfelder für derartige Verstärker erschlossen.

Der in dieser Arbeit besonders betrachtete Frequenzbereich ist das X-Band (8 bis 12 GHz), in dem vor allem Anwendungen wie Satellitenkommunikation und RADAR angesiedelt sind. Hier werden senderseitig Ausgangsleistungen von einigen Watt bis hin zu mehreren Kilowatt benötigt. Zur Realisierung von Ausgangsleistungen oberhalb von 10 W wurden und werden noch immer Elektronenröhren eingesetzt, da bisher keine andere Technologie in der Lage war, in diesem Frequenzbereich derartige Leistungen zu erzeugen. Zu den wesentlichen Nachteilen von Röhren gehört jedoch das hohe Gewicht, der große Platzbedarf, die Notwendigkeit einer Hochspannungsversorgung und einer Heizung, das hohe Eigenrauschen sowie der hohe Leistungsbedarf.

In dieser Arbeit wurden Leistungsverstärker als GaAs- und GaN-MMICs mit Ausgangsleistungen von bis zu 16 W im X-Band vorgestellt. Durch die Verwendung derartiger Halbleiterverstärker eröffnet sich die Möglichkeit, die bisherigen Röhrenverstärker in einigen Anwendungen durch kleinere, leichtere und von der Betriebsspannung her wesentlich vorteilhaftere Verstärker zu ersetzen. Zusätzlich ergeben sich auf der Systemebene ganz neue Möglichkeiten, wie z.B. die Verwendung von Active Phased Arrays.

Zunächst wurden einige prinzipielle Design-studien mit MMICs basierend auf GaAs-HBTs durchgeführt. Hierbei wurden verschiedene Konfigurationen getestet sowie Maßnahmen zur Schwingungsunterdrückung und zur

Verhinderung von thermischer Instabilität entwickelt. Bei einer Betriebsspannung von 9 V wurden hier im X-Band Ausgangsleistungen von ca. 2 W erreicht. Für sinnvolle Verstärkerschaltungen reichte die Verstärkung der verwendeten Transistoren jedoch nur im unteren X-Band aus. Bei 10 GHz waren 10 dB Verstärkung mit einer einzigen Verstärkerstufe kaum noch zu erreichen.

Das Halbleitermaterial Gallium-Nitrid (GaN) bringt physikalische Eigenschaften mit, die höhere Betriebsspannungen und Ausgangsleistungen erwarten lassen, welche mit der am FBH verwendeten Technologie auch erreicht werden. Es wurden GaN-HEMT-MMICs mit einer maximalen Größe von weniger als 8 mm^2 vorgestellt, die bei einer Betriebsspannung von 20-28 V eine Ausgangsleistung von bis zu 16 W im X-Band liefern. Dies stellte zum Zeitpunkt der Veröffentlichung im Jahre 2006 einen internationalen Rekord in Bezug auf die Leistung pro Chip-Fläche dar. Durch den erfolgreichen Aufbau dieser Verstärker zu Modulen wurde ihre praktische Einsatzfähigkeit demonstriert.

Eine grundsätzliche Schwierigkeit der Halbleiterverstärker besteht darin, dass ihre Verstärkung und Effizienz im betrachteten Frequenzbereich mit zunehmender Größe der verwendeten Transistoren sinken. Auch bei der Kombination der Leistung mehrerer Transistoren treten ähnlich nachteilige Effekte auf. Durch Simulationen und Messungen konnte nachgewiesen werden, dass diese Phänomene entscheidend von der Peripherie der Transistoren und den Leitungsstrukturen, insbesondere von der Gestaltung der Massemetallisierung, abhängen. Bei Transistoren mit klassischen T- oder Taperförmigen Verteilstrukturen mit nur einer Masse-Brücke, die quer zur Signalausbreitungsrichtung verläuft, ist die Anbindung der inneren Transistorzellen an die Masse mit einer höheren Induktivität belastet als die der äußeren Transistorzellen. Außerdem wirkt die Zuführung der Masse für Eingang und Ausgang über nur eine gemeinsame Brücke für alle Transistorzellen als Gegeninduktivität, welche die Verstärkung reduziert. Infolgedessen tragen die inneren Zellen mit zunehmender Anzahl von Transistorzellen immer weniger zur Gesamtleistung bei. Hierdurch sinken die Verstärkung und Effizienz des Gesamttransistors.

Als Lösung für dieses grundlegende Problem wurde eine Zuführungsstruktur entwickelt, die über eine baumartige Verzweigung der Signal- *und* Massemetallisierung dafür sorgt, dass zwei entscheidende Verbesserungen erzielt werden:

1. Alle Transistorzellen werden über elektrisch weitgehend identische Leitungslängen und -impedanzen angeschlossen, wodurch sie mit praktisch gleicher Phase und Amplitude arbeiten.
2. Die Massesträme von Eingangs- und Ausgangssignal werden getrennt, wodurch die Gegeninduktivität reduziert und die Verstärkung im kritischen Frequenzbereich erhöht wird.

Mit Hilfe von nichtlinearen Netzwerksimulationen wurde das unterschiedliche Verhalten der einzelnen Transistorzellen in einem Transistor mit bisheriger und mit neuer (PSG-, Plaited Signal Ground) Struktur verglichen. Die Ergebnisse zeigen, dass die äußeren Transistorzellen bei der klassischen T- oder Taper-Struktur stärker ausgesteuert werden als die inneren Zellen. Da die äußeren Zellen früh übersteuert werden, produzieren sie Oberwellen und altern mit hoher Wahrscheinlichkeit schneller als die inneren Zellen. Hieraus kann geschlossen werden, dass die Linearität und vermutlich auch die Lebensdauer von Transistoren mit klassischem Taper schlechter ist als von Transistoren mit PSG-Struktur.

Es wurden GaAs-HBTs und GaN-HEMTs mit verschiedenen Varianten dieser neuen Struktur in koplanarer Umgebung hergestellt und gemessen. Dabei konnten die vorhergesagten positiven Effekte wie höhere Verstärkung und höhere Effizienz nachgewiesen werden. Die Eckfrequenz konnte beispielsweise von 6 GHz auf über 10 GHz gesteigert und damit die Verstärkung sowie die Effizienz in diesem Bereich deutlich erhöht werden. Durch EM-Simulationen und entsprechende weitere Optimierung können die erreichten Leistungsdaten weiter verbessert werden. Aufgrund der gewonnenen Erkenntnisse wurden Design-Empfehlungen für die Größe und Geometrie von Leistungstransistoren im X-Band entwickelt und erläutert.

Transistoren in Mikrostreifen-Umgebung wurden nicht hergestellt. Durch EM-Simulationen konnte jedoch gezeigt werden, dass auch für diese Transistoren die gleichen Verbesserungen erzielt werden wie für Transistoren in Koplanar-Umgebung. Darüber hinaus wird auf diese Weise das Problem der Masse-Vias, deren Notwendigkeit eine der wenigen Nachteile von Mikrostreifen-Leitung im Vergleich zur Koplanar-Leitung ist, gelöst. Bei der klassischen Konfiguration wirkt die nicht unerhebliche Induktivität der Masse-Vias immer als Gegeninduktivität, da sowohl die eingangs- als auch die ausgangsseitigen Massesträme darüber fließen. Durch die Aufspaltung der Vias und ihre Verlegung in Richtung Eingangs- und Ausgangszuleitung werden auch hier die eingangs- und ausgangsseitigen Ströme voneinander getrennt und

die Gegeninduktivitäten in Längsinduktivitäten überführt, die sich durch entsprechende Beschaltung kompensieren lassen. Durch EM-Simulation kann die Position der Vias optimiert werden.

Die beim Einzel-Transistor beobachteten Probleme der ungleichmäßigen Stromverteilung treten in ähnlicher Form auch bei der Zusammenschaltung von Transistoren in MMICs auf. So wurde beispielsweise herausgefunden, dass die besonders kompakte Gestaltung der Netzwerke bei den vorgestellten Verstärkern zu einer ungleichmäßigen Verteilung der Masseströme und damit zu einer nicht idealen Leistungskombination führt. Beim Entwurf weiterer Verstärker sollte daher ein Schwerpunkt auf die EM-Simulation der Netzwerke gelegt werden, um die Aufteilung und Kombination der Signale sowohl in Bezug auf die Transistoren als auch auf die Zellen innerhalb der Transistoren sicherzustellen.

Die direkte Nutzung der Ergebnisse dieser Arbeit betrifft in erster Linie die Ausschöpfung des Potenzials der PSG-Zuführungsstruktur. Dabei geht es zunächst darum, entsprechend den erarbeiteten Empfehlungen weitere Transistoren verschiedener Größe herzustellen und messtechnisch zu charakterisieren, um optimale Typen für die Verwendung in Verstärkern zu bestimmen.

Weiterhin sollte die bessere Linearität und Lebensdauer am realen Objekt nachgewiesen werden. Dies war mangels verfügbarer GaN-Chip-Fläche innerhalb des Zeitraumes dieser Arbeit nicht möglich. Aufnahmen der Transistoren und Verstärker in verschiedenen Belastungszuständen mit einer Wärmebildkamera könnten zusätzliche Hinweise auf eine unterschiedlich starke Aussteuerung verschiedener Transistorbereiche liefern und so bei der Optimierung von Nutzen sein.

Die neuartige Verteilstruktur wurde 2007 als Patent eingereicht. Die in der vorliegenden Arbeit präsentierten Erkenntnisse tragen dazu bei, das Leistungspotenzial der GaN- und GaAs-Technologie für Mikrowellenverstärker möglichst vollständig auszuschöpfen.

ANHANG A

Symbole und Abkürzungen

Abkürzung	Bedeutung
AlN	Aluminium Nitrid
AlGaN	Aluminium Gallium Nitrid
BJT	Bipolar Junction Transistor, Bipolartransistor
BV_{CB0}	Durchbruchspannung
CPW	Coplanar Wave Guide, Koplanarer Wellenleiter
DUT	Device Unter Test, Messobjekt
f_T	Transitfrequenz, es gilt: $\|H_{21}\|^2(f_T) = 1$
f_{max}	maximale Schwingfrequenz, es gilt: $MAG(f_{max}) = 1$
G_P	Power Gain, Leistungsverstärkung
G_{PAV}	Available Power Gain, Verfügbare Leistungsverstärkung
GaN	Gallium Nitrid
GaAs	Gallium Arsenid
Γ_S	Quellreflexionsfaktor
Γ_L	Lastreflexionsfaktor
HBT	Hetero Bipolar Transistor
HEMT	High Electron Mobility Transistor
InGaP	Indium Gallium Phosphid
K	Stabilitätsfaktor nach Rollet
MAG	Maximum Available Gain
MSG	Maximum Stable Gain
MIM	Metal Insulator Metal
MMIC	Microwave Monolithic Integrated Circuit
MOVPE	Metal Organic Vapor Phase Epitaxy
NDF	Normalized Determinant Function
P_{OUT}	Ausgangsleistung
P_{IN}	aufgenommene Eingangsleistung
P_{INAV}	verfügbare Eingangsleistung, P_{IN} available
P_{DISS}	Verlustleistung

Abkürzung	Bedeutung
P_{-1dB}	Leistung im 1dB Kompressionspunkt
PAE	Power Added Efficency, Wirkungsgrad
η	Kollektor-Wirkungsgrad
PSG	Plaited Signal Ground, Verflochtene Signal- und Massemetallisierung
R_{TH}	thermischer Widerstand
REM	Raster Elektronen Mikroskop
$S_{11} \ldots S_{22}$	Zweitor S-Parameter
S'_{11}	S_{11} des Zweitors unter Beachtung der angeschlossenen Lastimpedanz
S'_{22}	S_{22} des Zweitors unter Beachtung der angeschlossenen Quellimpedanz
SiC	Silizium Carbid
SMA	Sub-Miniature Version A (Konnektor Standard)
TL	Transmission Line
V_{BE}	Basis-Emitter-Spannung
V_{CE}	Kollektor-Emitter-Spannung
V_{DS}	Drain-Source-Spannung
V_{GS}	Gate-Source-Spannung
2DEG	zweidimensionales Elektronengas

ANHANG B

Extraktion von Ersatzschaltbild-Elementen

Abb. B.1 zeigt die Segmentierung der Transistorstruktur mit den Zuleitungen. Zu beachten ist, dass aufgrund der Symmetrie des Transistors in allen Abbildungen immer nur eine Hälfte dargestellt ist. Konkret wurden die Zuleitungsstrukturen der am FBH hergestellten GaAs-HBTs und GaN-HEMTs untersucht und optimiert.

Zur Bestimmung der Ersatzschaltbild-Elemente wurde folgender Weg gewählt: Die Metallisierung von Gate, Drain und Source wird in der elektromagnetischen Simulation jeweils an zwei symmetrisch zur Mitte des Transistors angeordneten Transistorzellen kurzgeschlossen, während alle übrigen Transistorzellen offen bleiben. Das in Abb. B.2 kurzgeschlossene Transistor-Element repräsentiert also zwei symmetrisch zur Mitte des Transistors liegende Gate-Finger, die mit den dortigen Source- und Drain-Metallisierungen direkt verbunden sind. Da die aktiven Bereiche in der elektromagnetischen Simulation nicht enthalten sind und die nicht kurzgeschlossenen Finger ein nahzu ideales offenes Ende darstellen, werden die passiven Netzwerke auf ein T-Netzwerk von Induktivitäten reduziert, wie es in Abb. B.3 dargestellt ist. Aus den mit Hilfe der EM-Simulation gewonnenen S-Parametern lassen sich nun die Werte der Induktivitäten bestimmen. Hierfür werden die S-Parameter in Z-Parameter umgewandelt und die Werte der Elemente im Ersatzschaltbild wie folgt bestimmt:

(B.1) $$L_G = \frac{Z_{11} - Z_{12}}{j\omega}$$

(B.2) $$L_D = \frac{Z_{22} - Z_{21}}{j\omega}$$

(B.3) $$L_S = \frac{Z_{21}}{j\omega}$$

Die ermittelten Werte sind frequenzabhängig, wie in Abb. B.4 beispielhaft dargestellt ist und gelten exakt nur für eine Frequenz. Wenn nicht anders angegeben, beziehen sich die in diesem Text genannten Induktivitätswerte immer auf 10 GHz. Die Frequenzabhängigkeit ist dadurch bedingt, dass

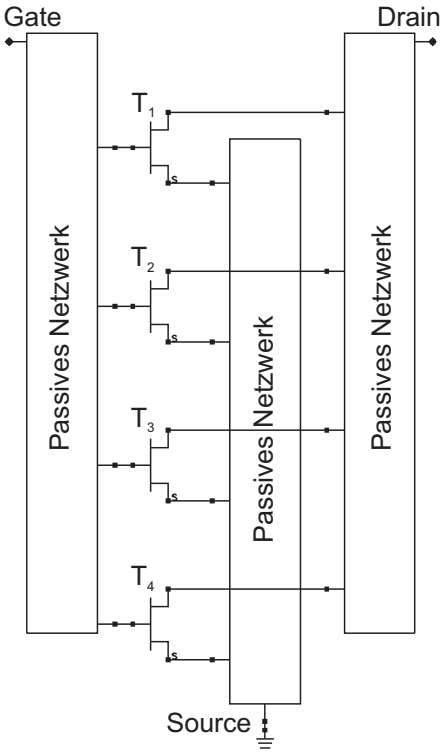


Abb. B.1 Aufteilung des Transistors in aktive Transistor-Elemente und passive Peripherie.

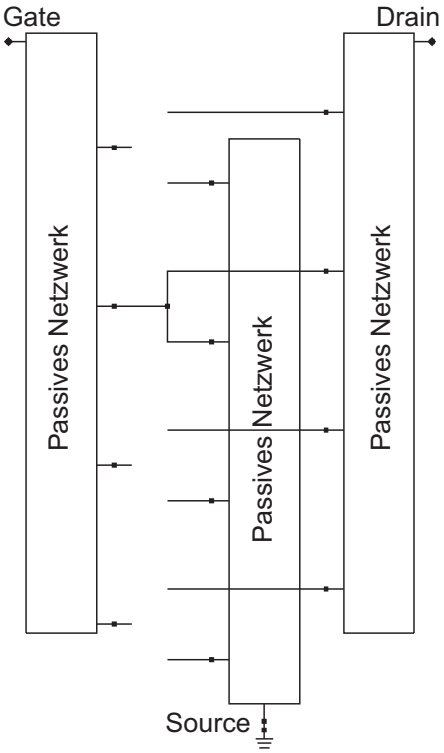


Abb. B.2 Kurzschluss einer aktiven Zelle zur Bestimmung der ESB-Elemente der passiven Netzwerke.

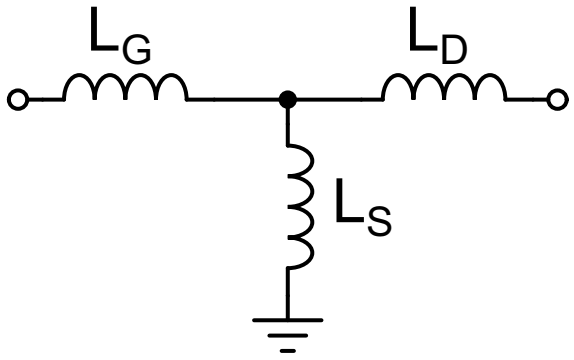


Abb. B.3 Ersatzschaltbild zur Extraktion der Induktivitätswerte für die passiven Netzwerke bei einzeln kurzgeschlossenen Gate-Fingern.

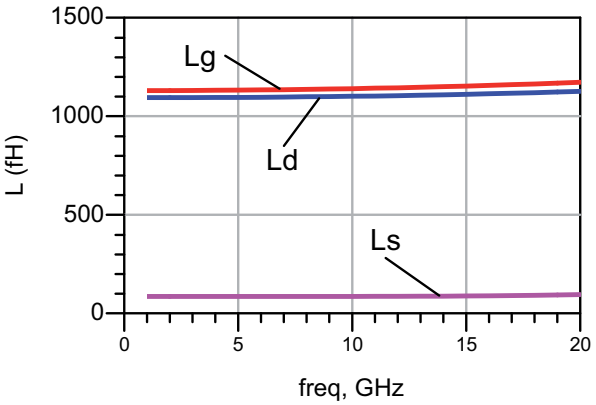


Abb. B.4 Verlauf der Induktivitätswerte des ESB über der Frequenz bei einzeln kurzgeschlossenen Gate-Fingern.

in dem Ersatzschaltbild auf Kapazitäten verzichtet wurde, die zur exakteren Nachbildung des Verhaltens notwendig wären. Da hier aber prinzipielle Betrachtungen im Vordergrund stehen und die Frequenzabhängigkeit relativ gering ist, wird im Sinne größerer Klarheit auf diese Details verzichtet.

Literaturverzeichnis

[1] S. C. Cripps, *RF Power Amplifiers for Wireless Communications*. Norwood, MA: Artech House, 1999.

[2] S. C. Cripps, *Advanced Techniques in RF Power Amplifier Design*. Norwood, MA: Artech House, 2002.

[3] Pieter L. D. Abrie, *Design of RF and Microwave Amplifiers and Oscillators*. Norwood, MA: Artech House, 1999, .

[4] George D. Vendelin, Anthony M. Pavio, Ulrich L. Rohde, *Microwave Circuit Design Using Linear and Nonlinear Techniques*. New York: Wiley & Sons, 1990, 63.

[5] J. M. Rollett, "Stability and Power-Gain Invariants of Linear Twoports," vol. 9, 29–32 no. , March 1962.

[6] M. L. Edwards, J. H. Sinsky, "A New Criterion for Linear 2-Port Stability Using Geometrically Derived Parameters," *IEEE Trans. Microwave Theory Tech.*, vol. 40, 2303-2311 no. 12, Dec. 1992.

[7] Wayne Struble, Aryeh Platzker, "A Rigorous Yet Simple Method For Determining Stability of Linear N-Port Networks," in *GaAs IC Symposium Digest*, 251–254 October 1993.

[8] Motoharu Ohtomo, "Stability Analysis and Numerical Simulation of Multidevice Amplifiers," vol. 41, 983–991 no. 6/7, June/July 1993.

[9] Ana Collado, Franco Ramirez, Almudena Suarez, "Analysis and Stabilization Tools for Microwave Amplifiers," in *IEEE MTT-S Symposium Digest*, 2004.

[10] Ana Collado, J. M. Collantes, Almudena Suarez, "Large-Signal Stability Analysis of Microwave Amplifiers under Complex Modulated Signals with Time-Varying Envelope," in *IEEE MTT-S Symposium Digest*, 2005.

[11] H. Kroemer, "Theory of a Wide-Gap Emitter for Transistors," *Proc. IRE*, 1535-1537 vol. 45, Nov. 1957.

[12] Frank Brunner, *Galliumarsenid-basierte Heterobipolar-Transistoren*. Göttingen: Cuvilier, Dissertation, Universität Fridericiana Karlsruhe, 2002, .

[13] P. Kurpas, A. Maaßdorf, W. Doser, W. Köhler, P. Heymann, B. Janke, F. Schnieder H. Blanck, P. Auxemery, D. Pons, W. Heinrich, J Würfl, "Power GaInP/GaAs HBTs for high voltage operation," in *GaAs Mantech*, 99-102 vol. 3 2003.

[14] F. Lenk, H. Klockenhoff, P. Kurpas, A. Maaßdorf, W. Heinrich, J Würfl, "A 3.2 W Coplanar Single-Device X-Band Amplifier with GaAs HBT," in *European Microwave Conference, Paris*, 2005.

[15] M. Rudolph, *Introduction to Modeling HBTs*. Norwood, MA: Artech House, 2006, .

[16] Jochen Hilsenbeck, *GaN-basierende Feldeffekttransistoren für die Hochtemperatur- und Hochleistungselektronik*. Aachen: Shaker Verlag, Dissertation, Universität Fridericiana Karlsruhe, 2002.

[17] M. Rudolph, F. Schnieder, W. Heinrich, "Investigation of Thermal Crunching Effects in Fishbone-Type Layout Power GaAs-HBTs," in *GaAs Symposium*, 2004.

[18] Guillermo Gonzalez, *Microwave Transistor Amplifiers*. Englewood Cliffs: Prentice-Hall, 1984, p. 121.

[19] B. York, “High Efficiency, Low Noise Power Combining Techniques,” in *International Mircrowave Symposium Workshop, San Francisco*, 2006.
[20] H. Klockenhoff, “High Frequency Transistor with PSG (Plaited Signal Ground) Manifold,” Patent, 2007, Ref.No. 10 2007 041 974.2.
[21] H. Klockenhoff, R. Behtash, J. Würfl, W. Heinrich, G. Tränkle, “A Compact 16 Watt X-Band GaN-MMIC Power Amplifier,” in *International Mircrowave Symposium, San Francisco*, 2006.
[22] J. W. Palmour, J. W. Milligan, J. Henning, et. al., “SiC and GaN based transistor and circuit advances,” pp. 555-558 in *GAAS 2004, Amsterdam, The Netherlands*.
[23] F. van Raay, R. Quay, R. Kiefer, et. al., “A Coplanar X-Band AlGaN/GaN Power Amplifier MMIC on s.i. SiC Substrate,” vol. 15, no. 7, July 2005.
[24] D. M. Fanning, L. C. Witkowski, C. Lee, D. C. Dumka, et. al., “25 W X-Band GaN on Si MMIC,” in *GaAsManTech*, 2005.

Danksagung

Die vorliegende Arbeit entstand während meiner Tätigkeit als wissenschaftlicher Mitarbeiter am Ferdinand-Braun-Institut für Höchstfrequenztechnik (FBH) in Berlin.

Ich danke dem Leiter des Instituts, Herrn Prof. Dr. Günther Tränkle, für die Möglichkeit, diese Arbeit anzufertigen und sein kontinuierliches Interesse an den Ergebnissen. Eine entscheidende Grundlage für die hier erzielten Resultate war das Vorhandensein hervorragender technologischer und messtechnischer Ressourcen, was seiner strategisch und wirtschaftlich geschickten Führung des Instituts zu verdanken ist.

Insbesondere bedanke ich mich bei dem Leiter der Abteilung Mikrowellentechnik, Prof. Dr. Wolfgang Heinrich, für die Betreuung bei der Anfertigung der vorliegenden Arbeit, für die fruchtbaren Diskussionen und Anregungen. Ganz besonders bedanken möchte ich mich dafür, dass er meinen Kollegen und mir ein vorbildlicher Abteilungsleiter war und ist, der durch seine Kompetenz, seine freundliche und klare Art sowie durch hervorragende Organisation für ein motivierendes und gleichzeitig entspanntes Arbeitsumfeld sorgt.

Aus dem Bereich Schaltungsentwurf, Simulation und Modellierung danke ich insbesondere Prof. Dr. Friedrich Lenk, Prof. Dr. Matthias Rudolph, Dr. Franz-Josef Schmückle und Dr. Bernd Janke für die gute Zusammenarbeit, die anregenden Diskussionen und die Unterstützung. Weiterhin danke ich Alexander Kravets, Jens Flucke, Silvio Kühn, Dr. Chafik Meliani, Dr. Peter Heymann, Dr. Roland Gesche, Armin Liero, Thomas Hoffmann und Marko Neuner für die angenehme und freundschaftliche Atmosphäre und die guten Gespräche.

Für die Zusammenarbeit in der Messtechnik bedanke ich mich besonders bei Ralf Doerner für arbeitsintensive Kalibrationen und Verifikation der Messtechnik, sowie bei Jens Schmidt und Steffen Schulz für zahlreiche Messungen.

Aus dem Bereich Technologie und Prozesstechnik danke ich Dr. Frank Brunner, Dr. Paul Kurpas, Dr. Richard Lossy, Dr. Nidhi Chaturvedi und Dr. Reza Behtash für die Zusammenarbeit und hilfreiche Informationen.

Außerdem danke ich Manuela Münzelfeld, der guten Seele der Abteilung, die mir bei allen persönlichen und organisatorischen Belangen mit Rat und Tat zur Seite gestanden hat.

Ich danke meinen Eltern dafür, dass sie mir beispielsweise durch frühe Förderung und eine entsprechende Ausbildung diesen Weg ermöglicht haben. Ebenso danke ich meiner Schwester dafür, dass sie mir immer zur Seite gestanden hat.

Ich danke Andrea Klockenhoff für die vielfältige praktische und organisatorische Unterstützung und für die intelligenten Fragen, mit denen sie mich immer wieder auf neue Ideen gebracht hat.

Ich danke Eva Strehler, unter anderem für das besonders engagierte und professionelle Lektorat.

Lebenslauf

Dr.-Ing. Harald Klockenhoff

7. März 1971	Geboren in Wiesbaden als Sohn von Dipl.-Ing. Paul Klockenhoff und Ursula Klockenhoff, geb. Bruder
1977 – 1981	Besuch der Geschwister-Scholl-Grundschule in Wiesbaden
1981 – 1990	Besuch des Leibniz-Gynmasiums in Wiesbaden Abschluss Abitur
1990 – 1992	Zeitsoldat der Bundeswehr, Reserveoffizierlaufbahn, Leutnant der Reserve
1992	Beginn des Studiums der Elektrotechnik an der RWTH Aachen
1995 – 1996	Auslandsstudium in Frankreich an der Ecole Centrale Paris
2000	Abschluss des Studiums an der RWTH Aachen als Dipl.-Ing. Elektrotechnik
2000 – 2003	Wissenschaftlicher Mitarbeiter am Institut für Theoretische Elektrotechnik der RWTH Aachen und Dekansassistent im Fachbereich Elektrotechnik
2003 – 2008	Wissenschaftlicher Mitarbeiter am Ferdinand-Braun-Institut für Höchstfrequenztechnik in Berlin
2004 – 2007	Ausbildung zum Verkehrsflugzeugführer bei ComFly FTO Berlin
2008 – 2010	Verkehrsflugzeugführer (First Officer) bei Lufthansa CityLine
Seit 2010	Verkehrsflugzeugführer (First Officer) bei Airberlin

Innovationen mit Mikrowellen und Licht
Forschungsberichte aus dem Ferdinand-Braun-Institut Leibniz-Institut für Höchstfrequenztechnik

Herausgeber: Prof. Dr. G. Tränkle, Prof. Dr.-Ing. W. Heinrich

Band 1: **Thorsten Tischler**
Die Perfectly-Matched-Layer-Randbedingung in der Finite-Differenzen-Methode im Frequenzbereich: Implementierung und Einsatzbereiche
ISBN: 3-86537-113-2, 19,00 EUR, 144 Seiten

Band 2: **Friedrich Lenk**
Monolithische GaAs FET- und HBT-Oszillatoren mit verbesserter Transistormodellierung
ISBN: 3-86537-107-8, 19,00 EUR, 140 Seiten

Band 3: **R. Doerner, M. Rudolph (eds.)**
Selected Topics on Microwave Measurements, Noise in Devices and Circuits, and Transistor Modeling
ISBN: 3-86537-328-3, 19,00 EUR, 130 Seiten

Band 4: **Matthias Schott**
Methoden zur Phasenrauschverbesserung von monolithischen Millimeterwellen-Oszillatoren
ISBN: 978-3-86727-774-0, 19,00 EUR, 134 Seiten

Band 5: **Katrin Paschke**
Hochleistungsdiodenlaser hoher spektraler Strahldichte mit geneigtem Bragg-Gitter als Modenfilter (α-DFB-Laser)
ISBN: 978-3-86727-775-7, 19,00 EUR, 128 Seiten

Band 6: **Andre Maaßdorf**
Entwicklung von GaAs-basierten Heterostruktur-Bipolartransistoren (HBTs) für Mikrowellenleistungszellen
ISBN: 978-3-86727-743-3, 23,00 EUR, 154 Seiten

Band 7: **Prodyut Kumar Talukder**
Finite-Difference-Frequency-Domain Simulation of Electrically Large Mìcrowave Structures using PML and Internal Ports
ISBN: 978-3-86955-067-1, 19,00 EUR, 138 Seiten

Band 8: **Ibrahim Khalil**
Intermodulation Distortion in GaN HEMT
ISBN: 978-3-86955-188-3, 23,00 EUR, 158 Seiten

Band 9: **Martin Maiwald**
Halbleiterlaser basierte Mikrosystemlichtquellen für die Raman-Spektroskopie
ISBN: 978-3-86955-184-5, 19,00 EUR, 134 Seiten

Band 10: **Jens Flucke**
Mikrowellen-Schaltverstärker in GaN- und GaAs-Technologie Designgrundlagen und □omponenten
ISBN: 978-3-86955-304-7, 21,00 EUR, 122 Seiten

Cuvillier Verlag
Internationaler wissenschaftlicher Fachverlag