# Kapitel 1

### Einleitung

Im Jahre 1958 läutete Kilby mit dem Bau des ersten integrierten Flipflops das Zeitalter der integrierten Schaltungen ein, und ebnete damit den Weg zu unserer modernen Informations- und Kommunikationsgesellschaft. Der exponentiell anwachsende Einfluss dieser Technologie auf unser heutiges Leben ist unter anderem auf die starke Miniaturisierung der integrierten Schaltungen zurückzuführen. Die Grundbausteine jeder integrierten Schaltung bestehen aus Transistoren, welche die logischen Zustände ein und aus abbilden. Die stete Verkleinerung dieser Bauelemente nach dem Moore'schen Gesetz ist die Triebfeder für die noch heute andauernde Verbesserung der integrierten Schaltungen. Die Kernaussage des Moore'schen Gesetzes ist dabei, ein Kostenoptimum bei gleichzeitiger Verbesserung des Produkts zu erzielen. Daher ist die Halbleiterindustrie darauf bestrebt, sich nach diesem Gesetz zu richten. Der Fahrplan für dieses Gesetz ist in der *ITRS*<sup>1</sup> für die *CMOS*<sup>2</sup>-Technologie verankert. Gegenwärtiger Höhepunkt dieser Entwicklung ist die 45-nm Technologie, die im Jahr 2011 durch die 22-nm Technologie ersetzt werden soll [1]. Die anhaltende Skalierung der Bauelemente bewirkt ein fortwährendes Wachstum an technologischen Erneuerungen und Kosten. Insbesondere sind die steigenden Kosten für die Lithographie, das Übertragen von Strukturen auf das Substrat, ein Hindernis für die Erfüllung des Moore'schen Gesetzes. So benötigt die 32-nm Technologie extremes ultraviolettes Licht (EUV), das nicht mit Glas fokussiert werden kann, und spezielle Hohlspiegel mit maximalen Abweichungswerten von weniger als 1.5 Å benötigt. Diese Technologie ist extrem kostenaufwändig.

Außer den technologischen Problemen trifft die Skalierung der Transistoren auch auf immer mehr physikalische Grenzen. Zu den technologischen Problemen gehören unter anderem auch die Kurzkanaleffekte, welche die Eigenschaften der Transistoren negativ beeinflussen. Zu den physikalischen Grenzen zählen die quantenmechanischen Effekte. So fängt etwa ab einer Kanallänge von 10 nm direktes Tunneln im Kanal an, welches die Steuerung des Transistors erschwert. Die Kurzkanaleffekte können durch aufwändige Prozessschritte teilweise kompensiert werden, jedoch können die quantenmechanischen Effekte nicht aufgehoben werden.

Ursache für die Kurzkanaleffekte ist der steigende Einfluss des Draingebiets auf den Kanal und der damit verbundene Verlust an Gatesteuerung. Um den Einfluss

<sup>&</sup>lt;sup>1</sup>engl.: International Technology Roadmap of Semiconductor Industries (http://www.itrs.net)

<sup>&</sup>lt;sup>2</sup>engl.: Complementary Metal Oxide Semiconductor; CMOS-Bausteine bestehen aus p-Kanal und n-Kanal MOSFETs

des Draingebiets zu reduzieren, müssen dessen elektrische Feldlinien gedämpft werden. Dies wird durch den Einsatz von SOI<sup>3</sup>-Substraten erzielt. Die Feldlinien durchlaufen dabei zum Teil ein Oxid mit einer wesentlich kleineren Dielektrizitätszahl als Silizium, und werden damit effektiv gedämpft. Durch die Wahl einer noch kleineren Dielektrizitätszahl kann eine maximale Dämpfung erreicht werden. Die kleinste mögliche Dielektrizitätszahl beträgt für Luft etwa eins. Dies führt zur Silicon-On-Nothing<sup>4</sup>-Struktur (SON) bei der das Kanalgebiet nicht mehr mit dem Substrat verbunden und nur von Luft umgeben ist. Dieses Konzept wurde erstmals von Monfray und Skotnicki im Jahre 2001 realisiert [2]. Hierdurch konnten die Kurzkanaleffekte im Vergleich zu einem Referenztransistor um mehr als 50 % reduziert werden. Jedoch wurde für diesen lateralen SONFET die Kanallänge von 38 nm mit teurer Lithographie erzeugt. Durch eine vertikale Anordnung des SONFETs können mit Hilfe einer speziellen Technik der Schichtabscheidung Kanallängen im Bereich von 20 nm mit einfacher Kontaktbelichtung realisiert werden. Eisele und Schulze entwickelten daher ein Konzept für den vertikalen fully-depleted Silicon-On-Nothing MOSFET (VFD SONFET). Dieses Bauelement profitiert neben der SON-Struktur auch noch von seinem extrem dünnen Kanalgebiet von etwa 10 nm. Dieses reduziert weiter den Einfluss des Draingebiets und damit die Kurzkanaleffekte.

Ziel dieser Arbeit ist die technologische Umsetzung dieses Konzepts und der Bau eines Prototyps, um die elektrischen Eigenschaften dieses Bauelements studieren zu können. Eine Vorgabe dieser Arbeit war, die Realisierung von sehr kleinen Kanallängen im Bereich von 20 nm zu erzielen. Da die mittlere freie Weglänge von Elektronen im Silizium bei Raumtemperaturen etwa 10 nm beträgt, kann eventuell *ballistischer Transport*<sup>5</sup> für dieses Bauelement beobachtet werden.

Im **Kapitel 2** werden zunächst eine kurze Einführung in die Funktionsweise eines konventionellen MOSFETs gegeben, und wichtige Begriffe für diese Arbeit erläutert. Des Weiteren wird ausführlich auf die Skalierungsproblematik, die daraus resultierenden Kurzkanaleffekte und deren Lösungsansätze der Halbleiterindustrie eingegangen.

Das **Kapitel 3** beschreibt den Aufbau des VFD SONFETs und einige Modelle zur Modellierung der elektrischen Eigenschaften. Diese Modelle sind Ausgangsbasis für Simulationen des VFD SONFETs und die damit verbundene Optimierung der technologischen Parameter. Zum Abschluss dieses Kapitels wird der komplette entwickelte Prozessablauf für den VFD SONFET vorgestellt.

**Kapitel 4** beschäftigt sich mit bereits vorhandenen Technologien, die im Rahmen dieser Arbeit zum Einsatz kamen. Hierzu zählen neben den Reinigungsverfahren, der Nasschemie und der Lithographie auch die thermische Oxidation, die Passivierung und die Metallisierung.

**Kapitel 5** beinhaltet den Schwerpunkt dieser Arbeit, und beschreibt ausführlich die im Rahmen dieser ADissertation entwickelten Prozessschritte und Technologien. Die Kernarbeit liegt dabei in der Entwicklung einer SiGe-Opfertechnik mit hohen Selektivitäten zwischen Silizium und SiGe. Diese Technologie stellt auch die

<sup>&</sup>lt;sup>3</sup>engl.: Silicon On Insulator

<sup>&</sup>lt;sup>4</sup>Übersetzung: Silizium auf Nichts

<sup>&</sup>lt;sup>5</sup>Bei einem ballistischen Transport gelangen die Elektronen von Source nach Drain ohne Stöße mit den Gitteratomen.

Basis für die weitere Entwicklung dar. So konnten hierdurch bereits ein freitragendes Gate realisiert [3] und Studien über die Rekristallisierung von amorphen SiGe durchgeführt werden [4].

Das anschließende **Kapitel 6** umfasst die wichtigsten Ergebnisse der elektrischen Charakterisierung des weltweit ersten realisierten VFD SONFETs. Die Resultate werden mit den simulierten Werten verglichen.

Im **Kapitel 7** werden die Ergebnisse dieser Arbeit zusammengefasst und im **Kapitel 8** wird ein Ausblick über den weiteren Einsatz des VFD SONFETs und die in dieser Arbeit entwickelten Technologien gegeben. Insbesondere werden die Möglichkeiten für die in dieser Arbeit entwickelte SiGe-Opfertechnik bei anderen Bauelementen erläutert.

## Kapitel 2

### **Konventioneller MOSFET**

In diesem Kapitel wird der konventionelle MOSFET und wichtige Begriffe eingeführt, die für das Verständnis des in dieser Arbeit entwickelten VFD SONFETs notwendig sind. Der MOSFET bildet den Grundstein eines Computerprozessors und ist daher von zentraler Bedeutung für die Halbleiterindustrie. Zunächst wird seine Funktionsweise beschrieben. Anschließend wird auf die Skalierung dieses Bauelements eingegangen, durch die der Fortschritt in der Halbleiterindustrie mitgetragen wird. Diese Skalierung stößt allerdings zunehmend an Grenzen, welche ebenfalls in diesem Kapitel erläutert werden. Eine detailliertere Beschreibung dieser Aspekte kann in folgenden Quellen gefunden werden [5] und [6].

### 2.1 Funktionsprinzip des MOSFET

Zur besseren Übersicht wird in diesem Kapitel nur der n-Kanal MOSFET besprochen. Der schematische Aufbau dieses Transistors ist in Abbildung 2.1 dargestellt. Kernstücke des Transistors sind zum einen *pn-Übergänge* und zum anderen eine  $MOS^6$ -Kapazität. Bei einem Transistor werden zwei pn-Übergänge verwendet. Diese werden zu einer npn-Struktur kombiniert, dessen n-Gebiete als *Source* und *Drain* fungieren. Die npn-Struktur ist bei jeder angelegten Spannung zwischen Source und Drain stets in Sperrrichtung gepolt, wodurch der Stromfluss zwischen Source und Drain unterdrückt wird. Die genaue Funktionsweise eines pn-Übergangs kann in [5] nachgelesen werden. Die Höhe der *Potentialbarriere*  $V_{bi}$  eines pn-Übergangs kann nur von Elektronen im Leitungsband überwunden werden, wenn ihre thermische Energie größer als  $eV_{bi}$  ist<sup>7</sup> (siehe Abbildung 2.2). Die thermische Energieverteilung der Elektronen wird durch die *Fermiverteilung* f(W) beschrieben:

$$f(W) = \left(1 + e^{(W - W_F)/k_B T}\right)^{-1}.$$
(2.1)

*W<sub>F</sub>* Fermienergie

 $k_B$  Boltzmannkonstante (1.3807·10<sup>-23</sup> J K<sup>-1</sup>)

*T* absolute Temperatur

<sup>&</sup>lt;sup>6</sup>engl.: Metal Oxid Semiconductor

<sup>&</sup>lt;sup>7</sup>*e*: Elementarladung



**Abbildung 2.1: Schematische Darstellung eines lateralen n-Kanal MOSFETs** Die Sourcespannung *V*<sub>S</sub> wird gewöhnlich geerdet.



### Abbildung 2.2: Schematische Darstellung des Banddiagramms für einen n-Kanal MOSFET

Die Energien der Leitungsbandkante  $W_L$  und der Valenzbandkante  $W_V$  grenzen den Bereich  $W_{\text{Gap}}$  in einem idealen Halbleiter ab, indem keine besetzbaren Zustände für Ladungsträger vorhanden sind. Bei einer positiven Spannung  $V_{DS}$  am Drain werden die Bänder auf der Drainseite um  $eV_{DS}$  erniedrigt. Gilt für die angelegte Spannung am Gate  $V_{GS} < V_{th}$ , so kann nur der blaue Anteil an Elektronen die npn-Barriere überwinden. Dieser Anteil ergibt sich aus der Fermiverteilung f(W) und der Zustandsdichte. Der Transistor ist damit ausgeschaltet. Für  $V_{GS} > V_{th}$  ist der Kanal in Inversion und die Barriere des npn-Überganges senkt sich. Hierdurch kann zusätzlich der rote Anteil zum Strom beitragen. Der Transistor ist im angeschalteten Zustand. Die Fermienergie  $W_F$  definiert die maximale Energie bis zu der Zustände eines Elektronengases bei T = 0 noch besetzt sind. Bei dieser Temperatur entspricht die Fermienergie dem chemischen Potential  $\mu_{chem}$ , das bei Halbleitern den Ladungsschwerpunkt der Elektronen und Löcher angibt. Die Fermienergie ist unabhängig von Dotierungen und der Temperatur. Dennoch wird meistens bei dotierten Halbleitern die Verschiebung des chemischen Potentials mit der Verschiebung der Fermienergie identifiziert. Um die Konsistenz mit der Halbleiterliteratur zu wahren, wird daher auch in dieser Arbeit das chemische Potential mit der Fermienergie gleichgesetzt.

Die MOS-Kapazität fungiert als Schalter, um die Barriere zwischen Source und Drain zu erniedrigen. Da bei einer idealen Kapazität kein Strom fließt, kann der Transistor ohne Stromverlust gesteuert werden. Dies ist ein wesentlicher Vorteil gegenüber einem Bipolartransistor, weshalb in der Herstellung von Logik-Bauelementen hauptsächlich MOSFETs eingesetzt werden. Im Folgenden wird auf die MOS-Kapazität eingegangen und anschließend die elektrischen Kennlinien des Transistors sowie deren Merkmale wie den *Subthreshold Swing* und die *Einsatzspannung* besprochen.

#### **MOS-Kapazität**

 $\epsilon_0$ 

Eine MOS-Kapazität besteht aus einem Metall und einem p-Halbleiter, die durch ein Oxid voneinander getrennt sind. Das System bildet einen Plattenkondensator, dessen Kapazität  $C_{ox}$  pro Fläche wie folgt beschrieben werden kann:

$$C_{ox} = \frac{\epsilon_0 \epsilon_{ox}}{t_{ox}}.$$
 (2.2)

elektrische Feldkonstante  $(8.8542 \cdot 10^{-12} \text{ C V}^{-1} \text{ m}^{-1})$ 

 $\epsilon_{ox}$  Dielektrizitätszahl des Oxids (3.9)

 $t_{ox}$  Dicke des Oxids

Das Metall und der Halbleiter besitzen in der Regel verschiedene Austrittsarbeiten (siehe Abbildung 2.3). Die Differenz  $\phi_{MS}$  der Austrittsarbeit des Metalls  $\phi_M$  und des Halbleiters  $\phi_S$  führt beim Kontakt beider Materialien an das Oxid zu einem Potentialgefälle. Dieses wird durch freie Ladungsträger in den Materialien ausgeglichen, so dass das Ferminiveau im Gleichgewicht in allen drei Materialien gleich ist. Dies bringt eine Verbiegung der Bänder im Halbleiter mit sich. Die freie Ladungsträgerkonzentration im Metall beträgt etwa  $5 \cdot 10^{22}$  cm<sup>-3</sup> und kann, je nach Dotierung des Halbleiters, um mehr als 5 Größenordnungen höher als im Halbleiter sein. Eine Ladungsverschiebung die im Metall beispielsweise eine Verschiebung von 0.01 Monolagen hervorruft, bringt im Halbleiter, bei einer Dotierung von  $10^{15}$  cm<sup>-3</sup>, eine Verschiebung von 1000 Monolagen mit sich [7]. Hierdurch wird eine *Raumladungszone* (RLZ) mit einer Tiefe  $x_D$  an der Grenzschicht zum Oxid ausgebildet, so dass ein p-Halbleiter in diesem Bereich an *Majoritätsladungsträgern* (Löcher) verarmt.

Beim Anlegen einer positiven Spannung  $V_{GS}$  an das Metall (Gate) wird das *Ober-flächenpotential*  $\phi_{Su}$  an der Grenzfläche zwischen Oxid und Halbleiter erhöht:

$$V_{GS} = V_{\text{Oxid}} + \phi_{Su} + \phi_{MS} \,. \tag{2.3}$$

#### V<sub>Oxid</sub> Spannungsabfall über dem Gateoxid

Hierdurch werden mehr Löcher (rote Kreise in Abbildung 2.3b) im Silizium von der Grenzfläche zum Oxid weggedrückt und der Halbleiter verarmt zunehmend an Majoritätsladungsträgern. Dies vergrößert die Weite der Raumladungszone  $x_D$ . Diese kann für den Fall  $\phi_{Su} = 2\phi_F$  durch folgende Gleichung abgeschätzt werden [6]:

$$x_D = \sqrt{\frac{2\epsilon_o \cdot \epsilon_{ox}}{e \cdot N_A} \cdot \phi_F} \,. \tag{2.4}$$

- *N<sub>A</sub>* Akzeptordichte im Silizium
- $\phi_F$  Potenzialdifferenz zwischen intrinsischer Energie  $W_i$  und Fermienergie  $W_F$

Die ortsfesten Dotieratomrümpfe (blaue Rechtecke in Abbildung 2.3b) wirken mit ihrer negativen Ladung  $Q_D$ 

$$Q_D = -eN_A x_D \tag{2.5}$$

dem Oberflächenpotential entgegen. Gleichzeitig sammeln sich immer mehr *Minoritätsladungsträger* (Elektronen) an der Grenzfläche an und beginnen eine Inversionsschicht (blaue Kreise in Abbildung 2.3c) aufzubauen. Es werden folgende Fälle für die Grenzfläche im Silizium zum Oxid unterschieden:

$\phi_{Su}$	<	0	Akkumulation	der Majoritätsladungsträger
$\phi_{Su}$	<	$\phi_F$	Verarmung	beginnt mit Ausbildung der Raumladungszone;
$\phi_{Su}$	=	$\phi_F$		die Ladungsträgerkonzentration entspricht dem
				intrinsischen Fall von $n_i=10^{10}$ cm <sup>-3</sup> (siehe Abbil-
				dung 2.3b)
$\phi_{Su}$	>	$\phi_F$	Inversion	beginnt, da mehr Minoritätsladungsträger als Ma-
				joritätsladungsträger vorhanden sind
$\phi_{Su}$	=	$2\phi_F$	moderate Inversion	beginnt und die Elektronenkonzentration ent-
				spricht der Volumenkonzentration der Löcher im
				p-Substrat (siehe Abbildung 2.3c)
$\phi_{Su}$	=	$2\phi_F$	starke Inversion	beginnt
-		$+6k_BT$		-

In moderater Inversion kann somit das Kanalgebiet bei einem Transistor invertiert werden und die npn-Barriere wird abgebaut.

#### Einsatzspannung

Durch das Anlegen einer Spannung unterhalb bzw. oberhalb einer Einsatzspannung an das Gate, wird der Transistor aus- bzw. eingeschaltet. Als Definition für die *Einsatzspannung V*<sub>th</sub> für moderate Inversion gilt die Bedingung  $\phi_{Su}=2\phi_F$ . Die Einsatzspannung ist dann gegeben durch [7]:

$$V_{th} = V_{FB} + 2\phi_F - \frac{Q_D}{C_{ox}}.$$
 (2.6)



#### Abbildung 2.3: Schematische Darstellung des Bänderdiagramms für eine MOS-Kapazität

a) Ohne Kontakt sind die Bänder der jeweiligen Materialien nicht verbogen. b) Nach der Kontaktierung und dem Anlegen einer Gatespannung  $V_{GS} < V_{th}$  bildet sich eine Raumladungszone aus. Die Löcher (rote Kreise) werden von der Grenzfläche zum Oxid weggedrückt und die Dotierrümpfe (blaue Rechtecke) wirken dem veränderten Oberflächenpotential  $\phi_{Su}$  entgegen. c) Für  $\phi_{Su}=2\phi_F$  beginnt die moderate Inversion (blauer Kreis).