

Inhaltsverzeichnis

Inhaltsverzeichnis	ix
Abbildungsverzeichnis	xiii
Abkürzungsverzeichnis	xv
Liste der verwendeten Formelzeichen	xix
1 Einleitung	1
1.1 Systems-on-Chip	3
1.2 Globale Verbindungsnetze bei Systems-on-Chip	5
1.2.1 Die Dominanz von Leitungen in integrierten Schaltungen	5
1.2.2 Hierarchische Leitungssysteme	8
1.2.3 Leitungsmodelle	9
2 Test von Systems-on-Chip	13
2.1 Schwierigkeiten beim Test eingebetteter Cores	16
2.2 Testfreundlicher Entwurf eingebetteter Cores	17
2.2.1 Testmustererzeugung und Testauswertung	18
2.2.2 Selbsttest mit BILBOs	20
2.2.3 Selbsttest mit programmierbaren Mikroprozessor-Cores	22
2.2.4 Eingebetter deterministischer Test	23
2.3 IEEE 1500 Standard für den Test Core-basierter Systeme	24

3	Test von Inter-Core Verbindungsnetzen	27
3.1	Fehlermodelle für Verbindungsnetze	27
3.1.1	Statisches Fehlermodell für Leitungssysteme	28
3.1.2	Maximum Aggressor Fehlermodell	31
3.2	On-Chip Testmustererzeugung	36
3.3	On-Chip Testauswertung	39
4	Testimplementierung für ein Multiprozessorsystem	43
4.1	Systemarchitektur	43
4.1.1	Übersicht über die Architektur der Prozessorknoten	46
4.1.2	Fehlertoleranzkonzept	47
4.1.3	Testkonzept	48
4.2	Exemplarische Implementierung eines Selbsttests	50
4.2.1	Videoprozessorkern	50
4.2.2	Anwendungsspezifische Schnittstellen im Prozessorknoten	51
4.2.3	DRAM und Controller	51
4.2.4	Leitungssysteme	52
4.2.5	Fehlerabdeckung	53
4.3	Bewertung der Schaltungsentwicklung für die AxPe-GIS	54
5	Schieberegister-basierter Selbsttest von Inter-Core Verbindungsnetzen	57
5.1	Testverfahren für Verbindungsnetze mit induktiver Kopplung	57
5.2	On-Chip Testmustererzeugung mit Schieberegistern	60
5.3	On-Chip Testauswertung mit MISR	66
5.3.1	Aliasing durch die Testauswertung mit rückgekoppelten Schieberegistern	67
5.3.2	Fehlersimulation für Inter-Core Verbindungsnetze	69
5.4	Ablaufplan für den Selbsttest der Verbindungsnetze	72
5.4.1	Verbindungsgraph von Leitungssystemen	73
5.4.2	Kopplungsgraph von Leitungssystemen	78
5.5	IEEE 1500 Core-Test-Wrapper für den Bustest	82

6 Messung von Leitungskopplung mit einer digitalen Testschaltung	87
6.1 Testschaltung ACSelfTest	88
6.1.1 Testmustergenerator TPG	89
6.1.2 Testauswerter ORA	91
6.1.3 Testbus BusK	92
6.1.4 Fehlerdiagnose mit dem Leitungsselbsttest	95
6.2 Modellbasierte Verifikation der verwendeten Tests	95
6.2.1 Schaltungs- und Leitungsmodell	96
6.2.2 Simulationsergebnisse	100
6.3 Ergebnisse des Hardwaretest	103
6.3.1 Messergebnisse	105
6.3.2 Berechnung des Kopplungseinflusses aus Messdaten	108
6.4 Bewertung der Messergebnisse	111
 7 Zusammenfassung	 115
 Literaturverzeichnis	 118
 Wissenschaftlicher Werdegang	 127