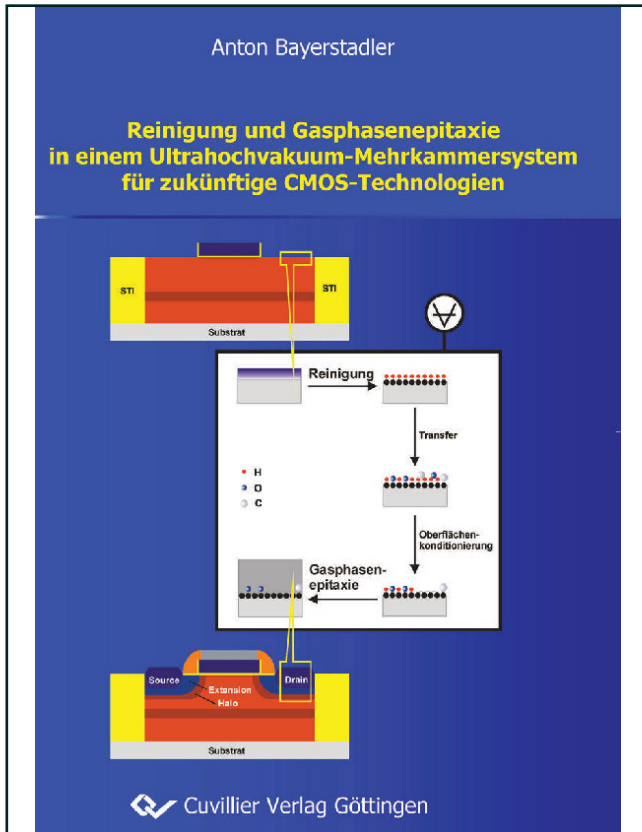




Anton Bayerstadler (Autor)  
**Reinigung und Gasphasenepitaxie in einem Ultrahochvakuum-Mehrkammersystem für zukünftige CMOS-Technologien**



<https://cuvillier.de/de/shop/publications/2045>

Copyright:

Cuvillier Verlag, Inhaberin Annette Jentzsch-Cuvillier, Nonnenstieg 8, 37075 Göttingen, Germany

Telefon: +49 (0)551 54724-0, E-Mail: [info@cuvillier.de](mailto:info@cuvillier.de), Website: <https://cuvillier.de>

# Kapitel 1

## Einleitung und Motivation

Die Erfindung des Bipolar-Transistors im Jahre 1947 durch *Bardeen und Brattain* [1] rückte Germanium<sup>1</sup> als bevorzugtes Halbleitermaterial in den Vordergrund. Die Fa. *Texas Instruments* brachte 1954 die ersten Transistoren aus Silizium auf den Markt, wodurch die Ausgangsleistung und die Betriebstemperatur der Transistoren erhöht werden konnten [2]. Damit wurde das sog. „Silizium“-Zeitalter eingeläutet und die Siliziumtechnologie [3] entwickelt sich seit über fünfzig Jahren als Basis der Halbleitertechnologie fort [4, 5].

Die Herstellung der ersten MOSFET<sup>2</sup>s mit Siliziumdioxid als Dielektrikum führte zum Durchbruch der MOS-Technologie [6]. Die Erhöhung der Komplexität und Funktionalität von Speicherbausteinen, Logikbausteinen und Prozessoren für den Massenmarkt erfolgt dabei unter den Rahmenbedingungen von Wirtschaftlichkeit und Optimierung des Leistungsverbrauchs. Die Entwicklung zukünftiger CMOS<sup>3</sup>-Technologien wird durch die SIA<sup>4</sup>-Roadmap [7] vorgegeben.

Die Herausforderungen bei der Skalierung von CMOS-Transistoren liegt dabei insbesondere in der Kontrolle von Leckströmen bei ausgeschalteten Transistoren [10, 11], wie anhand der Eingangskennlinie (bzw. Steuerkennlinie) eines Transistors in Abbildung 1.1 a) schematisch angedeutet ist. Die Bewältigung der Kurzkanaleffekte (SCE<sup>5</sup>) erfolgte in den letzten Jahren primär durch das Design der n- bzw. p-Dotierprofile im Transistor. In Abbildung 1.2 ist ein state-of-the-art nMOSFET schematisch dargestellt. Mit Ionenimplantation wird in heutigen Technologien die Kanal-Dotierung ( $V_T$ -Kontrolle), die Anti-Punch-Dotierung, die Halo- und Drain-Extension-Dotierung eingestellt [8, 9].

Durch ultradünne Source/Drain-Gebiete (engl.: ultra shallow junctions) konnte der Leckstromanteil  $I_{Source}$  reduziert werden. Die LDD<sup>6</sup>-Implantation des Extensiongebietes dient zum Abbau von elektrischen Feldspitzen in Kurzkanaltransistoren. Die Halo-Implantation dient zur Reduzierung des DIBL<sup>7</sup>. Um den sog. „Roll-off“-Effekt (Abnahme der Schwellwertspannung  $V_T$  mit der Kanallänge) zu unterbinden, verhindert die Halo-Dotierung eine Überlappung der Raumladungszonen von Source und Drain [8]. Als Folge der mittlerweile sehr hohen „LDD“-Dotierungen in den S/D-Extensiongebieten kann andererseits im Überlappbereich von LDD

---

<sup>1</sup> Germanium hat einen geringeren Schmelzpunkt (siehe Tabelle A.2 im Anhang), weshalb Germanium-einkristalle mit hoher Reinheit gezogen werden konnten.

<sup>2</sup> **M**etal **O**xide **S**emiconductor **F**ield **E**ffect **T**ransistor

<sup>3</sup> **C**omplementary **M**OS

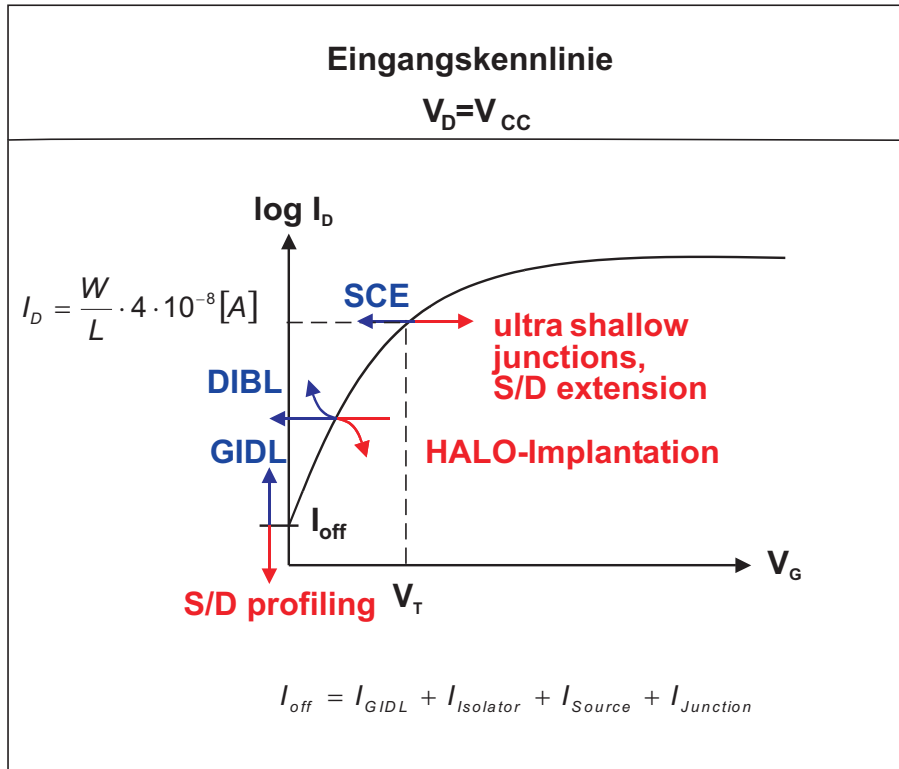
<sup>4</sup> **S**emiconductor **I**ndustry **A**ssociation

<sup>5</sup> **S**hort **C**hannel **E**ffect

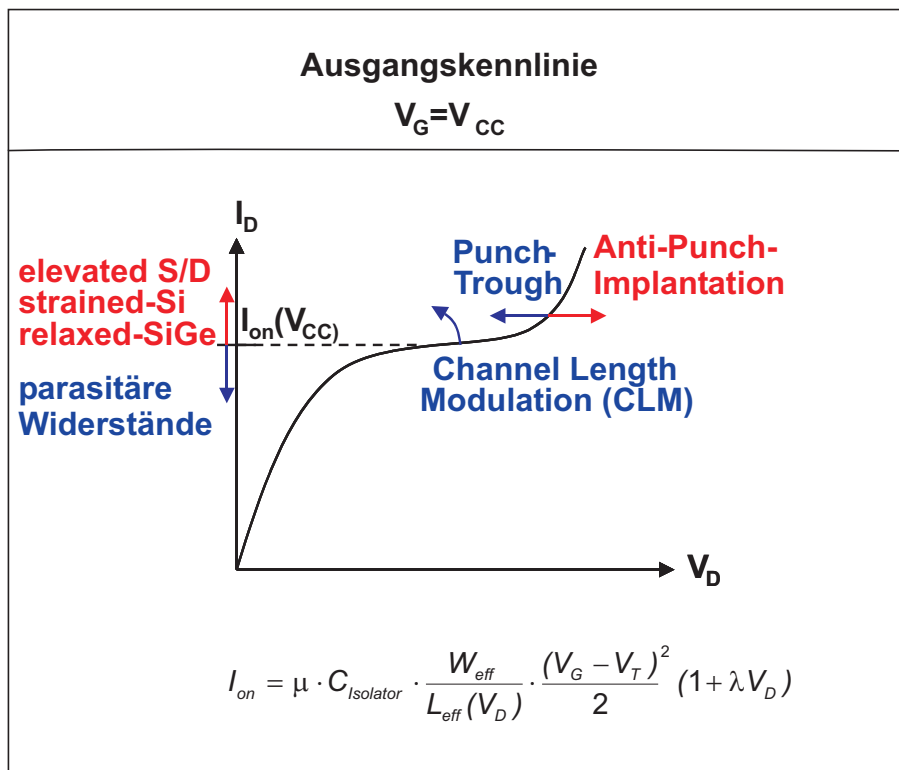
<sup>6</sup> **L**ightly **D**oped **D**rain

<sup>7</sup> **D**rain **I**nduced **B**arrier **L**owering

a)



b)



**Abbildung 1.1:** MOSFET-Skalierung: Transistoreffekte auf a) die Eingangskennlinie und b) die Ausgangskennlinie eines CMOS-Transistors und Ansatzpunkte für die CMOS-Technologieentwicklung. Erklärung der Parameter zur Beschreibung der „Off“- bzw. „On“-Ströme finden sich im Text oder in der Literatur [8–10].

und Gate-Elektrode GIDL<sup>8</sup> zum Leckstrom beitragen, welcher nur durch entsprechendes „S/D profiling“ minimiert werden kann [8, 9].

Die Ionenimplantation ist ein relativ billiges und flexibles Herstellungsverfahren in der Chipfertigung, während die Epitaxie im Vergleich dazu um einiges teurer ist. Technologische Vorteile können Epitaxie aber wieder ins Spiel bringen, wie derzeitige Entwicklungsansätze beweisen. Die drei wesentlichen Transistorbereiche, in denen Epitaxie derzeit zur möglichen Anwendung ansteht, sind das Substrat ( $\Rightarrow$  **Substat-Engineering**), das Kanalgebiet ( $\Rightarrow$  **Kanal-Engineering**) und die Source/Drain-Kontakte ( $\Rightarrow$  **Kontakt-Engineering**), wie am Beispiel eines state-of-the-art nMOSFET in der Abbildung 1.2 zusammengefasst ist.

Ein Schwerpunkt soll dabei für die nächsten CMOS-Technologien bis einschließlich der 45 nm-Node im **Kontakt-Engineering** liegen [12, 13]. Um parasitäre Anschlusswiderstände in den komplexen Designs heutiger Schaltungen auszugleichen, muss der „on“-Strom  $I_{on}(V_{CC})$  (bei angelegter Betriebsspannung  $V_{CC}$ ) als möglicher Ansatzpunkt erhöht werden. Technologisch soll dies für zukünftige CMOS-Technologien ( $\geq 45$  nm) laut SIA-Roadmap [7] durch den Einsatz von erhöhten Source/Drain-Kontakten (engl.: raised S/D bzw. elevated S/D) gewährleistet werden. Damit können Silizide für niedrige S/D-Kontaktanschlusswiderstände bei gleichzeitig ultradünnen S/D-Anschlussgebieten hergestellt werden.

Seit der grundsätzlichen Idee von *Wong et al.* [14] im Jahre 1984 wurden in den letzten Jahren viele Aspekte zur Herstellung von eSD<sup>9</sup>-Strukturen (manchmal auch rSD<sup>10</sup> genannt) mittels selektiver Epitaxie (SEG<sup>11</sup>) untersucht [15–17]. Für die industrielle Umsetzung ergeben sich dabei folgende technologische Anforderungen [16]:

- Moderate Temperaturen aufgrund der lateralen Ausdiffusion von Dotierstoffen des Extensiongebietes in den Kanalbereich und der vertikalen Extensionabgrenzung ( $T \leq 800$  °C) [17]
- Kontrolle der Epi-Facettierung bei SEG an der Spacer-Kante für die Silizidbildung
- Hohe Selektivität der Si- bzw. SiGe-Abscheidung (SEG) bzgl.  $\text{SiO}_2$  und  $\text{Si}_3\text{N}_4$  als dielektrische Maskenmaterialien zur Vermeidung von Kurzschlüssen zwischen Source und Drain („S/D bridging“)
- Niedrige Defektdichte der Epi-SEG-Schicht als Voraussetzung für Folgeprozesse [16]
- Akzeptable Schichtdickenhomogenität für die Gewährleistung von industrieller Massenproduktion
- Kompatible Vorreinigung vor der Epitaxie unter Berücksichtigung der obigen epitaktischen Rahmenbedingungen

In der Literatur findet man Herstellungsverfahren von eSD-Gebieten mit [18] und ohne [19–23] vorherige S/D-Ionenimplantation. Auch die in-situ-Dotierung der eSD-Gebiete wurde untersucht [24].

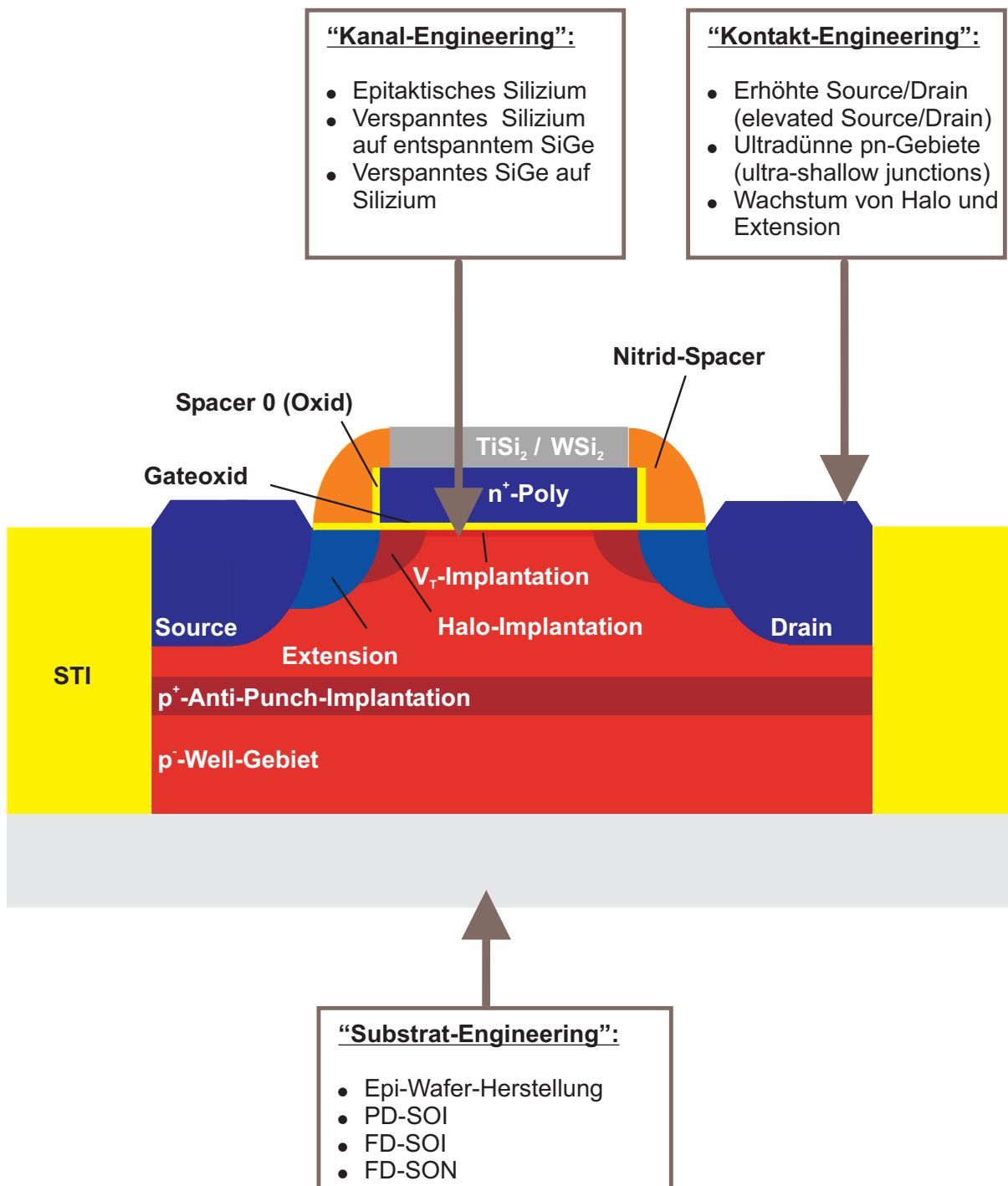
---

<sup>8</sup> Gate Induced Drain Leakage

<sup>9</sup> elevated Source/Drain

<sup>10</sup> raised Source/Drain

<sup>11</sup> Selective Epitaxial Growth



**Abbildung 1.2:** Technologische Ansätze und Entwicklungen bei der CMOS-Technologie mithilfe von Epitaxie. Hier ist ein state-of-the-art nMOSFET dargestellt, bei dem sich drei wesentlichen Transistorbereiche „Substrat-Engineering“, „Kanal-Engineering“ und „Kontakt-Engineering“ unterscheiden lassen, bei denen die Si/SiGe-Epitaxie Verwendung findet und finden kann.

*Gannvaram et al.* [25] gehen einen Schritt weiter und schlagen vor, das Extensiongebiet des MOSFETs ebenfalls epitaktisch herzustellen und somit die Extension-Ionenimplantation durch einen isotropen Si-Ätzschritt kombiniert mit einem epitaktischen Auffüllen des Extensiongebietes mit in-situ-dotiertem Si bzw. SiGe zu ersetzen. Der Vorteil gegenüber der Ionenimplantation liegt in der Herstellung von ultradünnen, scharf abgegrenzten und hochdotierten Drain-Extensiongebieten. Eine hohe in-situ-Dotierung über die Löslichkeitsgrenze bei gleichzeitig selektiver SiGe-Abscheidung ist dabei gefordert [16, 26–29].

Da bei diesem Ansatz das Gatedielektrikum durch Unterätzen des Spacers teilweise gewollt oder ungewollt freigelegt wird, müssen die obigen Anforderungen an eine selektive Gasphasenepitaxie inklusive Reinigung durch weitere Anforderungen ergänzt werden.

Im Rahmen dieser Arbeit sollen Prozesse für das **Kontakt-Engineering**, insbesondere also zur Herstellung von eSD und epitaktischen S/D-Extensiongebieten für zukünftige CMOS-Technologien unter folgenden Rahmenbedingungen untersucht werden:

- (a) Prozessierung in einem Mehrkammersystem (Clustertool)
- (b) Niedertemperaturprozesse ( $T \leq 800 \text{ }^\circ\text{C}$ )
- (c) Selektive Epitaxie (SEG)
- (d) Elimination von Chlorchemie

Die Notwendigkeit dieser Rahmenbedingungen wird im Folgenden kurz dargestellt:

**(a) Prozessierung in einem Clustertool:** In-Situ-Reinigung des Substrats vor der Epitaxie ist der Ex-Situ-Reinigung von Silizium vorzuziehen, um eine Kontamination zwischen den Prozessschritten zu verhindern. Insbesondere ist eine in-situ-Prozessierung beim isotropen Ätzen des Extensiongebietes notwendig, was die Notwendigkeit eines zusätzlichen Reinigungsschrittes vor der Epitaxie des Extensiongebietes eliminieren sollte [28].

**(b) Niedertemperaturprozesse ( $T \leq 800 \text{ }^\circ\text{C}$ ):** Eine Erniedrigung der Temperatur bezieht sich auf die Vorreinigung und die Epitaxie selbst. Für die Epitaxie stellt die Temperaturbeschränkung i. a. keine Begrenzung dar, da SiGe als bevorzugtes Material bereits bei sehr viel niedrigeren Temperaturen selektiv abgeschieden werden kann [17]. Standardmäßig wird in der Industrie der  $\text{H}_2$ -bake mit Temperaturen  $T \geq 1000 \text{ }^\circ\text{C}$  als Vorreinigung genutzt [30]. Die Reinigungstemperatur kann durch die Beimengung von Dichlorsilan (DCS) zu Wasserstoff um ca. (150 - 200)  $^\circ\text{C}$  gesenkt werden [31, 32]. Der Ansatz, diesen DCS-basierten Reinigungsschritt im Anfangsstadium des Wachstumsprozesses zu integrieren, konnte als Kompromiss zwischen Abscheidung und Oxidentfernung wiederum nur bei Temperaturen höher als  $800 \text{ }^\circ\text{C}$  erfolgen [31]. Eine Absenkung der  $\text{H}_2$ -bake-Temperatur auf ca.  $900 \text{ }^\circ\text{C}$  mit Unterstützung eines „ $\text{HF}^{12}$ -Dips“ bzw. eines HF-Dampf-Prozesses [33] ist nicht ausreichend. Eine weitere Absenkung der Temperatur unter Beibehaltung des Waferdurchsatzes bei der Prozessierung ist nur bei Verwendung eines Clustertools möglich [30]. Allerdings kann auf eine zusätzliche Ex-situ-Entfernung des Oxids nicht verzichtet werden.

---

<sup>12</sup> Hydrofluoric acid

(c) **Selektive Epitaxie (SEG):** Selektive Epitaxie bei niedrigen Temperaturen und den typischen Prozessdrücken während der CVD<sup>13</sup>-Abscheidung resultiert nur aus der Verwendung von chlorhaltigen Spezies, wie z. B. Chlorwasserstoff (HCl) oder Dichlorsilan (DCS bzw. SiCl<sub>2</sub>H<sub>2</sub>) während des CVD-Prozesses [34]. SEG muss kompatibel zur Vorreinigung sein [35] und ist wie bereits angesprochen die Grundvoraussetzung für das „Kontakt-Engineering“.

(d) **Elimination von Chlorchemie:** *Gaynor et al.* [32] haben die Degradation von Dielektrika in H<sub>2</sub>/HCl- und H<sub>2</sub>/HCl/SiCl<sub>2</sub>H<sub>2</sub>-Atmosphären untersucht. Der Grad der Degradierung nimmt dabei mit abnehmender Oxiddicke und Erhöhung des Partialdrucks an Si-haltigen Prekursoren bei SEG zu [36][32, 37–39]. Um eine Degradation der gängigen Isolatoren wie Siliziumoxid (SiO<sub>2</sub>) und Siliziumnitrid (Si<sub>3</sub>N<sub>4</sub>) bei der Vorreinigung bzw. bei SEG zu minimieren ist eine Reduzierung der CVD-Abscheidedrücke sinnvoll, was mit der Elimination von Chlorchemie einhergeht. Die Zersetzung von Oxid findet dabei bei (100 - 150) °C niedrigeren Temperaturen als bei Siliziumnitrid statt [32], weshalb nitridierte Oxide bzw. Siliziumnitrid resistenter in typischen Prozessumgebungen bei selektiver Epitaxie sind [39–41]. Für weitere Entwicklungen ist ebenfalls eine Kompatibilität zu high-k-Dielektrika notwendig. [42]. Derzeit wird versucht, die S/D-Extensiongebiete in situ vor der Epitaxie mit HCl zu ätzen. Um die Oberflächenrauigkeit durch das HCl-Ätzen zu minimieren muss nach *Isheden et al.* [28, 29] eine Temperatur von 900 °C beim Ätzprozess eingestellt werden, was der Anforderung (b) widerspricht.

Die Ergebnisse zu kompatiblen Prozessen für das **Kontakt-Engineering** für zukünftige CMOS-Technologien sind in der Arbeit wie folgt gegliedert:

In **Kapitel 2** sind die Grundlagen der Epitaxie ausführlich diskutiert. Zunächst werden wichtige Aspekte zur Substratbehandlung vor der Epitaxie behandelt. In einem weiteren Abschnitt wird auf verschiedene Epitaxiemethoden eingegangen. Insbesondere wird die Molekularstrahl-epitaxie als Verfahren vorgestellt, obwohl sie für den industriellen Einsatz ungeeignet ist. Vielmehr stellt sie im Rahmen dieser Arbeit ein Werkzeug für die systematische Untersuchung von Reinigungsverfahren vor der Epitaxie dar. Es folgt eine ergiebige Darstellung von CVD-Verfahren, wie sie bei industrierelevanter Gasphasenepitaxie eingesetzt werden. Das Kapitel schließt mit einer Übersicht von Charakterisierungsmethoden epitaktischer Schichten und von Schicht/Substrat-Übergängen.

Die Nutzung eines UHV-Clustertools mit LT<sup>14</sup>-Reinigung und LT-SiGe-Epitaxie ist daher vielversprechend. In **Kapitel 3** wird das Ultrahochvakuum-Mehrkammersystem vorgestellt, mit dessen Hilfe die Reinigung und Gasphasenepitaxie für das „Kontakt-Engineering“ untersucht wurden. Dabei werden die CVD-Schichten mit einem SiH<sub>4</sub>/GeH<sub>4</sub>-Prekursorengemisch abgetrennt.

---

<sup>13</sup> Chemical Vapor Deposition

<sup>14</sup> Low Temperature

---

In **Kapitel 4** werden die Ergebnisse zu UHV-kompatiblen Reinigungsverfahren vorgestellt. Der Schwerpunkt liegt hier insbesondere im Nachweis von Sauerstoff-, Kohlenstoff- und Stickstoffverunreinigungen. Insbesondere werden auch Borkontaminierungen untersucht. Dabei wird ausgehend von der thermischen Desorption (im UHV bzw. in Inertgasen) als HT<sup>15</sup>-Reinigung das grundsätzliche Verständnis und eine mögliche Extrapolation für Reinigungen bei niedrigeren Temperaturen geschaffen. Mit dem Ziel der Etablierung einer LT-Reinigung wird im weiteren die Wasserstoff-Plasmareinigung als Reinigungsverfahren ausführlich diskutiert. Insbesondere werden Einflussfaktoren auf die Reinigungseffektivität untersucht. Abschließend werden unterstützende Verfahren für die LT-Reinigung und LT-Epitaxie vorgestellt, die sich mit der thermischen Desorption von Verunreinigungen in reaktiven Gasen erklären lassen.

Das **Kapitel 5** beschäftigt sich mit der Gasphasenepitaxie in der CVD-Epitaxieanlage des Ultrahochvakuum-Mehrkammersystems. In einem ersten Abschnitt werden die Schichteigenschaften von ganzflächig auf planaren Si-Substraten abgeschiedenen intrinsischen Si- und SiGe-Schichten untersucht. Dies bildet die Grundlage für die im wichtigsten Ergebniskapitel untersuchte selektive Epitaxie von Silizium und SiGe-Legierungen. Insbesondere wird auf den Einfluss des Maskenmaterials, der Vorreinigung, des Silan- und German-Partialdrucks und der Abscheidetemperatur auf SEG eingegangen. Das Facettenwachstum und „Loading“-Effekte werden ebenfalls angesprochen. Da SiGe-Schichten für den Einsatz in eSD-Strukturen bevorzugt werden, wurde der selektiven Abscheidung von SiGe ein eigener Abschnitt gewidmet. Abschließend werden die bisherigen Ergebnisse im Freiätzen und selektivem Auffüllen des Extensiongebietes eines 90 nm MOSFETs zur Anwendung gebracht und diskutiert.

Durch die Schlussfolgerungen in **Kapitel 6** werden offene Fragestellungen aufgezeigt und weiterführende Untersuchungen in Erwägung gezogen. Der abschließende Ausblick soll die Anwendbarkeit der Prozesse und Ergebnisse auf weitere Anwendungsgebiete in der CMOS-Technologie deutlich machen.

---

<sup>15</sup> High Temperature





# Kapitel 2

## Grundlagen der Epitaxie

### 2.1 Substratbehandlung vor der Epitaxie

Das Ziel einer Vorreinigung für die Epitaxie ist die Präparation einer kontaminationsfreien und glatten Oberfläche. Die Substratbehandlung vor der Epitaxie beinhaltet dabei nicht nur Reinigungsschritte im eigentlichen Sinne, sondern umfasst auch die Erzeugung von intermediären Schutzschichten und Oberflächenpassivierungen.

#### 2.1.1 Oberflächenflächenmodifikationen

Für die Epitaxie ist die Vorreinigung der Siliziumsubstrate von entscheidender Bedeutung, da durch die Eigenschaften der Substratoberfläche die Qualität der epitaktischen Schicht beeinflusst wird. Deshalb werden zunächst mögliche Oberflächenmodifikationen (siehe Abbildung 2.1) besprochen, die bei der Herstellung von einkristallinen Schichten bzw. Multischichten eine Rolle spielen.

#### Oberflächenpassivierung durch Oxide

Die ursprünglichste Oberflächenmodifikation einer Siliziumoberfläche ist das natürliche Oxid. Diese etwa (1 - 2) nm dicke  $\text{SiO}_2$ -Schicht stellt die natürlich vorkommende Oberflächenpassivierung der ansonsten reaktiven Si-Oberfläche dar. Ein Überblick über mögliche Modifikationen von Siliziumgrenzflächen findet sich bei *Sulima* [43].

Die Bildung des natürlichen Oxids auf einem Si-Substrat erfolgt zwangsweise an Luft. Der Sauerstoff und die Feuchte in der Luft sorgen für eine langsame Oxidation bei Raumtemperatur. Eine Oxidation der Si-Oberfläche kann bei niedrigen Temperaturen auch durch nasschemische Reaktionen in Säure- oder Laugenbädern bei Zugabe von Wasserstoffperoxid  $\text{H}_2\text{O}_2$  erfolgen. Die nasschemischen Oxide sind unterschiedlich dicht [44]. Der Oxidationsprozess ist durch die Diffusion von Sauerstoff an die Grenzfläche Oxid/Silizium limitiert. Dünne Oxide in der Größenordnung von ca. (1 - 2) nm Dicke, wie sie nach einer nasschemischen Behandlung typisch sind, passivieren die Si-Oberfläche. Wie Messungen an Siliziumsubstraten mit RCA-Oxidpassivierung ergeben haben, nimmt die Oxiddicke bei Lagerung an Luft weiterhin zu.

Eine weitere Möglichkeit einer Oxidpassivierung kann durch trockenchemische Prozesse in einer Sauerstoff- oder Ozonatmosphäre unter bestimmten thermischen Bedingungen oder Plasmaeinwirkung erfolgen.