

Inhaltsverzeichnis

Danksagung	iii
Inhaltsverzeichnis	v
Abkürzungsverzeichnis	vii
Liste der verwendeten Formelzeichen	ix
1 Einleitung	1
2 MOS-Transistoren mit kleinen Abmessungen	5
2.1 Das Prinzip der Skalierung – Scaling	5
2.2 Kurzkanaleffekte	7
2.2.1 Kanallängenmodulation	8
2.2.2 Kanalgeometrie und ihre Auswirkung auf die Schwellenspannung	10
2.2.3 Unterschwellenspannungsstrom	12
2.2.4 Drain-Induced-Barrier-Lowering (DIBL)	14
2.2.5 Punch-Through	15
2.2.6 Lawinendurchbruch	16
2.2.7 Gate-Depletion-Effekt	18
2.2.8 Gate-Induced-Drain-Leakage	19
3 MOS-Prozess im Sub-100 nm-Bereich	21
3.1 Optische Lithografie	21
3.2 Lithografieverfahren der nächsten Generation	28
3.2.1 Extremultraviolett Lithografie	28
3.2.2 Elektronenstrahlschreiben – maskenlose Lithografie	29
3.2.3 Elektronenprojektionslithografie	30
3.2.4 Weitere Optionen zukünftiger Lithografieverfahren	31
3.3 Vertikale Integration von MOS-Transistoren	34

3.4 Das Depositions- und Rückätzverfahren	37
3.4.1 Die Definition des Aktivgebiets	37
3.4.2 Strukturierung der Gateelektrode	47
4 Prozessentwicklung und Optimierung	57
4.1 Definition der Aktivgebiete	57
4.1.1 Prozessoptimierung durch rechnergestützte Simulation	57
4.1.2 Alternative Prozessführungen	71
4.1.3 Prozesserprobung und Optimierung der Abscheide- und Ätzprozesse	75
4.2 Strukturierung der Gateelektrode	91
4.3 Dotierung von Nanometertransistoren	97
5 Charakterisierung der Nanotransistoren	109
5.1 Statisches Verhalten von NMOS-Nanometertransistoren	109
5.2 Rauschverhalten der Bauelemente	111
6 Zusammenfassung und Ausblick	118
Literaturverzeichnis	119