1 Einleitung

Die Mikroelektronik ist gegenwärtig als eine der wichtigsten Schlüsseltechnologien anerkannt und bestimmt maßgeblich den Fortschritt in nahezu allen Bereichen der Technik. Die enorme Leistungssteigerung der letzten Jahre wurde ermöglicht durch eine fortschreitende Miniaturisierung verbunden mit einer Steigerung der Funktionalität integrierter Schaltkreise. Gleichzeitig stieg die Arbeitsgeschwindigkeit mikroelektronischer Schaltungen rasant an.

Die heutzutage leistungsfähigsten Mikroprozessoren, die seit 1999 in CMOS-Technologie mit minimalen Strukturgrößen kleiner als 0.18 μm gefertigt werden, arbeiten bereits bei On-Chip-Taktraten von ca. 2 GHz und bestehen aus über 100 Millionen aktiven Bauelementen. Der Trend in Richtung größerer, komplexerer und schnellerer integrierter Schaltungen wird auch in Zukunft anhalten: So wird z. B. für das Jahr 2005 die Einführung der 100 nm-Technologie mit Taktraten von 3.5 GHz und ca. 900 Millionen Transistoren pro Chip erwartet [ITRS99]. Voraussetzung zur Erreichung dieses Ziels sind neben Fortschritten in Technologie und Chip-Design auch die Verwendung neuer Leitbahnmaterialien wie z.B. Kupfer, welches zunehmend Aluminium und Wolfram verdrängt, oder sog. *low-k*-Dielektrika[1].

Die genannten hohen Arbeitsgeschwindigkeiten führen dazu, daß parasitäre Effekte, die von den elektrodynamischen Eigenschaften der Verbindungsleitungen herrühren, nicht länger vernachlässigt werden können. War es bis Ende der 80er Jahre noch üblich, lediglich die mechanischen und thermischen Eigenschaften der Aufbau- und Verbindungstechnik zu betrachten, so wird es heutzutage immer wichtiger, hochfrequente Leitbahneffekte wie z.B. Reflexion, Dispersion, elektromagnetische Kopplung und Abstrahlung mitzuberücksichtigen.

Man spricht mittlerweile von einem „leitbahnzentrierten“ Chip-Design, da anstelle der aktiven Bauelemente mehr und mehr Leitbahnen im Mittelpunkt des Schaltungsdesigns stehen. Hierbei ist prinzipiell zwischen *lokalen* und *globalen* Verbindungsleitungen auf dem Chip zu unterscheiden. Die Laufzeiten auf lokalen

[1] *low-k*-Dielektrika besitzen eine geringere Dielektrizitätskonstante und ermöglichen damit eine höhere Signalgeschwindigkeit als Siliziumdioxid, das heutzutage noch am meisten verwendete Isolationsmaterial zwischen einzelnen Metallisierungslagen.

Verbindungen, die die Verdrahtung innerhalb funktionaler Einheiten bereitstellen, nehmen in ähnlicher Weise wie die Gatterlaufzeiten mit fortschreitender Miniaturisierung ab [ITRS99]. Die Länge globaler Leitungsstrukturen, die Verbindungen zwischen verschiedenen funktionalen Einheiten ermöglichen, ist dagegen an der Chipfläche orientiert und wird bei zukünftigen Chipgenerationen daher eher zu- als abnehmen. Die maximale Arbeitsgeschwindigkeit heutiger integrierter Schaltungen wird zunehmend von der Signallaufzeit und den parasitären Eigenschaften dieser globalen Leitungsstrukturen bestimmt [Sylv00].

Bisher verwendete man zur Abschätzung von Signallaufzeiten oft das lediglich auf einem simplen RC-Modell der Leitung beruhende Elmore-Delay [Elm48]. Diese Abschätzung ist aber höchstens bei den i.a. sehr kurzen lokalen Verbindungsleitungen (50 bis 500 μm in 0.18 μm-Technologie) ausreichend genau. Erst in jüngster Zeit ist man dazu übergegangen, bei den Signallaufzeiten auch induktive Effekte mitzuberücksichtigen [Ism00].

Die abgesehen von der reinen Signalverzögerung auftretenden hochfrequenten Leitbahneffekte werden in den heute für das Chip-Design verwendeten Schaltungssimulatoren nicht ausreichend erfaßt [Deu97]. Hierfür werden Modelle benötigt, die das Verhalten der Leitbahnen insbesondere in der Nähe halbleitender Substrate ausreichend genau beschreiben. Die bei heutigen CMOS-Technologien recht hohe Substratleitfähigkeit führt zu einer signifikanten Beeinflussung des Übertragungsverhaltens der Leitbahnen, zu deren Beschreibung frequenzabhängige Leitungsbeläge notwendig werden.

Die Berechnung dieser Leitungsbeläge kann mit aufwendigen dreidimensionalen Feldberechnungsprogrammen durchgeführt werden, scheitert in der Praxis aber meist an der komplexen dreidimensionalen Geometrie der Leitbahnen. Für gleichbleibende Querschnittsgeometrien können einerseits effiziente zweidimensionale Feldberechnungsprogramme herangezogen werden [Yuan99], aber auch auf quasi-analytischen Formeln beruhende numerische Verfahren wie [Gro94]. Für das Chip-Design praktikable Lösungen lassen geschlossene analytische Formeln für frequenzabhängige Leitungsbeläge wünschenswert erscheinen, sind bei der Komplexität heutiger Schaltkreise jedoch nahezu unmöglich. Dies ist immer noch Gegenstand aktueller Forschung (siehe z.B. [Wee98]). Die Zuverlässigkeit aller genannten Verfahren zur Berechnung der Leitungsbeläge muß letztendlich meßtechnisch verifiziert werden, wozu diese Arbeit einen wesentlichen Beitrag leistet.

Die Fortschritte in der CMOS-Technologie stoßen auch in der rasch expandierenden Telekommunikationsbranche sowie in der Mikrowellenindustrie auf wachsendes Interesse. So wurde z.B. in [Burg00] eine 0.18 μm-CMOS-Technologie untersucht und als für Hochfrequenz-Anwendungen geeignet eingestuft. In [Klev98]

wurden koplanare Wellenleiter in einer aktuellen CMOS-Technologie gefertigt und bei 50 GHz meßtechnisch untersucht. Dabei stellte sich heraus, daß entgegen gängiger Erwartungen Leitungen mit einer vergleichsweise geringen Leiterbreite auf hochleitfähigem Silizium die geringste Dämpfung aufweisen. Dies läßt sich auf die z.T. sehr komplexen Substrateffekte zurückführen und widerspricht den Erfahrungen der klassischen Mikrowellentechnik. In [Gutm99] wurden die gegenwärtigen Trends in der auf Silizium basierenden Halbleiterfertigung systematisch untersucht. Dabei lag der Schwerpunkt auf Fragen der Anwendbarkeit in der Hochfrequenztechnik. Auch in dieser Untersuchung wurde die genaue Charakterisierung der Leitbahnen als eines der zentralen Probleme der Zukunft eingestuft.

Somit besteht sowohl in der Mikroelektronik als auch in der Mikrowellenindustrie ein zunehmender Bedarf an meßtechnischen Verfahren zur Charakterisierung des elektrodynamischen Verhaltens planarer Leitungssysteme auf halbleitenden Substraten.

1.1 Stand der Forschung

Eine der ersten Untersuchungen, die sich mit der meßtechnischen Erfassung der elektrischen Eigenschaften von Leitbahnen auf halbleitenden Substraten beschäftigt, wurde im Jahr 1971 von Hasegawa vorgestellt [Has71]. In dieser Arbeit wurden zunächst die Übertragungseigenschaften von Mikrostreifenleitungen theoretisch untersucht und mit Hilfe einfacher Netzwerkmodelle abhängig von Frequenz und Substratleitfähigkeit klassifiziert (siehe hierzu auch Abschnitt 3.1). Die meßtechnische Verifikation erfolgte an Leitungen mit einer Breite von 70 bzw. 1600 μm in einem Frequenzbereich bis 4 GHz. Auch wenn die Erkenntnisse aus dieser Arbeit für das Verständnis der Wellenausbreitung auf halbleitenden Substraten immer noch von zentraler Bedeutung sind, erfordern die heutigen Arbeitsgeschwindigkeiten und Leitungsgeometrien doch neue Meßverfahren.

Die meisten der seit damals erschienenen Veröffentlichungen beschäftigten sich mit der numerischen Berechnung der auftretenden Feldkomponenten oder mit der Entwicklung geeigneter Netzwerkmodelle, die das Übertragungsverhalten der Leitbahnen hinreichend genau approximieren. Die vollständige meßtechnische Charakterisierung von Leitbahnen in der Mikroelektronik ist dagegen erst in der jüngeren Vergangenheit Gegenstand intensiverer Forschung geworden. Die genauesten Ergebnisse wurden dabei im allgemeinen mit kalibrierten Streuparametermessungen im Frequenzbereich erzielt.

In den Arbeiten von [Pri91] und [Kiz91] wurde das Verhalten von koplanaren Wellenleitern auf nahezu verlustlosen Halbleitersubstraten wie GaAs meßtechnisch

erfaßt. In diesem Zusammenhang stellten Marks und Williams 1991 eine direkte Methode zur Bestimmung des Wellenwiderstands Z_0 aus der Ausbreitungskonstanten γ vor, die besondere Beachtung verdient [MaWi91]. Die Annahme, daß der Querleitwert G vernachlässigt werden kann, sowie die Tatsache, daß der kapazitive Leitungsbelag C in guter Näherung als frequenzunabhängig angesehen werden kann, erlauben eine äußerst genaue Berechnung von Z_0 aus den Meßdaten[2] von γ und C (siehe hierzu auch Abschnitt 4.1). Das National Institute of Standards and Technology (USA) setzt dieses Verfahren aufgrund seiner Genauigkeit zur Charakterisierung koplanarer Leitungsstandards auf Referenz-Kalibriersubstraten ein.

Für sehr gut leitfähige Substrate, die typisch für heute verwendete CMOS-Technologien sind, können diese Verfahren nicht ohne weiteres verwendet werden. Neben dem dispersiven Verhalten der Leitbahnen erschweren parasitäre Effekte innerhalb der Leitungsteststrukturen, die z.B. von den Kontaktpads der Prüfspitzen herrühren, die genaue Messung der Leitbahneigenschaften. Ein weit verbreitetes Verfahren, um die Kontaktpads bei der Messung hochfrequenter Transistoreigenschaften zu berücksichtigen, stammt von Cho und Burk [Cho91]. Dieses Verfahren wurde von Kolding weiterentwickelt und liefert bis ca. 12 GHz brauchbare Resultate für die breitbandige Messung von Transistoreigenschaften [Kold00].

Ein vergleichbarer Ansatz wird bei der Methode von Eo und Eisenstadt verwendet, die im Jahr 1992 erstmalig vorgestellt wurde und aufgrund ihrer Einfachheit mittlerweile zu der wahrscheinlich populärsten Methode zur Charakterisierung von Leitbahnen auf Silizium avancierte [Eis92]. 1993 wurde von Williams und Marks die sog. *Kalibrierungsvergleichsmethode* zur Bestimmung des Wellenwiderstands verwendet [WiMa93], wobei die Meßinformation durch Vergleich einer in den Teststrukturen durchgeführten TRL-Kalibrierung mit einer TRL-Kalibrierung auf einem Referenzsubstrat erhalten wird. Die mit diesem Verfahren erzielten Meßergebnisse lassen jedoch insbesondere für hohe Substratleitfähigkeiten zu wünschen übrig [WiMa94]. Dennoch bildet die bereits 1991 eingeführte Kalibrierungsvergleichsmethode [WiMa91b] die Grundlage des in dieser Arbeit neu entwickelten Verfahrens für Einzelleitungen und wird in Abschnitt 3.3.3 erläutert.

Ein ebenfalls auf der Kalibrierungsvergleichsmethode beruhendes Verfahren zur Messung des Wellenwiderstandes wurde 2000 von Bracale *et al.* vorgestellt [Bra00]. Hierbei wird eine LRM-Kalibrierung auf einem Referenzsubstrat als Vergleichskalibrierung verwendet. Die Konsistenz der als Wellenwiderstand be-

[2] Die Messung der Ausbreitungskonstante von Einzelleitungen wird z.B. in der Veröffentlichung von [Mond88] behandelt. Die meßtechnische Bestimmung des kapazitiven Leitungsbelags wird in [WiMa91a] beschrieben.

stimmten Meßinformation wird in [Bra00] dadurch nachgewiesen, daß die Lösung von drei verschiedenen Gleichungen zur Bestimmung des Wellenwiderstandes zu demselben Ergebnis führen. Ein Vergleich mit numerisch berechneten Werten des Wellenwiderstandes oder mit Ergebnissen aus anderen Meßverfahren wird in [Bra00] jedoch nicht durchgeführt.

In dem von Zaage 1994 vorgestellten Verfahren wird der Wellenwiderstand einer Einzelleitung durch Reflexionsmessungen an Leitungen verschiedener Länge bestimmt [Zaa93]. Für genaue Meßergebnisse äußerst wichtig ist dabei eine exakte Positionierung der Mikrowellenprüfspitzen auf den Kontaktpads. Die Methode von Winkel (1996) benötigt zur Bestimmung des Wellenwiderstandes Messungen an zwei Leitungen verschiedener Länge, wobei zur Charakterisierung der Kontaktpads zusätzliche Messungen an Pad-Teststrukturen notwendig sind [Win96a]. Ein Vergleich der Methoden von Eo/Eisenstadt [Eis92], Williams/Marks [WiMa93] sowie Winkel [Win96a] erfolgt in Kapitel 5.

Die gestiegenen Anforderungen an die Signalintegrität in modernen integrierten Schaltungen haben in letzter Zeit auch zu einem verstärkten Interesse an Verfahren zur meßtechnischen Charakterisierung gekoppelter Leitungssysteme geführt. Im Vergleich zu den bereits bei den Teststrukturen für Einzelleitungen vorhandenen Störeinflüssen sind hier zusätzliche parasitäre Effekte zu berücksichtigen. Die meisten aktuellen Publikationen mit Ergebnissen für aktuelle CMOS-Technologien beschränken sich jedoch auf Verfahren für *symmetrische* gekoppelte Zweileitersysteme [Boc00],[Eo00]. Eine wesentliche Vereinfachung stellt hierbei die Frequenzunabhängigkeit der Spannungs-Transformationsmatrizen symmetrischer gekoppelter Zweileitersysteme dar. Diese Vereinfachung wird auch in den in [Win96b] bzw. [Win97a] vorgestellten Meßverfahren für die Matrizen der Ausbreitungskonstanten und der Wellenwiderstände symmetrischer gekoppelter Zweileitersysteme ausgenutzt.

Verfahren für *asymmetrische* gekoppelte Zweileitersysteme, bei denen der Zusammenhang zwischen den Leiterspannungen der beiden fundamentalen Ausbreitungsmoden grundsätzlich stark frequenzabhängig ist, sind bisher nur für verlustlose Substrate entwickelt worden. In [Seg98] wird zu diesem Zweck ein neues Kalibrierverfahren namens Multimode-TRL eingeführt. Die experimentell ermittelten Leitungscharakteristika eines gekoppelten Mikrostreifenleitungssystems sind jedoch sehr ungenau, was in [Seg98] auf die bekannten Unzulänglichkeiten der TRL-Kalibrierung zurückgeführt wird. Um diese Defizite abzustellen, wird in [Seg98] vorgeschlagen, die Multimode-TRL-Kalibrierung durch Verwendung redundanter Leitungsstandards zu verbessern (siehe hierzu auch [Marks91]), eine konkrete Umsetzung dieser Idee ist bisher aber nicht erfolgt.