

1 Einleitung

Im Weltraum sind elektronische Schaltungen den Flüssen energiereicher Elektronen und Ionen ausgesetzt, die in Halbleiterbauteilen transiente Fehlfunktionen auslösen oder sogar permanente Schäden verursachen [SR88], [Br69], [SG88], [MD89]. Dabei unterscheidet man zwischen SEE- (= Single Event Effect) und TD- (= Total Dose) Wirkungen. Im ersten Fall erzeugt ein einzelnes Teilchen mit genügend hohem Ionisationsvermögen, insbesondere ein schweres Ion, im Halbleitermaterial eine Elektron-Loch-Spur so hoher Dichte, daß die über diese Spur von einem empfindlichen Schaltungsknoten abfließende Ladung

1. eine transiente Fehlfunktion, z.B. Spike an einem Ausgang,
2. eine semi-permanente Fehlfunktion, d.h. die Veränderung des logischen Zustands einer Speicherzelle (SEU = Single Event Upset), oder
3. eine permanente Fehlfunktion durch Zünden einer Thyristorstrecke mit anschließender thermischer Zerstörung (SEL = Single Event Latch-up) bewirkt.

Das Ionisationsvermögen eines Protons reicht im allgemeinen nicht für die Ausbildung einer die Bauteilfunktion störende Ionisationsladung aus. Trotzdem verursachen hochenergetische Protonen SEEs, und zwar indirekt entlang der Spur von Bruchstücken direkt getroffener Atomkerne bzw. der nach einem derartigen Treffer aus ihrer Ruhelage ausgelenkten Gitteratome.

Im TD-Fall hat die von einem einzelnen Teilchen erzeugte Elektron-Loch-Spur keine direkte Auswirkung auf die Bauteilfunktion. Vielmehr kommt diese indirekt dadurch zustande, daß die driftenden Löcher an Haftstellen eingefangen werden und dort eine mit der Zeit wachsende Flächenladung ausbilden. Insbesondere ist dies bei MOS-Transistoren an der Grenzschicht zwischen Gate-Oxid und Silizium der Fall. Dadurch wird die Schwellenspannung des MOS-Transistors durch die Ausbildung einer positiven Flächenladung direkt über dem Kanal so weit verschoben, daß der Transistor permanent seine Funktion nicht mehr erfüllt.

In Weltraum-Halbleiterspeichern sind SEUs von Speicherzellen in hochintegrierten Speicherbausteinen, sowohl SRAMs als auch DRAMs, von Interesse. Sind die einzelnen Bits eines Datenwortes in verschiedenen Speicherbausteinen untergebracht, dann kann eine Beeinflussung mehrerer Bits desselben Wortes durch einen SEU ausgeschlossen werden. In diesem Fall bietet sich der Schutz der gespeicherten Datenwörter durch einen ein-Fehler-korrigierenden Hamming-Code an. Die Kombination von 1-Bit-breiten Speicherbausteinen und Hamming-Fehlerkorrektur war daher lange Zeit Standard bei weltraumtauglichen Halbleiterspeichern [Gl78].

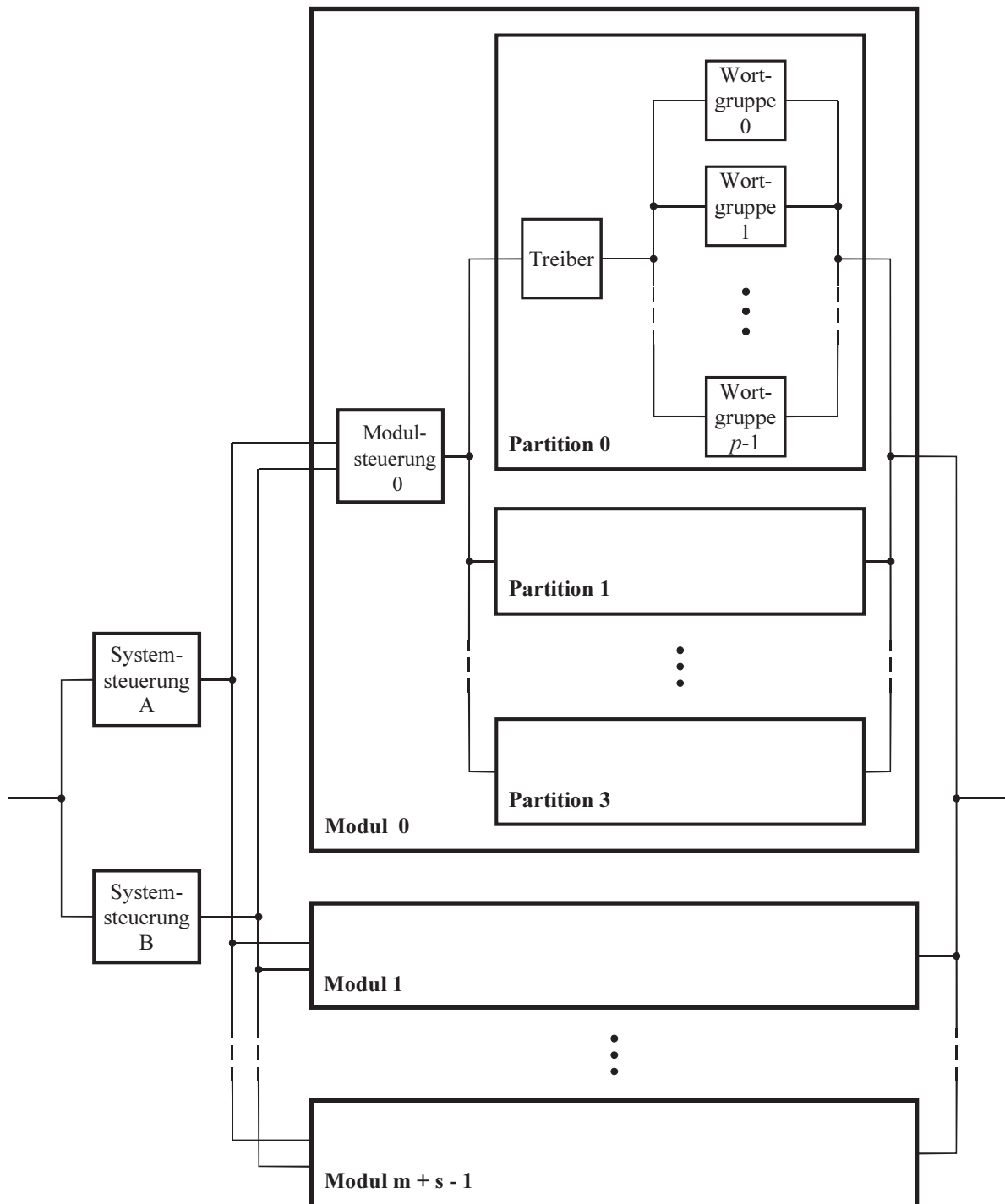


Bild 1 Zuverlässigkeitsstruktur eines fehlertoleranten Halbleiterspeichers

Zur Erhöhung der Zuverlässigkeit haben größere weltraumtaugliche Halbleiterspeicher eine hierarchische Redundanzstruktur (Bild 1) [GGPR82], [GG90]. In der untersten Ebene bewirkt die Hamming-Fehlerkorrektur sowohl eine deutliche Verbesserung der durch SEU-bedingte Bitflips beeinträchtigten Datenintegrität, z.B. ausgedrückt durch die „Bit Error Rate“ nach einer bestimmten Speicherzeit, als auch eine Verbesserung der Zuverlässigkeit durch Maskierung per-

manenter Fehler von einzelnen Bits bis hin zum Totalausfall eines Bausteins. Der überwiegende Anteil der transienten und der permanenten Fehler sind über den Adreßraum verteilte Einzelbitfehler, gegen die die Hamming-Fehlerkorrektur sehr wirksam ist und sowohl die Datenintegrität als auch die Zuverlässigkeit deutlich verbessert.

Die kleinste rekonfigurierbare Funktionsgruppe eines Halbleiterspeichers ist die Wortgruppe. Darunter versteht man die Gruppe von Speicherbausteinen, in denen vollständige Codewörter gespeichert werden, wobei jedes Zeichen eines Codewortes in einem anderen Speicherbaustein steht. Das sind z.B. bei 1-Bit breiten 4M-DRAMs und 16-Bit-Datenwörtern, die im Speicher durch einen ein-Fehler-korrigierenden und zwei-Fehler-erkennenden Hamming-Code geschützt sind, 22 Speicherbausteine, 16 für die Datenbits und 6 für die Parity-Bits.

Mehrere, z.B. 4 Wortgruppen werden über dieselben Treiber angesprochen und bilden eine Partition als nächsthöhere rekonfigurierbare Funktionsgruppe, und mehrere Partitionen zusammen mit zugehöriger Peripherielogik wie Refresh-Steuerung und Hardware-Fehlerkorrektur bilden einen Speichermodul als wiederum nächsthöhere Konfigurationsebene. Der Speichermodul ist nicht nur logisch, sondern auch physisch eine austauschbare Baugruppe. Die höchste konfigurierbare Ebene wird in der Regel gebildet von einer Doppelbus-Struktur mit den zugehörigen Systemsteuerungen. Jeder der beiden Busse verbindet die Speichermodule mit den benutzerspezifischen äußeren Baugruppen des Speichers. Die Zuverlässigkeit wird um so mehr verbessert, je feiner die Granularität der rekonfigurierbaren Funktionsgruppen ist. Eine ausgewogene Struktur besteht z.B. aus 8 Modulen plus 2 Spare-Modulen, 4 Partitionen je Modul und 4 Wortgruppen je Partition. Eine Wortgruppe repräsentiert dann 1/128 der Nettogesamtkapazität des Speichers. Bei einer heute typischen Nettowortlänge von 32 Bit liefern 1-Bit-breite 64 M Speicherbausteine eine Nettowortgruppenkapazität von 2 Gbit und entsprechend für einen Speicher mit ausgewogener Redundanzstruktur eine Nettogesamtkapazität von mindestens $128 \cdot 2 \text{ Gbit} = 256 \text{ Gbit}$.

Die nachgefragte Speicherkapazität liegt aber bei den meisten Weltraumanwendungen deutlich niedriger. Dies legt es nahe, die Wortgruppenkapazität durch die Verwendung 4-Bit-, 8-Bit- oder 16-Bit-breiter Speicherbausteine um diesen Faktor zu verringern, und damit auch die „kleinste Gesamtkapazität“ eines Speichers mit ausgewogener Redundanzstruktur. Da ähnliche Betrachtung auch auf die Mehrzahl der kommerziellen Speicheranwendungen zutrifft, die Wortgruppe entspricht dort der kleinsten realisierbaren Kapazität, werden hochintegrierte Speicherbausteine fast ausschließlich mit größerer Datenbreite angeboten.

Bei b -Bit-breiten Speicherbausteinen sind die einzelnen Bits eines Wortes aber nicht mehr fehlerunabhängig. Mit einer Hamming-Fehlerkorrektur kann der Totalausfall eines Speicherbausteins, z.B. wegen des Ausfalls der Betriebsspannung oder einer bausteininternen Hilfsspannung dann nicht mehr beherrscht

werden. Bei Beibehaltung der herkömmlichen Hamming-Fehlerkorrektur kommt es also zu einer Verschlechterung der Zuverlässigkeit. Dieser Verschlechterung kann allerdings, wenigstens vom Prinzip her, durch eine Vermehrung der redundanten konfigurierbaren Wortgruppen entgegengewirkt werden. Obwohl sich die Zuverlässigkeit durch den Übergang auf breiter organisierte Speicherbausteine verschlechtert, wird dies durch den hohen Reifegrad der Speicherbaustein-Massenproduktion relativiert, so daß heute die Ausfallwahrscheinlichkeit einer Partition hauptsächlich durch ihre Peripherieelektronik und weniger durch die Speicherbausteine selbst bestimmt wird.

Der Übergang auf breiter organisierte Speicherbausteine unter Beibehaltung der Hamming-Fehlerkorrektur beeinträchtigt aber nicht nur die Zuverlässigkeit des Speichers, sondern auch die Integrität der gespeicherten Daten. Zwar sind die einzelnen Bitebenen auf dem Chip räumlich getrennt, aber sie haben eine gemeinsame bausteininterne Peripherieelektronik. SEUs in dieser Peripherieelektronik können auf alle Bitebenen des betreffenden Bausteins ausstrahlen, von einer einzigen Fehladressierung bis hin zum totalen Verlust aller gespeicherten Daten, z.B. infolge eines temporären Zusammenbruchs der „back bias“-Spannung. Die meisten SEUs werden weiterhin entsprechend ihrem Anteil an der Chipfläche auf die in Bitebenen organisierten Speicherzellen entfallen, z.B. 95 %, und die restlichen 5 % auf die bausteininterne Peripherieelektronik. Damit stellt sich die Frage, um welchen Faktor bei beibehaltener Hamming-Fehlerkorrektur die Bitfehlerwahrscheinlichkeit durch den Übergang auf b -Bit-breite Bausteine wächst.

Ohne Hamming-Fehlerkorrektur seien nach einer bestimmten Speicherzeit z. B. 0,1 ‰ der Datenbits verfälscht. Bei erweiterter Hamming-Fehlerkorrektur, einer Codewortlänge von 22 Bit und 1-Bit-breiten Bausteinen ist dann die Wahrscheinlichkeit dafür, daß ein betrachtetes Wort mit einem nicht-korrigierbaren Mehrbitfehler behaftet ist, etwa $(22 \cdot 10^{-4})^2 = 4.84 \cdot 10^{-6}$.

Bei b -Bit-breiten Bausteinen treten in den Bitebenen angesiedelte Mehrbitfehler dann etwa mit der Wahrscheinlichkeit $(0.95 \cdot 22 \cdot 10^{-4})^2 = 4.76 \cdot 10^{-6}$ auf. Dazu kommt aber der wesentlich größere Beitrag der von der Bausteinperipherie ausgehenden Mehrbitfehler mit der Wahrscheinlichkeit $0,05 \cdot 22 \cdot 10^{-4} = 1.14 \cdot 10^{-4}$, und dies unter der optimistischen Annahme, daß ein Ausfall der bausteininternen Peripherieelektronik jeweils nur ein Wort verfälscht.

Damit ergibt sich durch den Übergang auf b -Bit-breite Bausteine eine Verschlechterung der Fehlerrate um mindestens den Faktor $1.19 \cdot 10^{-4} / 4.84 \cdot 10^{-6} \approx 25$. Dies ist für viele Anwendungen nicht tragbar.

Die tatsächlich zu erwartenden SEU-bedingten Bitfehlerraten hängen ab vom erwarteten Teilchenfluß und dessen LET-Spektrum (LET = Linear Energy

Transfer = Massenbremsvermögen) und der durch Tests mit Ionenbeschleunigern ermittelten Abhängigkeit des Wirkungsquerschnittes vom LET-Wert der Ionen ($\sigma_{\text{SEU}}(\text{LET})$). Bei b -Bit-breiten Bausteinen können sie nach Einzelbitfehlern und unkorrelierten Mehrbitfehlern einerseits und korrelierten Mehrbitfehlern andererseits aufgespalten werden. Quantitative Aussagen für 64 M und 128 M Synchron DRAMs finden sich in [HMS99]. Der Anteil der SEU-Mehrbitfehler wurde für die untersuchten SDRAMs zu 1 % bis 7 % ermittelt, wobei schwere Ionen einen höheren Prozentsatz liefern als Protonen. Für einen 1400 km polaren Orbit mit einer Inklination von 85° gibt [HMS99] eine mittlere SEU-Häufigkeit eines 64 Mbit SDRAMs von bis zu 1 SEU/30 min an. Für eine Speicherzeit von einem Tag ergibt sich dann $48/64 \text{ M} \approx 0.8 \cdot 10^{-6}$ als Wahrscheinlichkeit für die Verfälschung eines Datenbits. Bei Hamming-Fehlerkorrektur, 1-Bit-breiten Speicherbausteinen und einer Codewortlänge von 22 Bit beträgt dann die Wahrscheinlichkeit für einen nicht-korrigierbaren Mehrbitfehler in einem bestimmten Wort etwa $(22 \cdot 0.8 \cdot 10^{-6})^2 \approx 3 \cdot 10^{-10}$, und für einen nicht-korrigierbaren Mehrbitfehler in einem der 64 M Wörter einer Wortgruppe bei etwa $2 \cdot 10^{-2}$. Bei 4-Bit-breiten Bausteinen, einem Mehrbitfehleranteil von 5 % und beibehaltener Hamming-Fehlerkorrektur erhöht sich dieser Wert auf $22 \cdot 0.05 \cdot 0.8 \cdot 10^{-6} \approx 9 \cdot 10^{-7}$, so daß mit etwa $64 \text{ M} \cdot 9 \cdot 10^{-7} \approx 56$ nicht-korrigierbaren Fehlern innerhalb von 64 M Wörtern zu rechnen ist gegenüber nur $2 \cdot 10^{-2}$ Fehlern bei 1-Bit-breiten Bausteinen.

Das Beibehalten der Hamming-Fehlerkorrektur beim Übergang auf b -Bit-breite Speicherbausteine führt also, wie die Beispiele zeigen, zu einer erheblichen Reduktion der Schutzwirkung. Statt des an die 1-Bit-Organisation angepaßten Hamming-Codes sollte ein an die b -Bit-Organisation angepaßter fehlerkorrigierender Code eingesetzt werden, z.B. der schon lange bekannte Reed-Solomon-Code, der bei b -Bit-breiten Bausteinen mindestens dieselbe Schutzwirkung liefert wie der Hamming-Code bei 1-Bit-breiten Bausteinen [FGGR98]. Dem Einsatz des Reed-Solomon-Codes scheint aber entgegenstanden zu haben, daß anders als für den Hamming-Code für den Reed-Solomon-Code keine fertigen Fehlerkorrekturbausteine auf dem Markt verfügbar sind, und demzufolge der Hardware-Entwickler sich nicht auf fertige Rezepte aus Datenblättern stützen kann, sondern Vorarbeiten, wie die Erarbeitung verschiedener Konzepte und deren kritische Bewertung, selbst durchführen muß. Des weiteren hängt die maximale Codewortlänge des Reed-Solomon-Codes direkt von der Breite der Speicherbausteine ab, wenn der Code an die Bausteinbreite angepaßt wird. Bei 4-Bit-breiten Speicherbausteinen kann ein Reed-Solomon-Code, auch mit einfacher Erweiterung, maximal ein 32-Bit-Datenwort schützen. Um die Anzahl der für die zusätzlichen Parity-Bits benötigten Speicherbausteine zu verringern, ist es notwendig, die Codewortlänge zu vergrößern.

Im Rahmen der am Institut für Datenverarbeitungsanlagen seit dessen Einrichtung ununterbrochen betriebenen Entwicklung von raumflugtauglichen Spei-

chern hat sich der Verfasser mit dieser Aufgabe beschäftigt. Es wurde eine einfache Möglichkeit gefunden, Reed-Solomon-Codes zu erweitern und damit Fehlerkorrekturen zu entwickeln, die in einer Reihe von Speichern eingesetzt wurden, so z. B. für die Missionen ENVISAT, CLUSTERII, METOP, GRACE, CHAMP und ROSETTA.

Ziel dieser Dissertationsschrift ist es, die technisch-wissenschaftlichen Grundlagen dieser Spezialentwicklungen transparent und damit allgemein verfügbar zu machen. Zu diesem Zweck wird zunächst eine kurze Einführung in die Materie der Fehlerkorrekturcodes gegeben. Dabei wird auf mathematische Beweise weitestgehend verzichtet. Die Darstellung basiert auf den einführenden Werken [Bot98] [FP90] [Swe92] [MWS96] [RF89] zur Codierungstheorie. Dort sind auch weitergehende Informationen zu finden, insbesondere die Herleitung und Beweise von mathematischen Sätzen.

Erweiterte Reed-Solomon-Codes, insbesondere mit der vom Verfasser gefundenen Möglichkeit die Codes zu verlängern, erwiesen sich für die vorliegende Aufgabe als besonders geeignet und werden daher eingehender behandelt. Dabei wird auch die Gültigkeit dieser verlängerten Codes auf mathematischem Wege gezeigt.

In der technischen Realisierung soll der Vorgang der Codierung und der Korrektur die mit den Speicherbausteinen erzielbaren Datenraten möglichst wenig, am besten gar nicht, degradieren, wodurch eine Software-Implementierung ausscheidet. Damit stellt sich die Frage nach geeigneten Hardware-Implementierungen. Hierzu werden zunächst einfachere, parallel oder sequentiell arbeitende Korrekturschaltungen für binäre und Reed-Solomon-Codes analysiert. Darauf aufbauend wird die für Erweiterte Reed-Solomon-Codes gefundene Lösung dargestellt, die sich dadurch auszeichnet, daß sich mit verhältnismäßig einfachen Hardware-Strukturen hohe Datenraten erzielen lassen, die durch ebenfalls beschriebene Maßnahmen weiter gesteigert werden können.