



# Kapitel 1

## Einleitung

Die Entwicklung der ersten integrierten Schaltung durch R. Noyce im Jahre 1959 ebnete den Weg für die heutige Informations- und Kommunikationsgesellschaft. Dabei ist die Digitaltechnik in DRAM-Speichern, Mikroprozessoren, Digitalen Signalprozessoren (DSP) und Anwendungsspezifischen integrierten Schaltungen (ASIC) zu finden [Kan96]. Die in dieser Technik verwendeten Logikelemente bestehen in ihrer untersten Ebene aus Transistoren. Diese werden dabei als Schalter betrieben und nehmen die Zustände “Ein“ und “Aus“ an. Durch richtiges Verschalten der Transistoren werden digitale logische Schaltungen aufgebaut. Die einfachste und grundlegendste Schaltung ist der Inverter, dieser negiert das Eingangssignal.

Aufgrund von stetig wachsenden Anforderungen an Verlustleistungen, Schaltzeiten und Platzbedarf werden die digitalen Schaltungen seit ca. 1970 mit der CMOS-Technologie hergestellt. Dies gilt vor allem für portable Systeme, da dort die Verlustleistung Einfluss auf die Temperatur, Batterielaufzeit und Zuverlässigkeit hat. Aus diesem Grund macht die CMOS-Technologie 85 % des Halbleitermarktes aus. Dabei steht CMOS für Complementary-Metal-Oxide-Semiconductor und bedeutet, dass sich mindestens zwei komplementäre Transistoren auf einem Substrat befinden.

Die stetige Weiterentwicklung und Verkleinerung der Transistoren führt zu einer Verbesserung der integrierten Schaltungen. Dabei befolgt die Halbleiterindustrie das Mooresche Gesetz um ein jährliches Wachstum von ca. 17 % zu erreichen. Dies ist möglich, wenn sich die Anzahl der Bauelemente pro Chip alle drei Jahre vervierfacht [Moo65]. Für eine längerfristige Planung ist das Gesetz von Moore in der ITRS (International Technology Roadmap of Semiconductor Industries) verankert.

Durch die dort vorgegebene Verkleinerung der Strukturen ist die Anforderung an das Gateoxid gestiegen. Dabei wurde die Schichtdicke des Gateoxids reduziert, um eine Abnahme der Kapazität des Gates bei kleiner werdender aktiver Fläche zu vermeiden. Dadurch kam es zu einem Anstieg der Gateleckströme, was zur Folge hatte, dass auch die statische Verlustleistung zunahm. Bei einer Schichtdicke von 1,5 nm kann thermisch gewachsenes Siliziumoxid nicht mehr verwendet werden, da die Verlustleistungen, auf Grund der Leckströme durch direktes Tunneln, zu groß sind.

Abhilfe schaffen Gatedielektrika mit hoher Permittivität, da sie aufgrund gleicher Flächenladungsdichte dickere Isolatorschichten mit reduzierten Leckströmen erlauben.

Diese high-k Materialien ermöglichen die weitere Miniaturisierung und die Leistungssteigerung der Transistoren. Im Jahre 2008 wurde die Verwendung von diesen Materialien als Gatedielektrika von den großen Halbleiterherstellern (IBM, Intel und Global Foundries) realisiert.

Am Institut für Physik werden neuartige Bauelemente hergestellt. Diese benötigen ein scharfes Dotierprofil, welche durch Hochtemperaturprozesse wie die Gateoxidation verlaufen. Dadurch ergibt sich ein schlechteres elektrisches Verhalten der Bauelemente. Die ingenieurwissenschaftliche Fragestellung bestand darin einen neuartigen Niedertemperaturprozess ( $T < 400^\circ\text{C}$ ) für die Bauelemente zu finden und zu etablieren. Dabei wird auf den neuartigen Industrieprozess mit high-k Dielektrikum und metallischer Gateelektrode zurückgegriffen. Jedoch wird das Dielektrikum mit einem Atomic Layer Deposition (ALD) Verfahren abgeschieden. Um die Auswirkungen der Niedertemperaturprozesse auf das elektrische Verhalten der Bauelemente zu verifizieren, werden CMOS-Bauteile und Inverter hergestellt.

**Kapitel 2** beschreibt die physikalischen Grundlagen der MOS-Kapazität. Im Schwerpunkt stehen die elektrischen Charakterisierungsverfahren, die zur Bestimmung von physikalischen Kenngrößen dienen.

**Kapitel 3** befasst sich aufbauend auf der MOS-Kapazität mit den Grundlagen eines MOSFETs als Langkanal-Bauelement. Bei den analytischen Beschreibungsansätzen wird sowohl auf den n-Kanal als auch auf den p-Kanal Transistor eingegangen. Die messtechnische Bestimmung der physikalischen Kenngrößen steht im Mittelpunkt dieses Kapitels.

In **Kapitel 4** wird aufbauend auf die Grundlagen der MOS-Transistoren der CMOS-Inverter behandelt. Dabei wird das statische Verhalten sowie die designtechnische Dimensionierung diskutiert. Zusätzlich werden für die typischen Kenngrößen des Inverters analytische Beschreibungsansätze und messtechnische Verfahren aufgezeigt.

**Kapitel 5** beinhaltet die technologische Umsetzung des CMOS-Prozesses. Ausgehend von den Rahmenbedingungen wird der technologische Ablauf des Prozesses für einen Gatestack aus Polysilizium und Siliziumoxid sowie einen mit Metal-Gate und high-k Material dargestellt. Daneben werden die Prozessschritte behandelt, die im Rahmen dieser Arbeit entwickelt wurden. Dabei wird das Hauptaugenmerk auf die Entwicklung des Diffusionsprozesses mit Spin-On-Gläsern gelegt. Die dadurch gewonnenen Ergebnisse werden mit analytischen Berechnungen verglichen. Zusätzlich wird auf entwickelte Prozesse eingegangen, die nur für die jeweilige Gatestack-Technik angewendet werden.

**Kapitel 6** beschäftigt sich mit der elektrischen Charakterisierung der CMOS-Bauelemente. Im Schwerpunkt stehen die Bestimmung der Kenngrößen der MOSFETs und der Vergleich mit analytischen Berechnungen. Dabei werden die Unterschiede der MOSFET-Kennlinien der verschiedenen Gatestacks aufgezeigt und diskutiert. Auf Grundlage der Eigenschaften der Transistoren werden Charakteristika des CMOS-Inverters behandelt. Dabei wird ein Vergleich zwischen Theoriewerten und messtechnisch bestimmten Kenngrößen gezogen. Zusätzlich wird auf die Ausbeute der Bauelemente eingegangen.

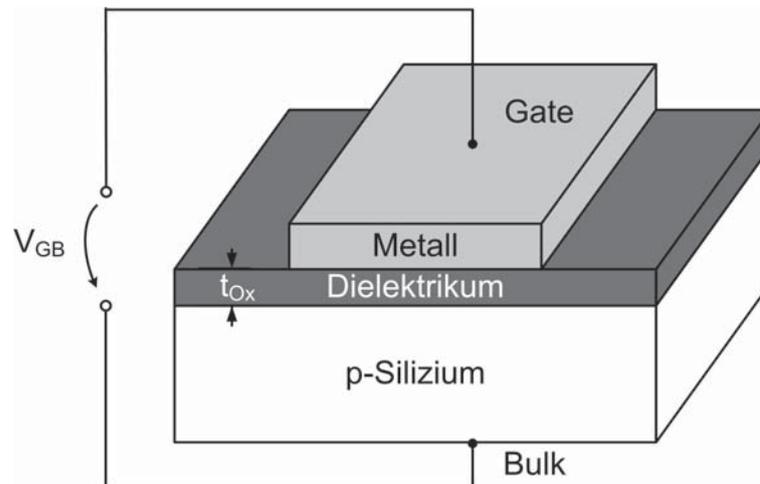
Die Ergebnisse dieser Arbeit sind in **Kapitel 7** zusammengefasst. Verbesserungsvorschläge sowie ein Ausblick auf zu bearbeitende Themengebiete werden aufgezeigt.

# Kapitel 2

## MOS-Kapazität

Das Kernbauelement jeder Schaltung in der Mikroelektronik bildet der Transistor. Dieser stellt in seiner einfachsten Form einen veränderbaren Widerstand dar. In der CMOS-Technologie ist der Metal-Oxide-Semiconductor-Field-Effect-Transistor (MOSFET) das bedeutendste Bauelement. Das Kernstück des Transistors bildet dabei die Metal-Oxide-Semiconductor (MOS) Kapazität. Im folgenden Abschnitt werden die physikalischen Grundlagen dieser Struktur behandelt. Anschließend wird auf die messtechnische Bestimmung wichtiger Parameter der MOS-Kapazität eingegangen.

### 2.1 Verhalten der MOS-Struktur



**Abbildung 2.1:** Schematische Zeichnung einer MOS-Struktur, dabei ist  $t_{Ox}$  die Dicke des Gatedielektrikums

In Abbildung 2.1 ist der prinzipielle Aufbau einer MOS-Kapazität bzw. MOS-Diode aufgezeigt. Dieser besteht aus einer metallischen Schicht, der Gateelektrode, die mit ihrer Geometrie die Gatefläche über einer dielektrischen Schicht und dem Halbleiter Silizium definiert. Für messtechnische Anwendungen wird zwischen der Gateelektrode (G) und

dem Rückseitenkontakt, dem sogenannten Bulk-Anschluss (B), die Spannung  $V_{GB}$  angelegt. Die angelegte Spannung  $V_{GB}$ , die eingesetzten Materialien und die Geometrie beeinflussen die Kapazität. An dieser Stelle wird die MOS-Struktur anhand der realen p-MOS-Kapazität erklärt. Das bedeutet, dass die Austrittsarbeitsdifferenz  $\phi_{MS}$  zwischen Silizium und Aluminium als auch die im Dielektrikum vorhandenen Ladungen berücksichtigt werden.

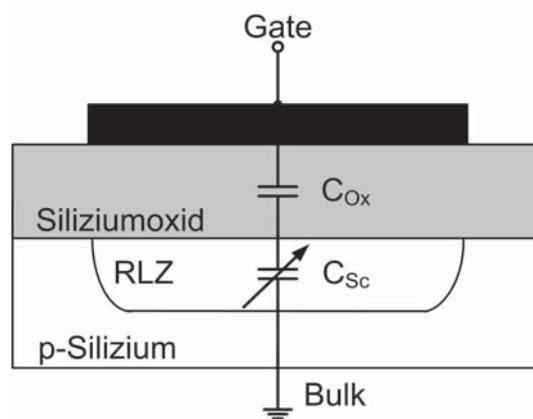


Abbildung 2.2: Querschnitt einer MOS-Kapazität

Die MOS-Struktur setzt sich aus der Oxidkapazität  $C_{Ox}$  und der Raumladungskapazität  $C_{Sc}$  zusammen. Diese beiden Kondensatoren sind in Serie angeordnet (Abb. 2.2). Aufgrund der sich im Halbleiter ausbildenden Raumladungszone ist die Raumladungskapazität  $C_{Sc}$  eine Funktion der Höhe der Dotierung des Halbleiters und der am Gate anliegenden Spannung  $V_{GB}$ . Daraus ergibt sich für die Gesamtkapazität  $C_{Ges}(V_{GB})$  folgende Formel:

$$\frac{1}{C_{Ges}} = \frac{1}{C_{Ox}} + \frac{1}{C_{Sc}} \quad (2.1)$$

Je nach Gatespannung  $V_{GB}$  kann man für eine reale MOS-Kapazität mit einem p-Halbleiter folgende Arbeitsbereiche unterscheiden:

### Flachbandfall

Im Flachbandfall (Abb. 2.3(b)) tritt keine Raumladungszone und keine Bandverbiegung  $\psi_S$  auf. Aus diesem Grund befinden sich an der Halbleiter-Isolator-Grenze das Valenzband  $E_V$ , das Leitungsband  $E_C$  und die Bandmitte als Referenzenergie  $E_i$  auf demselben Niveau wie tief im Inneren des Substrats. Die Gatespannung  $V_{GB}$ , die nötig ist, um diesen Zustand zu erreichen, wird als Flachbandspannung  $V_{FB}$  bezeichnet. Sie ist bei realen MOS-Kapazitäten ungleich Null ( $V_{FB} \neq 0$ ). Unter Vernachlässigung von Oxidladungen lässt sich über das Potential der Austrittsarbeitsdifferenz  $\phi_{MS}$  des Materialsystems diese Spannung berechnen [Bot83].

$$\phi_{MS} = \phi_M - |\chi_{Si}| - \left| \frac{E_g}{2q} \right| - |\psi_B| \quad (2.2)$$

$$V_{FB} = \phi_{MS} \quad (2.3)$$

Dabei ist  $\phi_M$  die Austrittsarbeit des Metalls,  $q$  die Elementarladung,  $\chi_{Si}$  die Elektronenaffinität und  $E_g$  die Bandlücke von Silizium. In Abhängigkeit der Temperaturspannung  $V_{Th}$ , der Eigenleitungsträgerdichte  $n_i$  und der Akzeptordichte  $N_A$  des p-dotierten Siliziums ergibt sich das Fermipotential  $\psi_B$  wie folgt

$$\psi_B = V_{Th} \ln \frac{N_A}{n_i} \quad (2.4)$$

$$V_{Th} = \frac{kT}{q} \quad (2.5)$$

Dabei ergibt die Temperaturspannung in Abhängigkeit der Boltzmann-Konstante  $k$  bei einer Temperatur  $T$  von 300 K einen Wert von 26 mV.

### Akkumulation

Die MOS-Struktur befindet sich in Akkumulation, auch Anreicherung genannt, wenn die angelegte negative Spannung am Gate gegenüber dem p-Substrat kleiner als die Flachbandspannung  $V_{GB} < V_{FB}$  ist (Abb. 2.3(a)). Anhand der negativen Spannung werden die Majoritätsträger aus dem Substrat an die Silizium/Siliziumoxid Grenzfläche gezogen. Dadurch verschwindet die Raumladungszone und die Gesamtkapazität  $C_{Ges}$  ergibt sich wie in Gleichung 2.6 dargestellt.

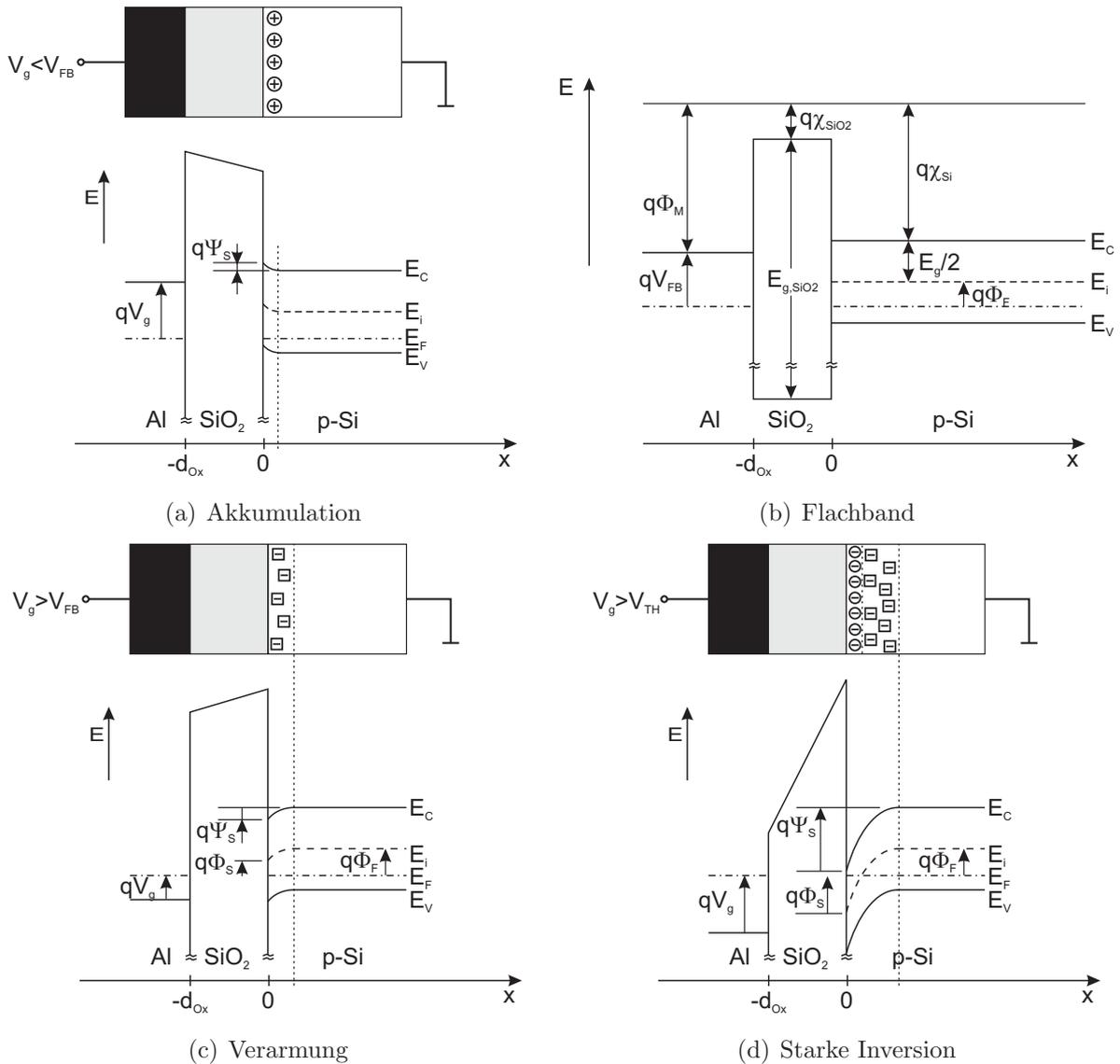
$$C_{Ges} = C_{Ox} = C'_{Ox} \cdot A = \frac{\epsilon_0 \cdot \epsilon_{Ox}}{t_{Ox}} \cdot A \quad (2.6)$$

Dabei ist  $\epsilon_0$  die Dielektrizitätskonstante des Vakuums,  $\epsilon_{Ox}$  die Dielektrizitätskonstante des Oxids,  $A$  die Fläche der Kapazität und  $C'_{Ox}$  die flächenbezogene Oxidkapazität. Bei einer Siliziumoxiddicke  $t_{Ox}$  von 20 nm und einer Fläche  $A = 1 \cdot 10^{-4} \text{ cm}^2$  ergibt sich für die Kapazität  $C_{Ox}$  ein Wert von 17 pF.

### Verarmung

Liegt an der MOS-Struktur eine positive Gatespannung  $V_{GB} > V_{FB}$  an, werden die Majoritätsladungsträger von der Silizium/Siliziumoxid Grenzfläche zurück ins Substrat gedrängt. Die zurückbleibenden ionisierten, ortsfesten Akzeptoratome bilden eine negative Spiegelraumladungszone aus. Dadurch ist die p-dotierte MOS-Kapazität im Zustand der Verarmung (Abb. 2.3(c)). Wird die Gatespannung  $V_{GB}$  weiter vergrößert, erreicht man den sogenannten Midgappunkt. An dieser Stelle berühren sich am Halbleiter-Isolator-Übergang die Bandmitte als Referenzenergie  $E_i$  und das Ferminiveau,  $\psi_S = \psi_B$ . Man spricht vom Einsetzen der **schwachen Inversion**. Die maximale Tiefe der entstehenden Raumladungszone  $x_{Sc,Max}$  ist abhängig von der Akzeptordichte  $N_A$ , dem Potential  $\psi_B$  und der Dielektrizitätskonstante von Silizium  $\epsilon_{Si} = 11,9$ .

$$x_{Sc,Max} = \sqrt{\frac{2\epsilon_{Si}\epsilon_0|2\psi_B|}{qN_A}} \quad (2.7)$$



**Abbildung 2.3:** Bänderdiagramme einer MOS-Struktur [Sze81]

Die Raumladungskapazität  $C_{Sc}$  ergibt sich zu:

$$C_{Sc} = C'_{Sc} \cdot A = \frac{\epsilon_{Si} \epsilon_0}{x_{Sc}} \cdot A \tag{2.8}$$

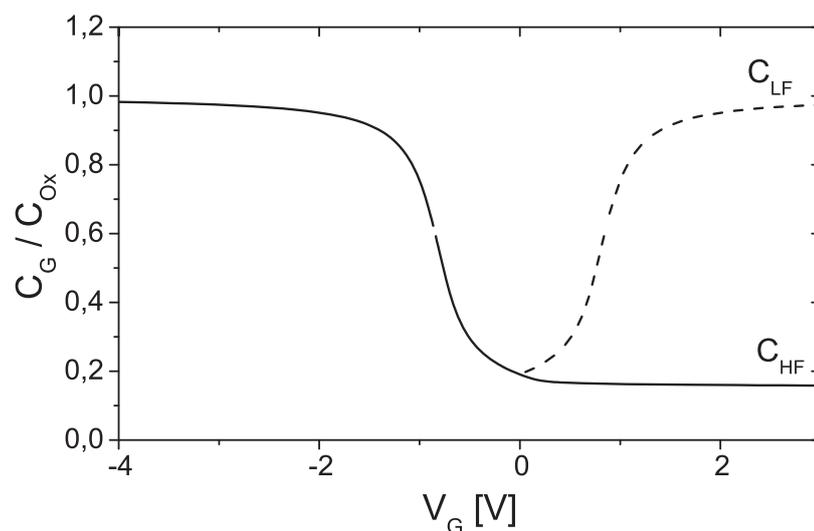
Dabei beschreibt  $C'_{Sc}$  die flächenbezogene Raumladungskapazität. Für eine Dotierung von  $N_A = 1 \cdot 10^{18} \frac{1}{\text{cm}^3}$  und  $A = 1 \cdot 10^{-4} \text{ cm}^2$  ergibt sich für die maximale Tiefe der Raumladungszone  $x_{Sc,Max}$  ein Wert von 35 nm und für die Kapazität  $C_{Sc} = 30 \text{ pF}$ . Anders als bei der Akkumulation lässt sich die Raumladungskapazität  $C_{Sc}$  bei der Gesamtkapazität  $C_{Ges}$  nicht vernachlässigen. Die Raumladungszone bleibt eine Funktion der Gatespannung  $V_{GB}$  solange die maximale Tiefe  $x_{Sc,Max}$  nicht erreicht ist. Im Bereich der Verarmung nimmt die Gesamtkapazität  $C_{Ges}$  ab.

### Starke Inversion

Die MOS-Kapazität befindet sich in starker Inversion, wenn die Gatespannung größer ist als die Schwellenspannung  $V_T$ . Dadurch nehmen die Elektronen in einem schmalen Bereich unter der Silizium/Siliziumoxid Grenzfläche gegenüber den Löchern überhand. Dadurch entsteht ein leitender Inversionskanal, der den Stromfluss für den Feldeffekttransistor zwischen Drain und Source bereitstellt. Das Banddiagramm für diesen Fall ist in Abbildung 2.3(d) dargestellt [Sze81].

## 2.2 Messtechnische Bestimmung der Kenngrößen

Die messtechnische Bestimmung einer Gatekapazität erfolgt durch das Anlegen einer Gleichspannung an die MOS-Struktur, welche von einer kleinen sinusförmigen Wechselspannung überlagert wird. Dabei wird die Amplitude sowie die Phase, aus denen die



**Abbildung 2.4:** Hoch- (HF) und Niederfrequenz- (LF) Kapazitätsverlauf eines idealen MOS-Kondensators

Kapazität abgeleitet wird, bestimmt. Der schematische Kapazitätsverlauf einer MOS-Struktur normiert auf die Oxidkapazität  $C_{Ox}$  ist in Abbildung 2.4 dargestellt. Damit das thermodynamische Gleichgewicht nicht verletzt wird, muss unter Berücksichtigung der Zeitkonstanten der Umladevorgänge im Silizium die Messfrequenz am Messgerät angepasst werden. Die dominanten Zeitkonstanten im Silizium sind dabei die Lebensdauer der Minoritätsträger und die Relaxationszeit der Majoritätsträger. In Akkumulation wird das Verhalten der MOS-Kapazität durch die Relaxationszeit der Löcher von  $10^{-12}$  s bestimmt [Pau94]. Damit ist für messtechnische Messfrequenzen die Bedingung von  $f \ll \frac{1}{10^{-12}}$  erfüllt. In Inversion ist das Verhalten der MOS-Kapazität von der Lebensdauer der Elektronen in der Inversionsschicht abhängig. Dadurch ergeben sich zwei Messkurven die Frequenzabhängig sind.

### Niederfrequenzkurve (LF-CV-Kurve)

Die Niederfrequenzkurve ergibt sich bei Messfrequenzen im Bereich bis zu 100 Hz. Bei dieser Frequenz können die Minoritätsladungsträger, die sich unmittelbar unter der Silizium/Siliziumoxid Grenzfläche befinden dem Wechselsignal folgen. Dabei wird die Inversionsschicht umgeladen, da Elektronen generiert und rekombiniert werden. Dadurch wird die Raumladungszone kurzgeschlossen und der Bereich wirkt nicht mehr als Kapazität, sondern als Widerstand. Dies führt zum Anstieg der Gesamtkapazität.

### Hochfrequenzkurve (HF-CV-Kurve)

Ab einer Messfrequenz von 1 kHz spricht man von einer Hochfrequenzmessung. In diesem Fall wird eine Messfrequenz  $f_{HF}$  gewählt, die über der Zeitkonstante der Minoritätsträger liegt. Diese verhalten sich wie feste Ladungen, die keinen Ladungsaustausch haben. Es kommt zu keinem Anstieg der Gesamtkapazität, da die Oxidkapazität und die Raumladungskapazität gemessen werden.

Anhand dieser Messkurven (Abb. 2.4) lassen sich Kennzahlen bestimmen, die für die Charakterisierung von Gatedielektrika und Feldeffekttransistoren notwendig sind. Im nächsten Abschnitt wird auf die Bestimmung dieser Werte eingegangen.

#### 2.2.1 Flachbandspannung $V_{FB}$

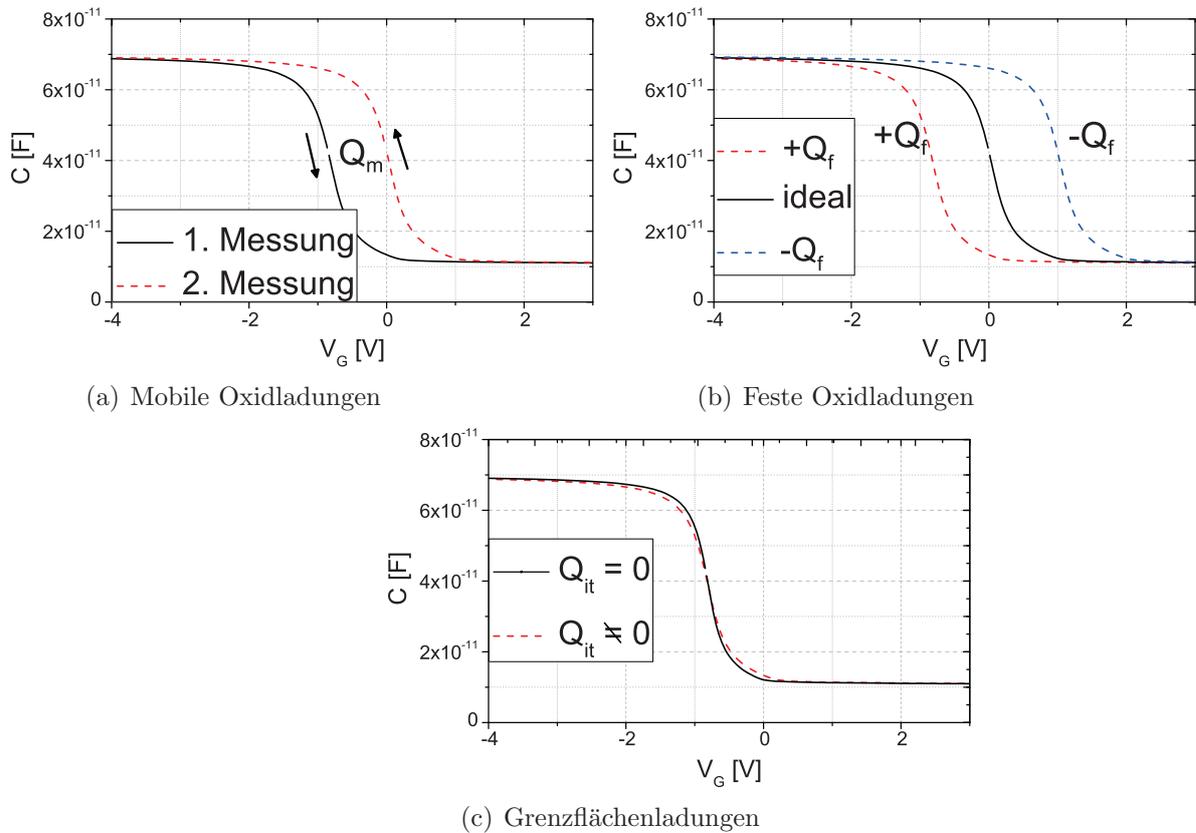
In Kapitel 2.1 wird die Flachbandspannung  $V_{FB}$  für eine ideale MOS-Struktur nach Gleichung 2.2 definiert. In der Realität weichen die Dielektrika von einem idealen Isolator aufgrund von eingebauten Ladungen ab. Diese können durch den Herstellungsprozess oder durch Verunreinigungen in das Oxid gelangen. Gewöhnlich teilt man diese Ladungen ein in:

##### Mobile Ladungen $Q'_m$

Alkalische Verunreinigungen ( $Na^+$ ,  $K^+$ ) verursachen mobile Oxidladungen. Diese beeinflussen die Einsatzspannung der Bauelemente und können über die Betriebszeit einer Schaltung zum Ausfall der Gesamtgruppe führen. Die Anzahl der Ladungen kann durch saubere Prozessbedingungen und der Verwendung von hochreiner Quarzware für die Prozessöfen minimiert werden. Durch Langzeithochtemperaturmessungen können die mobilen Ladungen nachgewiesen werden, da sie eine Hysterese in der CV-Kurve verursachen (Abb. 2.5(a)).

##### Feste Oxidladungen $Q'_f$

Die festen Oxidladungen sind unbewegliche und nicht umladbare Ladungen, die sich an der Silizium/Siliziumoxid Grenzfläche befinden. Diese entstehen aufgrund der nicht abgesättigten Siliziumatome im nichtstöchiometrischen Übergangsbereich im Oxid. Die CV-Kurve wird aufgrund dieser Ladungen entlang der Spannungsachse verschoben. Sind die Oxidladungen negativ, kommt es zu einer Verschiebung der CV-Kurve in positiver Spannungsrichtung (Abb. 2.5(b)).


**Abbildung 2.5:** Einfluss der Oxidladungen auf die CV-Kurven

### Getrappte Ladungen $Q'_{ot}$

Die getrappten Ladungen treten räumlich verteilt im Oxid auf und können dabei sowohl negativ als auch positiv sein. Die Ursache dafür können ionisierte Teilchen durch Plasmaprozesse und Strahlungsschäden sein. Der Nachweis dieser Ladungen ist aufgrund des vielseitigen Charakters schwierig.

### Grenzflächenzustandsladungen $Q'_{it}$

Die Grenzflächenzustandsladungen sind positive sowie negative Ladungen und befinden sich direkt an der Silizium/Siliziumoxid Grenzfläche. Sie werden durch Verunreinigungen aber auch durch die Rahmenbedingungen der Oxidation hervorgerufen. Die Ladungen sind umladbar in Abhängigkeit des Oberflächenpotentials und stehen dadurch im elektrischen Zusammenhang mit dem Kanal des Bauelements. Dies führt zu einer zusätzlichen Kapazität  $C_{it}$ , die parallel zur Raumladungskapazität  $C_{Sc}$  geschaltet ist. Dadurch kommt es zum Abflachen der Steigung der CV-Kurve in Verarmung (Abb. 2.5(c)). Aus diesem Grund wird eine größere Spannungsdifferenz benötigt um von Inversion in Akkumulation zu gelangen.

Diese Ladungen, die an der Grenzfläche Halbleiter-Dielektrikum und im Dielektrikum auftreten, führen ohne äußere Spannung zu einer Bandverbiegung. Das heißt, dass es

durch die Summe der Ladungen zu einer Verschiebung der Flachbandspannung um  $\Delta V_{FB}$  kommt.

$$\Delta V_{FB} = \pm \frac{(Q'_f + Q'_m + Q'_{ot}) + Q'_{it}}{C'_{Ox}} \quad (2.9)$$

$$V_{FB} = \phi_M - |\chi_{Si}| - \left| \frac{E_g}{2q} \right| - |\psi_B| \pm \Delta V_{FB} \quad (2.10)$$

Die messtechnische Bestimmung der Flachbandspannung  $V_{FB}$  erfolgt über die Flachbandkapazität  $C_{FB}$ .

$$\frac{C_{FB}}{C_{Ox}} = \frac{C_{FBS}}{C_{FBS} + C_{Ox}} \quad (2.11)$$

Im Flachbandfall wird die Halbleiterkapazität  $C_{FBS}$  nach Gleichung 2.12 berechnet.

$$C_{FBS} = \frac{\epsilon_{Si}\epsilon_0}{\lambda_p} \cdot A \quad (2.12)$$

Dabei ist die Debye-Länge für p-Silizium  $\lambda_p$  wie folgt definiert:

$$\lambda_p = \sqrt{\frac{\epsilon_{Si}\epsilon_0 V_{Th}}{q N_A}} \quad (2.13)$$

Für eine Dotierung von  $N_A = 1 \cdot 10^{18} \frac{1}{\text{cm}^3}$  und einer Fläche von  $A = 1 \cdot 10^{-4} \text{cm}^2$  ergibt sich eine Kapazität  $C_{FBS}$  von 254 pF.

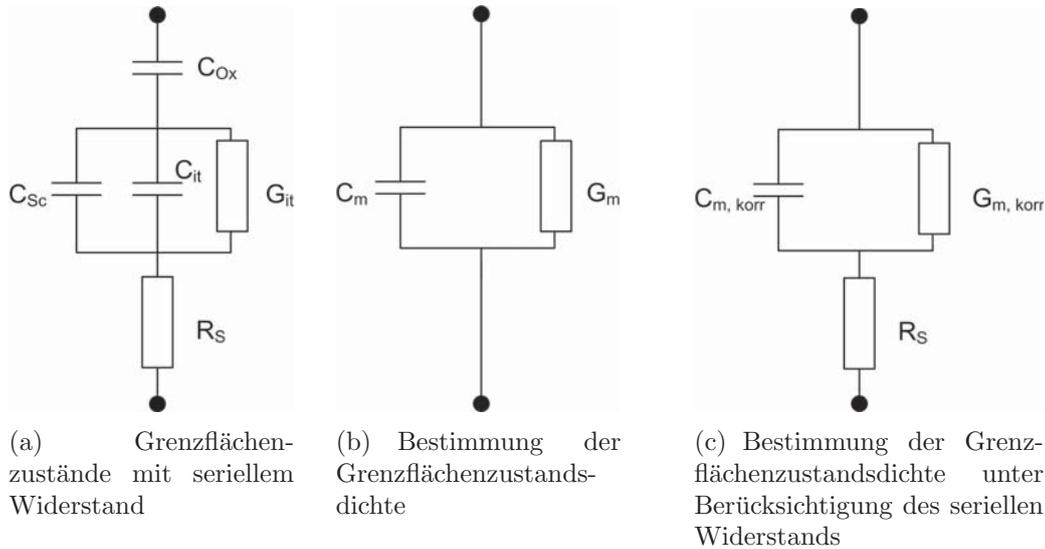
Die Flachbandspannung  $V_{FB}$  ist die zugehörige Spannung der Flachbandkapazität  $C_{FB}$  aus der gemessenen C(V)-Kurve. Dadurch ist die Flachbandspannung für die MOS-Kapazität bestimmt.

### 2.2.2 Grenzflächenzustandsdichte $D_{it}$

In der Literatur werden verschiedene Methoden zur Bestimmung der Grenzflächenzustandsdichte vorgeschlagen. In dieser Arbeit wird die Leitwertmethode nach [Bre83], die auf den Arbeiten von Nicollian und Goetzberger [Nic67] basiert, verwendet.

Während einer Hochfrequenzmessung einer MOS-Struktur wird gleichzeitig die Leitwert- und Kapazitätskennlinie aufgenommen. Dabei werden Werte aus den gemessenen Leitwerten  $G_m$  und Kapazitäten  $C_m$  in Abhängigkeit der angelegten Gatespannung  $V_{GB}$  ausgegeben. Bei einer bestimmten Gatespannung  $V_{GB,max}$  erhält man ein Maximum  $G_{max}$  in der GV-Kurve, da es zu einer Umladung der Grenzflächenzustände kommt. Aus der Höhe und Breite des Leitwertpeaks wird die Grenzflächenzustandsdichte  $D_{it}$  bestimmt.

Da die Impedanzmessung zwischen Gate und Bulk der MOS-Struktur erfolgt, wird ein serieller parasitärer Widerstand  $R_S$ , bedingt durch den Bulk-Widerstand, Rückseitenkontakt und Leistungsverluste mitgemessen. Ist der Einfluss von  $R_S$  zu groß, besteht die Möglichkeit, dass der Leitwertpeak nicht sichtbar ist. An dieser Stelle muss dann eine Korrektur der Werte erfolgen. Die dafür notwendige Vorgehensweise wird in diesem Abschnitt erklärt.



**Abbildung 2.6:** Ersatzschaltbilder einer MOS-Struktur

Die Abbildung 2.6(a) zeigt das Ersatzschaltbild einer MOS-Struktur mit seriellen Widerstand und Grenzflächenzuständen. Dabei ist  $R_S$  der serielle Widerstand,  $C_{Sc}$  und  $C_{Ox}$  sind die Kapazitäten der Raumladungszone und des Dielektrikums,  $C_{it}$  und  $G_{it}$  beschreiben die gemittelten Beiträge der Grenzflächenzustände zur Impedanz. Das messtechnisch erfasste Ersatzschaltbild, mit der gemessenen Kapazität  $C_m$  bzw. Leitwert  $G_m$ , ist in Abbildung 2.6(b) dargestellt.

Der serielle Widerstand  $R_S$  wird in Akkumulation nach

$$R_S = \frac{G_{ma}}{G_{ma}^2 + \omega^2 C_{ma}^2} \quad (2.14)$$

bestimmt. Dabei sind  $G_{ma}$ ,  $C_{ma}$  die entsprechenden Messwerte und  $\omega$  die Kreisfrequenz. In diesem Fall lässt sich das Ersatzschaltbild zu einer seriellen Verschaltung von  $C_{Ox}$  und  $R_S$  vereinfachen.

Dadurch lässt sich nun nach [Nic82] mit den Gleichungen 2.15 und 2.16 die um  $R_S$  korrigierten Werte  $C_{korr}$  und  $G_{korr}$  berechnen.

$$C_{korr} = \frac{(G_m^2 + \omega^2 C_m^2) \cdot C_m}{a^2 + \omega^2 C_m^2} \quad (2.15)$$

$$G_{korr} = \frac{(G_m^2 + \omega^2 C_m^2) \cdot a}{a^2 + \omega^2 C_m^2} \quad (2.16)$$

$$a \equiv G_m - R_S \cdot (G_m^2 + \omega^2 C_m^2) \quad (2.17)$$

Anhand dieser ermittelten Wertepaare ergibt sich das Ersatzschaltbild nach Abbildung 2.6(c).

Als nächstes wird die Oxidkapazität aus dem Leitwert herausgerechnet. Dazu werden die korrigierten Werte  $G_{korr}$  und  $C_{korr}$  nach [Nic82] in den Realteil der Impedanz mit der Kreisfrequenz  $\omega = 2\pi f$  transformiert (Gln. 2.18).

$$\left\langle \frac{G_{it}}{\omega} \right\rangle = \frac{\omega C_{Ox}^2 G_{korr}}{G_{korr}^2 + \omega^2 (C_{Ox} - C_{korr})^2} \quad (2.18)$$

Dadurch ist aus dem Leitwert über der Spannung der MOS-Kapazität der Einfluss der Grenzflächenzustände bestimmt. Anschließend wird dieses Ergebnis über der zur Temperaturspannung normierten Bandverbiegung aufgetragen. Dadurch ergibt sich das Maximum der GV-Kurve. Dieses wird nach [Bre83] mit Hilfe der Gaußschen Approximation nach Gleichung 2.19 beschrieben.

$$f_D = \left\langle \frac{G_{it}}{\omega} \right\rangle \cdot \frac{1}{qAD_{it}} \quad (2.19)$$

Dabei liefert [Bre83] eine graphische Lösung zur Bestimmung von  $f_D$ . Der Faktor  $f_D$  kann dabei Werte zwischen 0,2 und 0,4 annehmen. Dadurch ergibt sich für die Grenzflächenzustandsdichte  $D_{it}$  folgender Ausdruck:

$$D_{it} = \left\langle \frac{G_{it}}{\omega} \right\rangle \cdot \frac{1}{qAf_D} \quad (2.20)$$

Zur Bestimmung der Grenzflächenzustandsdichte  $D_{it}$  wird aus der Leitwertskurve  $G_m$  und der dazu korrespondierende Kapazitätswert  $C_m$  bestimmt. Durch einsetzen dieser Werte in Gleichung 2.18 erhält man den Wert für  $\left\langle \frac{G_{it}}{\omega} \right\rangle$ . Dadurch ergibt sich nach Gleichung 2.20 die Grenzflächenzustandsdichte.

### 2.2.3 Äquivalente Oxiddicke

Die Schichtdicke des Dielektrikums wird im Zustand der Akkumulation der MOS-Struktur aus der Gesamtkapazität berechnet (Gln. 2.6). Man unterscheidet dabei zwischen der äquivalenten Oxiddicke, EOT (Equivalent Oxide Thickness) sowie CET (Capacitance Equivalent Thickness) und der physikalischen Schichtdicke  $t_{Ox}$ , diese ist die tatsächliche Dicke der abgeschiedenen Schicht. Unter äquivalenter Oxiddicke versteht man die Dicke des Materials normiert auf eine Referenzsubstanz.

#### EOT - Equivalent Oxide Thickness

Bei Verwendung von anderen Gatedielektrika als Siliziumoxid wird die EOT als wichtige Kennzahl betrachtet. Die EOT ist eine Dickenangabe, die auf die elektrischen Eigenschaften des als Standard betrachteten Gatedielektrikums Siliziumoxid  $SiO_2$  normiert wird. Die äquivalente Oxiddicke wird definiert als physikalische Schichtdicke, die ein Gateoxid aus  $SiO_2$  im Vergleich zu dem betrachteten Dielektrikum haben müsste. Dabei werden die quantenmechanischen (QM) Effekte sowie die Poly-Depletion vernachlässigt [Vog03]. Unter Poly-Depletion versteht man, dass die effektive elektrische Dicke des Gate-Oxids

dicker wird. Dies entsteht, da sich im Polysilizium bei angelegter Spannung eine Raumladungszone bildet, welche zu einer zusätzlichen Kapazität führt. Dadurch kommt es zu einer Vergrößerung der Oxidkapazität und letztendlich zu einem vermeintlich dickeren Oxid. Mit der folgenden Formel lässt sich die EOT mit bekannter Dicke des Dielektrikums  $t_{phy,high-k}$  sowie der Dielektrizitätskonstante (DK)  $\epsilon_{high-k}$  berechnen.

$$EOT = \frac{\epsilon_{SiO_2}}{\epsilon_{high-k}} t_{phy,high-k} \quad (2.21)$$

Die Bestimmung des reinen Materialparameters EOT erfolgt unter Abgleich von durchzuführenden Simulationen im Zustand der Akkumulation einer CV-Kurve. Als schwierig erweist sich die Bestimmung der physikalischen Schichtdicke, da optische Methoden in ihrer Auflösung begrenzt sind. Aufschluss über die genaue Schichtdicke können hochauflösende Transmissionselektronenmikroskopie (TEM) liefern.

### CET - Capacitance Equivalent Thickness

Das EOT ist mit konventioneller Messtechnik nicht direkt zugänglich, da sowohl die Dielektrizitätskonstante als auch die Dicke der Schicht aus Messergebnissen errechnet werden muss. Jedoch kann aus einer gemessenen CV-Kurve die kapazitiv äquivalente Oxiddicke nach folgender Gleichung ermittelt werden.

$$CET = \frac{\epsilon_{SiO_2} \epsilon_0}{C_{ma}} \cdot A \quad (2.22)$$

Dabei ist  $C_{ma}$  der Wert der gemessenen Akkumulationskapazität und  $A$  die Bauelementfläche. Unter der Berücksichtigung von quantenmechanischen-Effekten und Poly-Depletion bekommt man somit eine Normierung auf  $SiO_2$ . Diese Kennzahl beschreibt die effektive Wirkung des Gatestacks und ist für das Verhalten der Bauelemente ausschlaggebend.